Technique d'auto test pour des convertisseurs de signal Sigma-Delta

L. Rolindez

▶ **To cite this version:**

L. Rolindez. Technique d'auto test pour des convertisseurs de signal Sigma-Delta. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 2007. Français. NNT : . tel-00163788

HAL Id: tel-00163788

https://theses.hal.science/tel-00163788

Submitted on 18 Jul 2007

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

N° attribué par la bibliothèque
|__|__|__|__|__|__|__|__|__|__|

T H E S E

pour obtenir le grade de

DOCTEUR DE L'INP Grenoble

Spécialité : Micro et Nano Electronique

préparée au laboratoire **TIMA**

dans le cadre de **l'Ecole Doctorale Electronique, Electrotechnique, Automatique, Traitement du Signal**

présentée et soutenue publiquement

par

Luis ROLINDEZ

le 23 février 2007

Titre :

Technique d'auto test pour des convertisseurs de signal Sigma-Delta

Directeur de thèse : ***Salvador MIR***
Co-Directeur de thèse : ***Jean-Louis CARBONERO***

JURY

M. Bernard COURTOIS	, Président
M. Michel RENOVELL	, Rapporteur
M. Andreas KAISER	, Rapporteur
M. Salvador MIR	, Directeur de thèse
M. Jean-Louis CARBONERO	, Co-encadrant
M. Adoración RUEDA	, Examinateur

A mes amis

A mes parents et à mon frère

A Hélène

Remerciements

Les travaux présentés dans ce manuscrit ont été réalisés dans le cadre d'une collaboration CIFRE (Convention Industrielle de Formation par la Recherche) entre STMicroelectonics-Crolles et le Laboratoire TIMA (Techniques de l'Informatique et de la Microélectronique pour l'Architecture des ordinateurs). Je remercie Monsieur Bernard COURTOIS et Madame Dominique BORRIONE, ancien et nouvelle Directeur et Directrice de TIMA, de m'avoir accueilli dans leur laboratoire.

Je tiens aussi à remercier Monsieur Salvador MIR, Chargé de Recherche CNRS, pour son encadrement pendant ces trois années et pour m'avoir initié à la recherche. Je voudrais aussi remercier Monsieur Jean-Louis Carbonéro, Responsable du Test Analogique, Mixte et RF chez STMicroelectronics, Crolles, pour avoir guidé mes premiers pas dans le monde industriel.

Je remercie vivement Messieurs Michel RENOVELL et Andréas KAISER, Directeurs de Recherche CNRS, qui m'ont fait l'honneur d'accepter d'être les rapporteurs de ce mémoire de thèse. Je tiens aussi à remercier Madame Adoración Rueda, Professeur à l'Université de Séville, pour sa participation au jury de thèse et pour l'intérêt qu'elle a porté à ces travaux.

Je remercie ensuite tous les membres du groupe RMS et toute l'équipe de TIMA pour avoir rendu possible le développement de ces travaux. Je tiens aussi à remercier les Ingénieurs Dimitri GOGUET, Christian BADARD et Willy BEULE de STMicroelectronics, pour leur aide dans la réalisation et la fabrication de la carte de test et dans l'utilisation des équipements de test.

Enfin, je remercie chaleureusement Monsieur Alexandre CHAGOYA, Responsable du Service Conception et Administrateur du CIME (Centre Inter-universitaire de Micro-Electronique), et Monsieur Robin ROLLAND, Ingénieur du test du CIME, pour leur gentillesse et leur soutien.

Agradecimientos

A la Universidad y al Centro Politécnico Superior de Zaragoza, donde estudié durante cinco años y recibí una formación excelente.

A mis amigos de toda la vida en Zaragoza: Alberto, Cristina, Isabel, Javi, Jorge, M. Angeles, M. José, Oscar, Ramón, etc, que no me olvidan a pesar de la distancia y de mi tendencia a utilizar demasiado poco el telefono o el e-mail.

A los amigos que he conocido aquí en Grenoble: Antoine, Cécile, David, Ruben, Victor y muchos más que han hecho muy agradable estos tres años de tésis.

A mis padres y a mi hermano, que me han apoyado siempre y siempre están allí.

A Hélène, mi primera pasión, por la detallada corrección de este manuscrito y por su comprensión durante todas las horas que dedico a mi segunda pasión, la microelectrónica.

Table des matières

Remerciements **5**

Table de matières **7**

Table des figures **11**

Liste des tableaux **15**

1.- Introduction **17**
1.1.- Motivation 17
1.2.- Objectifs 18
1.3.- Structure de la thèse 18

2.- Techniques de BIST pour des circuits analogiques : principes et généralités **21**
2.1.- Introduction 21
2.2.- Test industriel de circuits analogiques 21
2.3.- Méthodes générales pour le BIST de circuits analogiques 22
- BIST hybride 22
- BIST basé sur un DSP 23
- BIST basé sur un histogramme 23
- BIST pseudo-aléatoire 24
- BIST basé sur l'oscillation 25
- Test transitoire 26
- Graphes de Lissajous 26
- Compensation de pôles et zéros 27
- Utilisation de filtres adaptatifs 27
- Utilisation de la redondance 27
2.4.- Génération de signaux analogiques de test sur la puce 29
- Oscillateurs basés sur la modulation ΣΔ 29
- Trains binaires sauvegardés en mémoire et générés par modulation ΣΔ 33
- Oscillateurs analogiques 35
2.5.- Analyse de la réponse analogique du test sur la puce 35
- Fenêtres de tolérance 35
- Filtres de bande passante 36
- Compaction de la réponse du circuit sous test 37
- Analyse basée sur la modulation ΣΔ 37
- Méthode d'échantillonnage *Early Capture* 38
- Méthode d'échantillonnage *Multi-pass Conversion* 38
- Echantillonnage statistique 38
- Calcul de l'amplitude par modulation avec un signal carré 39
2.6.- Conclusions 40

3.- Techniques de BIST pour les convertisseurs CAN et CNA **41**
3.1.- Introduction 41
3.2.- Test industriel de convertisseurs de signal 41
3.2.1.- Test basé sur un histogramme 42
3.2.2.- Méthode de test *Servo-loop* 44
3.2.3.- Test basé sur la transformée de Fourier à temps discret 44
3.2.4.- Algorithme de la régression sinusoïdale 45

3.2.5.- Test basé sur la fréquence de battement 45
3.3.- Techniques de BIST pour des convertisseurs de signal 46
- BIST pour une paire CAN-CNA dans un CODEC 46
- BIST statique pour un CNA 46
- BIST numérique pour un CAN à approximation successive 47
- BIST basé sur l'oscillation pour un CAN 47
- BIST basé sur l'oscillation pour un CNA 48
- BIST basé sur l'oscillation ΣΔ pour un CNA 48
- BIST partiel pour un CAN 49
- BIST basé sur un histogramme pour un CAN 49
- BIST basé sur la génération d'une rampe codifiée par modulation ΣΔ 50
- BIST basé sur l'utilisation d'un stimulus de précision réduite 50
- BIST basé sur la régression polynomiale pour un CAN 50
3.4.- Techniques de BIST pour des convertisseurs de signal Sigma-Delta 52
- *MADBIST* 52
- BIST basé sur l'utilisation d'un stimulus binaire généré par logiciel 53
- Test pseudo-aléatoire pour le calcul des pertes de l'intégrateur et du SNR 53
- Test numérique pour des modulateurs ΣΔ 54
- BIST basé sur l'utilisation d'une rampe codifiée par modulation ΣΔ 54
- BIST basé sur l'oscillation pour des modulateurs ΣΔ 55
- BIST basé sur la reconfiguration d'un modulateur ΣΔ passe-bande 56
- Autres techniques 56
3.5.- Conclusions 57

4.- Conception d'une technique de BIST pour des CAN ΣΔ de haute résolution 59
4.1.- Introduction 59
4.2.- Architecture d'un CAN Sigma-Delta audio de 16 bits 59
4.2.1.- Modulateur Sigma-Delta analogique du 2ème ordre 60
4.2.2.- Filtre numérique de décimation à quatre étages 62
4.2.3.- Spécifications du convertisseur Analogique/Numérique 65
4.3.- Description générale de la technique de BIST 66
4.4.- Génération d'un stimulus binaire de haute précision 67
4.4.1.- Choix de la longueur du train binaire et de l'ordre du modulateur 68
4.4.2.- Signaux multifréquences 71
4.4.3.- Injection du stimulus 72
4.5.- Analyse de la réponse par régression sinusoïdale 73
4.5.1.- Signal de référence de haute précision 74
4.5.2.- Calcul de l'offset, de l'amplitude et du rapport signal sur bruit avec distorsion (SINAD) 75
4.6.- Architecture de la technique de BIST 77
4.6.1.- Avec mémoire disponible dans le circuit 77
4.6.2.- Sans mémoire disponible dans le circuit 77
4.6.3.- Le cas des convertisseurs stéréo 78
4.7.- Validation de la technique de BIST 79
4.7.1.- Injection de non-idéalités dans le modèle du modulateur analogique 79
4.7.2.- Résultats de simulation 80
4.8.- Conclusions 84

5.- Design d'un modulateur ΣΔ audio de 96-dB incorporant le technique de BIST 87
5.1.- Introduction 87

5.2.- Configuration du modulateur analogique du 2ème ordre 87
5.3.- Budget et calcul du bruit 89
5.4.- Design de l'amplificateur opérationnel différentiel 91
5.4.1.- Amplificateur différentiel à 2 étages, configuration classe-AB en sortie 92
5.4.2.- Circuits de contrôle du mode commun 94
5.4.3.- Circuit de polarisation et déclenchement 98
5.4.4.- Performances 99
5.5.- Design du générateur des tensions de référence 100
5.5.1.- Architecture du générateur des tensions de référence 101
5.5.2.- Design de l'amplificateur opérationnel du générateur 104
5.5.3.- Design des suiveurs de tension du générateur 104
5.5.4.- Performances 106
5.6.- Autres éléments du circuit 106
5.6.1.- Comparateur 106
5.6.2.- Générateur des phases de l'horloge 106
5.6.3.- Interface du bloc analogique avec les signaux numériques 108
5.7.- Conclusions 108

6.- Résultats expérimentaux 111
6.1.- Introduction 111
6.2.- Prototype réalisé 111
6.3.- Carte de test 113
6.4.- Environnement de test 114
6.5.- Résultats de test 116
6.5.1.- Caractérisation du convertisseur 116
6.5.2.- Caractérisation de la technique de BIST 117
6.6.- Conclusions 120

7.- Conclusions et travaux futurs 121

Bibliographie 125

Table des figures

2.1. *Configuration typique d'un test industriel* 21
2.2. *(a) Générateur de stimuli analogiques dans le BIST hybride et (b) Stimulus dont l'amplitude est pseudo-aléatoire* 22
2.3. *Analyse de la réponse du circuit sous test dans le BIST hybride* 23
2.4. *BIST basé sur un DSP* 23
2.5. *BIST basé sur un histogramme* 23
2.6. *Signal sinusoïdal et son correspondant histogramme* 24
2.7. *Signal saturé et l'histogramme montrant la différence* 24
2.8. *BIST pseudo-aléatoire* 25
2.9. *(a) BIST basé sur l'oscillation [Ara96] et (b) BIST basé sur l'oscillation [Hue99]* 25
2.10. *Test transitoire* 26
2.11. *(a) Graphes de Lissajous et ligne de contrôle, et (b) BIST basé sur les graphes de Lissajous* 26
2.12. *Compensation de pôles et zéros* 27
2.13. *Utilisation de filtres adaptatifs* 27
2.14. *(a) "sw-opamp", (b) mode normal et (c) mode "by-pass"* 28
2.15. *Oscillateur composé d'un résonateur du 2ème ordre* 29
2.16. *Oscillateur basé sur un modulateur ΣΔ passe-bas* 30
2.17. *(a) Mise en forme du bruit de quantification dans le modulateur et (b) Modulateur ΣΔ passe-bas du 2ème ordre utilisé dans l'oscillateur* 30
2.18. *Configuration générique d'un résonateur basé sur l'utilisation d'un modulateur ΣΔ* 31
2.19. *Modulateur ΣΔ passe-bas avec les fonctions de transfert NTF et STF indépendantes* 31
2.20. *Oscillateur basé sur l'utilisation d'un modulateur ΣΔ passe-bande* 32
2.21. *(a) Additionneur sur-échantillonné et (b) Addition par insertion* 32
2.22. *Schéma "Time-Division Multiplexed" pour l'oscillateur* 33
2.23. *Schéma "Time-Division Multiplexed" pour le modulateur* 33
2.24. *Génération du signal de test analogique à partir de séquences binaires : (a) Génération d'un train binaire à partir de la simulation d'un modulateur ΣΔ et (b) Répétition périodique d'une séquence numérique par moyen d'un registre à décalage* 33
2.25. *(a) Modulation ΣΔ multi-bit et (b) Calibrage du CNA multi-bit* 34
2.26. *(a) Comparaison analogique avec une réponse de référence et (b) Génération de la signature numérique* 36
2.27. *Signature générée à partie de filtres de bande passante* 36
2.28. *Analyse basée sur la modulation ΣΔ* 37
2.29. *Signature obtenue par moyen d'une modulation ΣΔ* 37
2.30. *Méthode d'échantillonnage «Multi-Pass Conversion» avec une tension de référence ΣΔ* 38
2.31. *Echantillonnage statistique* 39
2.32. *Schéma pour le calcul de l'amplitude par double modulation* 39

3.1. *(a) Fonction de transfert d'un CAN de 3 bits, (b) Fonction de transfert d'un CNA de 3 bits* 41
3.2. *(a) Histogramme de référence pour une rampe linéaire et (b) Histogramme de référence pour un signal* 43
3.3. *(a) Technique «Servo-loop» avec un CNA et (b) Technique «Servo-loop» avec un intégrateur analogique* 44
3.4. *(a) Test basé sur la fréquence de battement et (b) Test basé sur la fréquence de l'enveloppe* 46

3.5. *(a) BIST pour un CODEC et (b) Test du CAN avec un CNA extérieur* 46
3.6. *BIST statique pour un CNA* 46
3.7. *BIST numérique pour un CAN à approximation successive* 47
3.8. *(a) BIST d'un CAN basé sur l'oscillation et (b) Oscillation entre $V_{T,k}$ et $V_{T,k+j}$* 47
3.9. *BIST basé sur l'oscillation pour un CNA* 48
3.10. *BIST basé sur l'oscillation ΣΔ pour un CNA* 48
3.11. *BIST partiel pour un CAN* 49
3.12. *Schéma du BIST pour un CAN et un CNA basé sur l'utilisation séquences binaires ΣΔ* 50
3.13. *(a) Polynôme pour un fonction de transfert d'un CAN de 4 bits et (b) Décomposition de la fonction de transfert en 4 parties* 51
3.14. *(a) Stimulus exponentiel pour un CAN et (b) Schéma du BIST* 52
3.15. *MADBIST* 52
3.16. *BIST basé sur l'utilisation d'un stimulus binaire généré par logiciel* 53
3.17. *(a) Modèle d'un modulateur du 2ème ordre et (b) Procédure pour le calcul du SNR* 54
3.18. *Test numérique pour un modulateurs ΣΔ du 1er ordre* 54
3.19. *(a) Structure de BIST et (b) Fonction de transfert DC du modulateur* 55
3.20. *BIST basé sur l'oscillation pour un modulateur ΣΔ du 1er ordre* 55
3.21. *(a) Structure pour l'oscillation d'un modulateur ΣΔ du 2ème ordre et (b) Modification de la boucle de contre-réaction* 56
3.22. *(a) Modulateur ΣΔ passe-bande composé de deux résonateurs et (b) Comparaison de la sortie des deux résonateurs en mode de test* 56

4.1. *Architecture d'un CAN ΣΔ audio de 16 bits de précision* 60
4.2. *Architecture du modulateur ΣΔ du deuxième ordre* 60
4.3. *Modèle du modulateur ΣΔ du 2ème ordre réalisé avec Simulink* 62
4.4 *Spectre à la sortie du modulateur avec un stimulus à 5.4 kHz et 1.1 V_{DIFF}* 63
4.5. *Architecture du filtre numérique de décimation* 63
4.6. *Filtre sinus cardinal avec L=3 et M=64 : (a) réponse fréquentielle et (b) réalisation* 64
4.7. *Filtre IIR elliptique du 4ème ordre : (a) réponse fréquentielle et (b) réalisation du premier bloc* ...64
4.8. *Réponse en fréquence du filtre FIR de compensation, du filtre sinus cardinal d'ordre 3 et enfin du filtre de décimation complet* 65
4.9. *Spectre à la sortie du convertisseur avec un stimulus à 5.4 kHz et 1.1 V_{DIFF}* 65
4.10. *SINAD du convertisseur en fonction de l'amplitude d'entrée* 65
4.11. *Architecture générale de la technique de BIST* 67
4.12. *(a) Génération et optimisation du stimulus binaire et (b) Répétition du train binaire avec un registre à décalage.* 68
4.13. *Modulateur d'ordre 3 pour la génération des stimuli binaires* 69
4.14. *S/THD obtenu dans la bande passante pour des différentes longueurs N de train binaire et pour des différents ordres de modulation ΣΔ (2 et 3)* 70
4.15. *Spectre de deux trains binaires de 2252 bits obtenus avec : (a) un modulateur d'ordre 3 et une amplitude de signal d'entrée de 0.4 V, et (b) un modulateur d'ordre et une amplitude de signal d'entrée de 0.6 V* 71
4.16. *Spectre des stimuli dual et multifréquence générés avec un modulateur d'ordre 3* 72
4.17. *Injection du stimulus sur l'entrée du modulateur analogique* 73
4.18. *Spectre du signal de référence obtenu à partir d'un train binaire de 2252 bits : (a) d'ordre 2 et sans aucune modification sur le filtre numérique, et (b) d'ordre 3 et avec des modifications sur le filtre numérique* 74

4.19. *Spectre du signal de référence multifréquence obtenu à partir d'un train binaire de 2252 bits d'ordre 3 et avec des modifications sur le filtre numérique*....75
4.20. *Architecture de la technique de BIST avec une mémoire disponible sur la puce*....77
4.21. *Premier étage du filtre de décimation avec deux signaux multiplexés*....78
4.22. *Architecture de la technique de BIST sans mémoire et avec des signaux multiplexés*....78
4.23. *Architecture de la technique de BIST dans les convertisseurs stéréo*....79

5.1. *Architecture du modulateur d'ordre 2*....88
5.2. *Configuration de l'amplificateur lors de la phase* ϕ_2....90
5.3. *Architecture de l'amplificateur opérationnel*....92
5.4 *Configuration de l'amplificateur différentiel à deux étages*....93
5.5. *Diagramme de Bode du gain différentiel de l'amplificateur*....94
5.6. *(a) Puissance spectrale du bruit équivalent en entrée de l'opamp, et(b) Puissance totale du bruit 1/f en fonction de la bande passante*....95
5.7. *Configuration du circuit de control du mode commun du 1er étage*....95
5.8. *Configuration du circuit de control du mode commun du 2ème étage*....96
5.9. *Amplificateur différentiel avec le control du mode commun par le substrat*....97
5.10. *Modèle en petit signal des transistors* M_{7A-B}....97
5.11. *Circuits de polarisation et déclanchement*....98
5.12. *(a) Gain de l'opamp en fonction de la tension à la sortie et (b) Voltage de sortie en fonction de la tension d'entrée.*....100
5.13. *Différence de tension entre deux diodes de taille différente*....101
5.14. *Génération d'une tension avec un coefficient de température nul*....101
5.15 *Génération d'une tension différentielle indépendante à la température*....102
5.16. *Dépendance du voltage de référence différentiel avec la température*....103
5.17. *Architecture du circuit générateur des voltages de référence*....103
5.18. *Amplificateur opérationnel du circuit générateur*....105
5.19. *Premier (a) et deuxième (b) suiveurs de tension du circuit générateur*....105
5.20. *Architecture du comparateur*....107
5.21. *Architecture du circuit générateur des phases de l'horloge*....107
5.22. *Interfaces des signaux numériques avec le modulateur analogique*....108
5.23. *Layout du modulateur analogique*....109

6.1. *Layout (a) et photo (b) du prototype*....112
6.2. *Photo de la carte de test*....113
6.3. *Schéma simplifié du filtre anti-aliasing*....114
6.4. *Configuration du régulateur pour générer* V_{DD_ANA}....114
6.5. *Configuration du test en mode de test standard, et (b) mode de BIST*....115
6.6. *SINAD du convertisseur en fonction de l'amplitude*....116
6.7. *SINAD du convertisseur en fonction de le fréquence du signal*....117
6.8. *SINAD obtenu avec le BIST et un stimulus d'ordre 3*....118
6.9. *SINAD obtenu avec le BIST et un stimulus d'ordre 2*....119
6.10. *SINAD obtenu avec le BIST et un stimulus multifréquence d'ordre 2*....119

Liste des tableaux

2.1. *BIST drawbacks and solutions* 40

4.1. *Résultats de simulation pour un stimulus d'ordre 3* 80
4.2. *Résultats de simulation pour un stimulus d'ordre 2* 82
4.3. *Résultats de simulation pour un stimulus multifréquence* 83
4.4 *Surcoût en surface du BIST* 84

5.1. *Budget du Bruit* 89
5.2. *Taille des transistors du circuit d'amplification* 93
5.3. *Taille des transistors du mode commun du 1er étage* 95
5.4. *Performance du circuit de control du mode commun par le substrat* 98
5.5. *Taille des transistors du circuit de polarisation* 99
5.6. *Voltages de polarisation pour les différents cas du procès* 99
5.7. *Spécifications de l'opamp pour les différents cas du procès* 100
5.8. *Taille des transistors de l'amplificateur opérationnel du générateur* 105
5.9. *Taille des transistors des suiveurs de tension du générateur* 106
5.10. *Performance du générateur des voltages de références* 106
5.11. *Taille des transistors du comparateur* 107

6.1. *Liste des équipements utilisés lors du test* 115

CHAPITRE 1

Introduction

1.1. MOTIVATION

De nos jours, les fabricants de semi-conducteurs produisent des circuits intégrés (*Integrated Circuits,* ICs) de plus en plus complexes afin de répondre à la demande du marché. Ces circuits intégrés incluent, sur la même puce, des circuits analogiques et numériques très performants. Le test de ces circuits devient un problème important parce qu'il requiert l'utilisation d'équipements automatiques de test *(Automatic Test Equipment,* ATE) qui sont très coûteux et qu'il conduit à des temps de test souvent trop longs. Le test des circuits mixtes est tellement onéreux qu'il arrive parfois à représenter jusqu'à 50% du coût total de fabrication du circuit [Rob97], et il est admis que le coût du test pourrait atteindre les 80% dans les prochaines années.

Il existe des solutions potentielles à ce problème. La conception en vue du test (*Design-for-Test*, DfT) ou l'application de techniques de test intégré (*Built-In-Self-Test*, BIST) permettent respectivement de faciliter le test ou de le réaliser dans la puce. Grâce aux techniques de test intégré, il est possible de réduire le coût et le temps de test, d'avoir accès aux connections internes du circuit et d'éviter sondes et câbles entre le testeur et les pattes du circuit, interconnections qui introduisent des distorsions du signal analogique. Des techniques de test intégré ont été proposées et appliquées avec succès pour des circuits numériques commerciaux depuis de nombreuses années. Par contre, ceci n'est pas le cas pour les circuits analogiques et mixtes (*Analogue and Mixed-Signal*, AMS). La recherche de nouvelles techniques de test intégré pour des circuits analogiques et mixtes s'est intensifiée ces dernières années. Cependant, la grande variété de circuits analogiques et mixtes, les nombreuses spécifications à vérifier dans ces circuits et la nature des signaux analogiques rendent difficile le développement de techniques de test intégré applicables à de nombreux circuits [Hue02b].

Il existe plusieurs types de test selon les différentes étapes de production des circuits intégrés [Rob99]. Pendant les premières étapes du processus, les ingénieurs de test réalisent une caractérisation exhaustive du prototype, en travaillant avec les concepteurs du circuit pour le diagnostic et l'amélioration du design. A ce stade, un test de toutes les spécifications est effectué. C'est en conséquence un test long mais il est réalisé seulement sur les premiers échantillons. La conception en vue du test peut être très utile dans cette étape, en permettant la validation de quelques spécifications du design qui seraient très difficiles à vérifier sans cela. Cependant l'application des techniques de test intégré n'est pas nécessaire ici. Une fois que le circuit a été validé, la chaîne de production commence sa fabrication. Il est alors nécessaire de faire un test de production sur toutes les puces pour assurer que le circuit correspond aux spécifications. Ce test

de production peut être structurel ou fonctionnel, mais il a toujours un coût très élevé. C'est dans cette situation que les techniques de test intégré deviennent une solution excellente pour réduire le coût de test, en permettant non seulement un test de production mais aussi un test postérieur dans l'application.

1.2. OBJECTIFS

Dans la majeure partie des applications de télécommunications, multimédia, télévision numérique, radars, radiocommunications, etc., les convertisseurs de signal sont devenus des éléments incontournables pour permettre la communication entre les signaux physiques du domaine réel, de nature analogique, et les circuits et systèmes numériques. Parmi tous les convertisseurs de signal, le convertisseur Sigma-Delta (ΣΔ) est l'un des plus utilisés, spécialement pour des applications où la bande passante est relativement petite, comme par exemple, l'audio, la parole, la vidéo, l'instrumentation, la mesure d'activité sismique, etc. [Azi96]. Cette large utilisation est possible grâce à la tolérance aux imperfections des composants analogiques et à l'architecture du convertisseur, qui permet de transposer une grande partie de l'effort de conception à la partie numérique [Joh96]. Cela est très appréciable pour les nouvelles technologiques, où la réduction constante de la taille des transistors et la diminution progressive des voltages d'alimentation, compliquent énormément le design des circuits analogiques. Par contre, les blocs numériques sont toujours robustes.

Dans ce contexte, l'objectif des travaux de thèse présentés dans ce mémoire consiste à proposer une nouvelle stratégie de test intégré (BIST) pour les Convertisseur Analogiques/Numériques Sigma-Delta (CAN ΣΔ). Cette technique doit combiner un surcoût en surface et un temps de test les plus petits possibles. D'autant que les circuits numériques sont de plus en plus petits, nous nous orientons sur une technique principalement numérique, ce qui est en phase avec la philosophie des convertisseurs ΣΔ. La modification des circuits analogiques doit rester la plus restreinte possible. Notre but est de générer sur la puce elle-même, un signal de test d'une précision plus grande que la résolution du convertisseur sous test. Nous visons aussi à intégrer l'analyse de la réponse du test en utilisant un minimum de ressources numériques. Un prototype sera fabriqué pour valider la technique.

Afin de remplir ces objectifs, nous avons choisi une stratégie capable de mesurer le rapport signal sur bruit et distorsion (*SIgnal-to-Noise And Distortion ratio*, SINAD). Nous nous sommes intéressés à cette spécification parce qu'elle nous indique la précision du convertisseur et parce que nous avons remarqué de manière expérimentale que, pour le cas d'un amplificateur opérationnel, ce paramètre procure une couverture de fautes excellente [Bou06a]. Comme signal de test nous utiliserons un stimulus numérique qui codifie avec une grande précision un signal sinusoïdal [Haw96]. L'analyse de la réponse sera effectuée au moyen d'une régression sinusoïdale (*sine-wave fitting algorithm*). Les deux techniques combinées, génération et analyse, nous permettront de calculer le SINAD du convertisseur de manière très efficace avec un surcoût en surface très réduit.

1.3. STRUCTURE DE LA THESE

A la suite de cette introduction, ce mémoire est composé de six chapitres :

- Dans le *deuxième chapitre*, nous présentons les méthodes générales pour le test industriel des circuits analogiques. Nous introduisons ensuite les principes et stratégies générales pour le BIST de circuits analogiques et mixtes. Nous nous intéressons enfin aux techniques permettant

la génération de signaux de test analogiques sur la puce elle-même, ainsi qu'à l'intégration de méthodes pour l'analyse de signaux analogiques.

- Le *troisième chapitre* détaille l'état de l'art du BIST pour les Convertisseurs Analogiques/ Numériques et Numériques/Analogiques (CAN et CNA). Nous présentons des techniques de test intégrées aussi bien pour des convertisseurs de signal de type Nyquist, que pour des convertisseurs Sigma-Delta. Les méthodes conventionnelles utilisées dans l'industrie pour le test de ces composants sont aussi abordées.

- Le *quatrième chapitre* est consacré à la présentation de la nouvelle technique de BIST proposée dans cette thèse pour le test de Convertisseurs Analogiques/Numériques Sigma-Delta de haute résolution. Nous décrivons tout d'abord, l'architecture d'un CAN ΣΔ de 16-bits pour des applications audio. Ce convertisseur nous servira d'exemple pour valider la technique. Puis, nous expliquons comment générer un stimulus de haute précision, adapté pour le test d'un convertisseur Sigma-Delta, à partir d'un stimulus binaire. Nous montrerons que la réutilisation de ce stimulus et du filtre numérique de décimation présent dans le convertisseur, permettent de réduire drastiquement le surcoût en surface pour l'analyse de la réponse. Ensuite, nous évoquons différentes architectures du BIST, selon les ressources numériques existantes dans le circuit. Enfin, nous présentons les résultats de simulation, qui montrent la capacité de la technique d'auto test pour détecter les réductions du SINAD dans un convertisseur de haute résolution.

- Dans le *cinquième chapitre* nous présentons le design d'un CAN audio de 16 bits intégrant la technique de BIST. Nous exposons la conception du modulateur analogique, de l'amplificateur opérationnel différentiel et du circuit générateur du voltage de référence (*Bandgap*). Pour approfondir cette étude, nous détaillons à niveau transistor tous les blocs analogiques du convertisseur, que nous avons développés dans une technologie CMOS 0.13 μm de STMicroelectronics.

- Dans le *sixième chapitre* nous nous focalisons sur la validation expérimentale de la technique de test intégré proposée dans ces travaux de thèse. Le prototype fabriqué, la carte de test et l'instrumentation utilisée sont également décrits. Les résultats expérimentaux comparent le SINAD obtenu au moyen d'une technique de test standard, avec le SINAD calculé par le BIST. Les mesures confirment les résultats observés par simulation.

- Enfin, nous terminons par les conclusions et l'exposition des travaux futurs à effectuer dans cet axe de recherche.

CHAPITRE 2

Techniques de BIST pour des circuits analogiques : principes et généralités

2.1. INTRODUCTION

Avec l'augmentation de la performance des composants analogiques et mixtes, le test de ces circuits devient plus onéreux et difficile, jusqu'à représenter parfois la partie la plus coûteuse du procès de fabrication. Dans ce contexte, les techniques de BIST permettent de réduire ce coût, en intégrant sur la puce les ressources nécessaires au test. Pendant ces dernières années, différentes stratégies de BIST ont été proposées dans la littérature pour des circuits analogiques et mixtes. Cependant, ces techniques ne sont pas encore mûres et leurs applications industrielles sont très restreintes. Dans ce chapitre, nous présenterons les stratégies de BIST les plus importantes, exposant les avantages et les limitations de chaque technique, ainsi que le surcoût en surface nécessaire pour la réalisation du BIST.

Dans la première section, nous montrons les méthodes de test les plus utilisées dans l'industrie pour le test de circuits analogiques et mixtes. Ensuite, nous décrivons les principes généraux et les stratégies les plus courantes dans le BIST de circuits analogiques. Afin d'intégrer le test sur la puce, nous devons déployer deux nouvelles fonctionnalités dans le circuit : la génération d'un stimulus analogique de test et l'analyse de la réponse du circuit sous test. Des techniques de BIST pour la génération des stimuli analogiques de test (*Test Pattern Generation*, TPG) et pour l'analyse de la réponse de test (*Output Response Analysis*, ORA) seront aussi présentées dans ce chapitre. Les techniques de test spécifiques pour les convertisseurs de signal CANs et CNAs seront étudiées dans le chapitre suivant.

2.2. TEST INDUSTRIEL DE CIRCUITS ANALOGIQUES

Même si chacun des blocs analogiques dispose de tests différents et spécifiques, plusieurs principes sont communs à tous les circuits analogiques. De manière générale, un générateur de signal stimule le circuit sous test (*Circuit-Under-Test*, CUT) et un équipement de mesure analyse la réponse (figure 2.1).

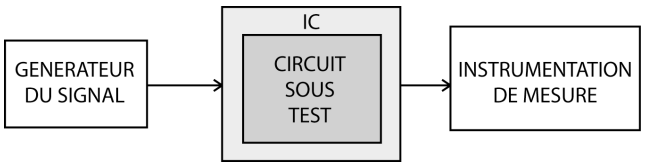


Figure 2.1. Configuration typique d'un test industriel

Selon le stimulus envoyé au circuit et suivant le paramètre mesuré, nous pouvons différencier quatre types de tests différents [Rob96] :

1.- Test DC : quand nous appliquons des signaux continus sur les entrées du circuit, nous pouvons mesurer plusieurs paramètres statiques : le décalage (offset), le gain, la valeur absolue de l'impédance d'entrée et de sortie du circuit, et le point de polarisation.

2.- Test AC : si nous utilisons un signal de test sinusoïdal, nous pouvons calculer la réponse fréquentielle (le gain et la phase), la distorsion harmonique, le rapport de la puissance signal sur bruit (*Signal-to-Noise Ratio*, SNR) et les impédances complexes du circuit.

3.- Test transitoire : par moyen d'un signal de test carré ou bien avec une forme arbitraire, nous pouvons déterminer le délai du groupe, le *slew rate*, la sur-oscillation ou la distorsion.

4.- Test de bruit : lorsque nous fixons les entrés du circuit à zéro, nous pouvons mesurer le bruit généré à l'intérieur du circuit.

L'observation des mesures de DC et du point de polarisation est très courante dans les premières phases du design afin de détecter de possibles déviations du procès de fabrication. Une fois que le circuit entre dans la chaîne de production, la mesure de la consommation en courant statique (*quiescent supply current*, IDDQ) est très utile pour la détection de fautes catastrophiques (telles que des court-circuits ou des circuits ouverts). Pour les circuits analogiques linéaires, le test AC est amplement utilisé. Quand un système linéaire est stimulé avec un signal sinusoïdal, la réponse du système est un autre signal sinusoïdal de même fréquence. Seules l'amplitude et la phase changent. Dans le cas de circuits non-linéaires, l'observation de la réponse du test transitoire se montre plus utile pour calculer la distorsion. L'instrumentation nécessaire pour le test de circuits analogiques est, par conséquent, composée des multimètres, générateurs de signaux arbitraires, analyseurs spectraux et équipements d'acquisition. Pour tous ces équipements, nous avons besoin d'une précision d'au moins 3 bits [Par03] de plus que le circuit sous test.

2.3. METHODES GENERALES POUR LE BIST DE CIRCUITS ANALOGIQUES

BIST hybride

Une des premières techniques pour le BIST de circuits analogiques et mixtes a été proposée par Ohletz en 1991 avec le nom de BIST hybride (*Hybrid Built-In Self-Test*, HBIST) [Ohl91]. Cette technique est une application directe des techniques de BIST numérique aux circuits analogiques. Un registre *Linear-Feedback Shift Register* (LFSR) engendre une séquence pseudo-aléatoire numérique. Par moyen d'un CNA, cette séquence est transformée dans un stimulus analogique dont l'amplitude est distribuée de manière pseudo-aléatoire (figure 2.2). Un processeur de signal numérique (*Digital Signal Processor*, DSP) permet aussi de manipuler la séquence numérique de test pour générer d'autres types de stimuli.

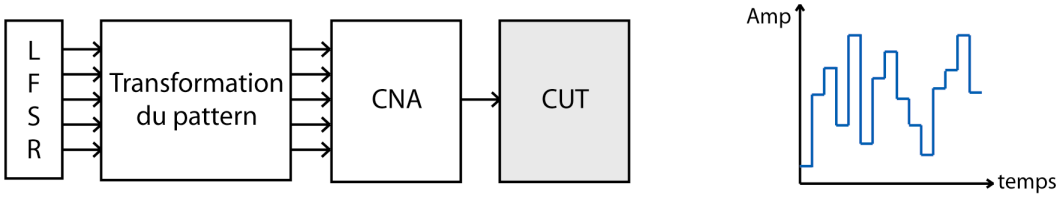


Figure 2.2. (a) Générateur de stimuli analogiques dans le BIST hybride
(b) Stimulus dont l'amplitude est pseudo-aléatoire

Afin d'analyser la réponse du circuit sous test (figure 2.3), un CAN convertit la sortie analogique dans un signal numérique. A l'aide d'un registre *Multiple Input Signature Register* (MISR), la réponse de test est compactée. La signature obtenue est alors comparée avec une valeur, calculée au préalable et sauvegardée dans la mémoire, pour décider si le circuit passe ou pas le test.

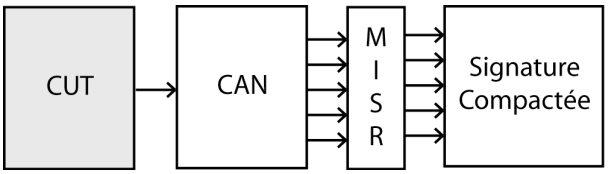


Figure 2.3. Analyse de la réponse du circuit sous test dans le BIST hybride

Pour l'application de cette technique, un CAN et un CNA doivent être présents dans le circuit. De plus, il faut tester ces deux convertisseurs avant de les utiliser pour le test du circuit analogique. Autrement, une faute dans un des convertisseurs pourrait masquer une autre faute dans le circuit sous test. Un autre inconvénient de cette stratégie est que nous ne prenons en compte aucune fenêtre de tolérance [Vei98], un concept qui est inhérent à tous les circuits analogiques. En conséquence, la signature obtenue peut différer de la signature théorique à cause, par exemple, du bruit thermique.

BIST basé sur un DSP

Une autre proposition est le BIST basé sur un DSP (*DSP-based* BIST) (figure 2.4). Comme dans le cas précédent, il requiert l'existence d'un CAN et d'un CNA dans le circuit, ainsi que d'un DSP. Le processeur de signal numérique génère des stimuli et le même DSP analyse la réponse du circuit sous test, au moyen d'une transformée de Fourier à temps discret (*Discrete Fourier Transform*, DFT). Ce test basé sur le spectre (*spectral-based test*) permet le calcul de paramètres dynamiques. Les deux convertisseurs, qui connectent le circuit analogique avec le DSP, doivent aussi être testés préalablement. Afin de résoudre cette limitation, un nouveau schème appelé MADBIST (*Mixed Analog-Digital* BIST) a été proposé dans [Rob97]. Cette méthode (voir Section 3.4) permet de tester les deux convertisseurs avant d'effectuer le BIST basé sur le DSP.

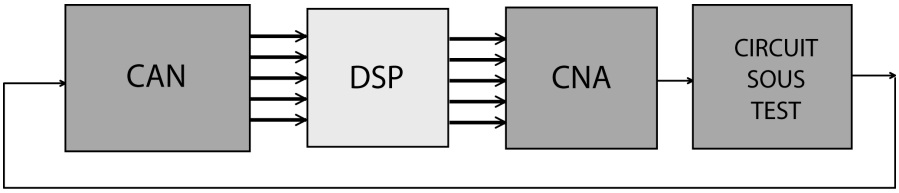


Figure 2.4. BIST basé sur un DSP

BIST basé sur un histogramme

Une des quelques techniques à avoir été commercialisée est le BIST basé sur un histogramme et appelé HABIST (*Histogram-based Analog Built-in Self Test*) [Fri97, Tur01a, Tur01b]. Dans cette technique (figure 2.5), la sortie du circuit analogique est quantifiée et numérisée à l'aide d'un CAN. Si ce convertisseur est de N bits, le nombre total de codes différents à la sortie du CAN est de 2^N. Lorsque nous comptons le nombre de fois où chaque code apparaît en sortie, nous obtenons un histogramme expérimental. Grâce à une comparaison avec un histogramme théorique et calculé auparavant, nous pouvons mesurer des paramètres statiques ou transitoires, selon le type de stimulus utilisé pour le test (signal sinusoïdal, une rampe, un échelon, etc.). La

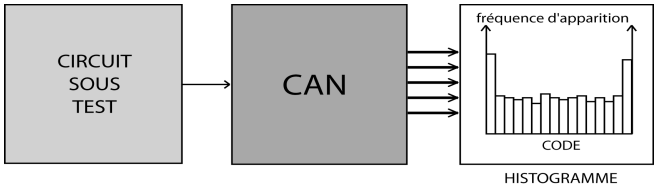


Figure 2.5 BIST basé sur un histogramme

figure 2.6 présente l'histogramme correspondant à un signal sinusoïdal et la figure 2.7 celui montrant la différence entre un signal sinusoïdal parfait et un signal saturé.

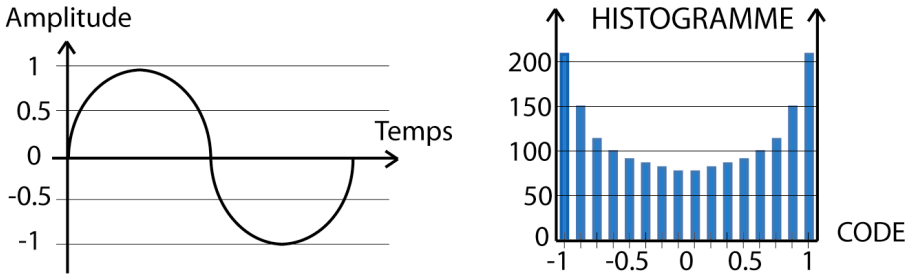


Figure 2.6. Signal sinusoïdal et son histogramme correspondant

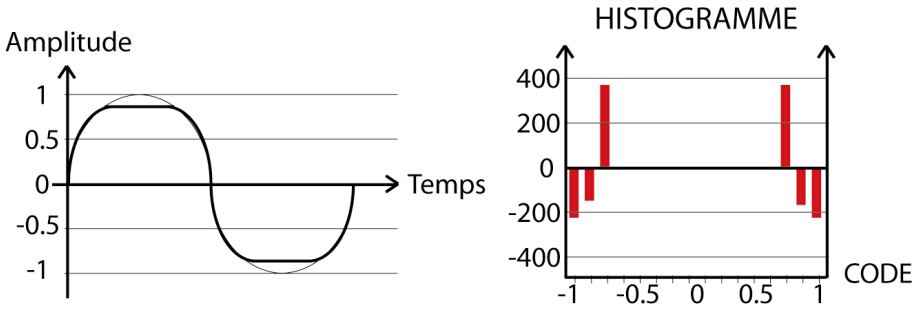


Figure 2.7. Signal saturé et l'histogramme montrant la différence

Nous pouvons récupérer les données à la sortie du convertisseur lorsque le circuit sous test est en mode fonctionnel, effectuant ainsi un test *on-line*. Il est également possible d'engendrer un stimulus interne à l'aide d'un générateur de signal analogique ou grâce à quelques vecteurs numériques suivis du CNA. De cette manière, nous réalisons un test *off-line* quand le circuit sous test n'est pas en mode fonctionnel. Dans les deux cas, nous devons valider au préalable toutes les ressources employées pour le test (les convertisseurs de signal, le générateur analogique et les ressources numériques), tel que nous l'avons commenté dans les techniques précédentes.

BIST pseudo-aléatoire

Pour les circuits analogiques linéaires et invariants dans le temps (*Linear-Time-Invariant*, LTI), une technique BIST basée sur l'utilisation des séquences pseudo-aléatoires a été amplement étudiée [Pan96, Pan97, Tof00]. Le spectre d'une séquence pseudo-aléatoire approche celui du bruit blanc. En conséquence, quand nous utilisons comme signal de test un tel stimulus, nous pouvons récupérer à la sortie toute l'information concernant le circuit sous test. Les formules mathématiques suivantes expriment le rapport entre la réponse impulsionnelle et le réponse du circuit sous test [Pan95] :

$$m_y = \alpha_1 \cdot \sum_{k=0}^{\infty} h[k] \tag{2.1}$$

$$R_y[0] = \sum_{k=0}^{\infty} h^2[k] \tag{2.2}$$

$$R_{xy}[k] = \alpha_2 \cdot h[k] \tag{2.3}$$

où m_Y est la valeur moyenne à la sortie, $h[k]$ est la réponse impulsionnelle du circuit sous test à l'instant de temps k, R_Y est l'auto-corrélation de la sortie et R_{XY} est la corrélation croisée entre l'entrée et la sortie du circuit (α_1 et α_2 sont des constantes). Tous ces paramètres peuvent donc être employés comme des signatures pour le test de circuits LTI.

Nous pouvons récupérer très facilement une séquence pseudo-aléatoire à partir de la sortie d'un LFSR. Si l'entrée envoyée au circuit est binaire, le calcul de la corrélation croisée est très simple : il suffit de multiplier la sortie du circuit par -1 ou 1. C'est pourquoi, l'utilisation de la corrélation croisée pour estimer la réponse impulsionnelle est très appropriée pour les applications de BIST (figure 2.8).Un CAN peut échantillonner la réponse du circuit sous test et la corrélation croisée peut être effectuée à l'aide de ressources numériques. En conséquence, nous avons encore besoin de convertisseurs que nous devons tester dans un premier temps. L'inconvénient principal de cette méthode est la durée du temps de test, puisque nous devons effectuer un moyennage afin d'améliorer le SNR (*Signal-to-Noise Ratio*)

Afin de séparer les circuits défaillants des circuits fonctionnels, nous comparons seulement quelques échantillons de la réponse impulsionnelle avec la réponse théorique obtenue par simulation. Si les valeurs de ces échantillons sont dans la plage de tolérance, nous classifions le circuit comme fonctionnel. En [Mar02] les auteurs ont proposé proposent la création d'un dictionnaire qui contient toutes les réponses impulsionnelles de circuits sains. Le test pseudo-aléatoire a aussi été appliqué au BIST de MEMS (*Micro Electro Mechanical Systems*) [Ruf03, Dha04] et à la calibration sur la puce de filtres en temps continu.

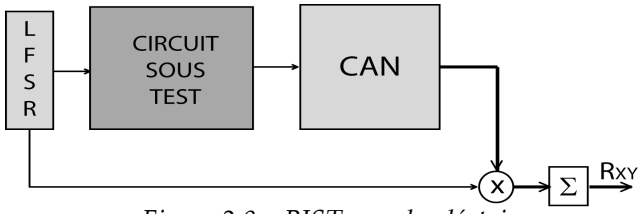


Figure 2.8. BIST pseudo-aléatoire

BIST basé sur l'oscillation

Une stratégie différente basée sur le test structurel est l'OBIST (*Oscillation-based Built-in Self-Test*) [Ara96, Ara97b, Ara98a, Ara99]. Dans cette méthode (Figure 2.9.a), nous ajoutons des modifications sur le circuit afin de provoquer des oscillations dans le mode de test. La fréquence d'oscillation est directement reliée aux paramètres du circuit, ce qui permet de détecter les circuits défaillants en mesurant cette fréquence d'oscillation. En [Hue99, Hue02b] les auteurs proposent une méthode générale pour produire des oscillations stables à l'aide d'un bloc non-linéaire : un comparateur analogique (figure 2.9.b). La mesure de la fréquence et de l'amplitude d'oscillation permet d'améliorer la couverture de fautes. Dans [Vaz02a], une méthode est proposée pour assurer le déclenchement (*start-up*) de l'oscillation et réduire le temps nécessaire à la stabilisation de ces oscillations.

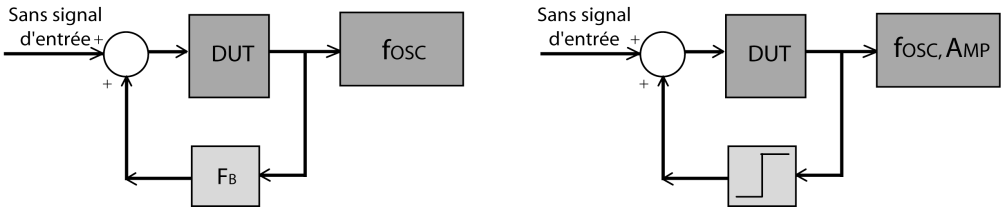


Figure 2.9. (a) BIST basé sur l'oscillation [Ara96]
(b) BIST basé sur l'oscillation [Hue99]

Le principal atout de cette technique est que nous n'avons pas besoin de générer un stimulus de test. Par contre, nous devons ajouter un circuit capable de calculer la fréquence et l'amplitude de l'oscillation. Plusieurs stratégies, appropriées pour la réalisation d'un BIST, ont été développées pour mesurer le fréquence d'oscillation [Kha95, Vaz02b, Vaz02c]. En [Roh00] les

auteurs proposent, pour l'évaluation de l'oscillation, un schéma basé sur un comparateur analogique dont le voltage de référence est variable (*Time-Division Multiplexing*, TDM). Le principe de cette méthode est la variation périodique du voltage de référence, ce qui permet de calculer la fréquence d'oscillation avec un minimum de ressources. Dans la section 2.5 nous présenterons des techniques pour mesurer l'amplitude. Les variations du procès et de la température peuvent modifier les caractéristiques des oscillations et, par conséquent, produire un mauvais classement des circuits sous test. Un autre inconvénient de cette stratégie est la nécessite de reconfigurer le chemin du signal.

Test transitoire

Une technique propose la réalisation d'un test transitoire avec uniquement de ressources numériques [Var97, Var00]. Un signal généré par moyen d'un LFSR et composé d'échelons de durée différente est envoyé à l'entrée du circuit sous test (figure 2.10). La réponse de test est analysée au moyen d'un comparateur. Nous obtenons de cette manière une signature numérique à la sortie du comparateur. En optimisant la valeur du voltage de référence du comparateur ainsi que la période de l'échantillonnage, nous pouvons utiliser la signature numérique pour séparer les circuits défaillants des circuits fonctionnels. Le principal avantage de cette méthode est que la génération du stimulus et l'analyse de la réponse sont effectuées grâce à des blocs essentiellement numériques. Cependant, avec un tel test nous ne pouvons étudier que le comportement transitoire. Des inexactitudes dans le modèle du circuit et des variations du procès peuvent détériorer la qualité du BIST.

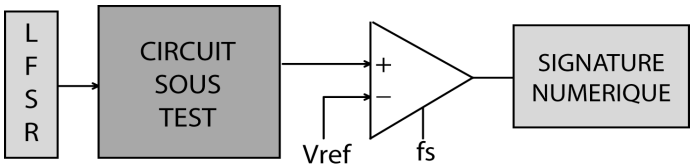


Figure 2.10. Test transitoire

Graphes de Lissajous

[Bro01] propose une technique de BIST basé sur l'utilisation des graphes de Lissajous. Quand nous stimulons un circuit linéaire et stable avec un signal périodique, la réponse du circuit sous test est aussi périodique. Si nous traçons les valeurs à la sortie du circuit en fonction des valeurs à l'entrée [$v_{IN}(t)$, $v_{OUT}(t)$], nous obtenons les graphes de Lissajous. Lorsqu'il y a un défaut dans le circuit, la forme de ces graphes change. Afin de détecter ces modifications nous dessinons une ligne de contrôle dans le plan X-Y et nous comptons le nombre de fois que cette ligne croise les graphes de Lissajous (figure 2.11.a). Si le résultat obtenu est différent de celui attendu pour les circuits fonctionnels, le circuit est classifié comme défaillant. La ligne de contrôle est décrite par l'équation suivante :

$$v_z \equiv k_1 \cdot v_{in}(t) + k_2 \cdot v_{out}(t) + k_3 \cdot v_n = 0 \qquad (2.4)$$

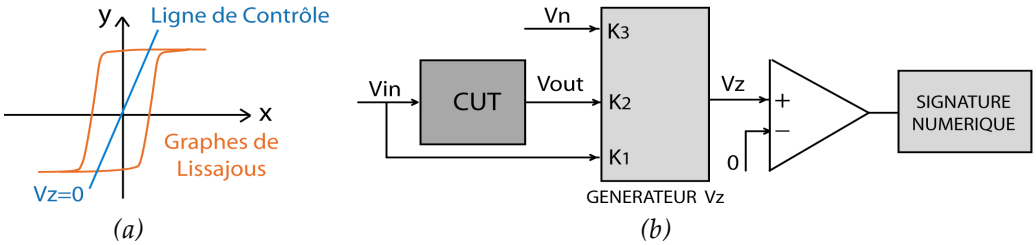


Figure 2.11. (a) Graphes de Lissajous et ligne de contrôle
(b) BIST basé sur les graphes de Lissajous

où la tension v_N et la constante k_3 définissent la position de la ligne. Pour accomplir cette stratégie sur la puce (figure 2.11.b) nous devons déployer un bloc analogique qui génère la tension v_Z, et un comparateur qui détecte le nombre de fois où les graphes de Lissajous sont croisés par la ligne de contrôle. La couverture de fautes est élevée mais nous constatons que sa réalisation sur la puce nécessite de blocs analogiques de conception difficile.

Compensation de pôles et zéros

L'étude de la fonction de transfert peut être appliquée au test de filtres. En [Vaz94] les auteurs reconfigurent le circuit pour produire une compensation des zéros et pôles. En conséquence, dans le mode de test la sortie du circuit devrait avoir une valeur constante (figure 2.12). La classification des circuits est effectuée en observant l'erreur. Si cette erreur est supérieure à un intervalle de tolérance déterminé, le circuit est classé comme défaillant. La modification du chemin du signal et la difficulté pour obtenir un modèle précis du circuit sont les principaux inconvénients de cette méthode.

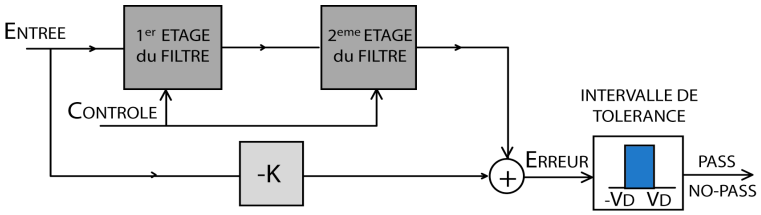


Figure 2.12. Compensation de pôles et zéros

Utilisation de filtres adaptatifs

Une stratégie similaire est basée sur l'utilisation de filtres adaptatifs [Car98]. Dans un premier temps, nous programmons un filtre numérique pour arriver à émuler, à travers un algorithme adaptatif, le même comportement que le circuit sous test. Le circuit et le filtre adaptatif sont ensuite stimulés avec le même signal de test et les deux réponses sont comparées (figure 2.13). Un test *on-line* est par conséquent possible. Un CAN et un CNA sont nécessaires pour interfacer le circuit sous test avec les ressources numériques. Tous ces blocs doivent être validés avant le test du circuit.

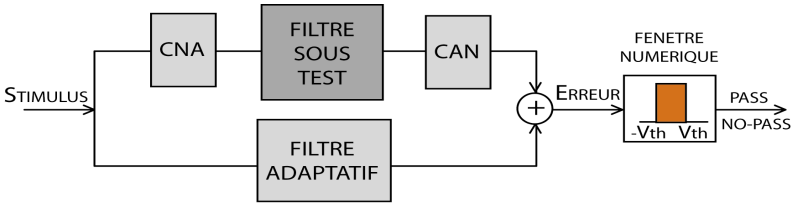


Figure 2.13. Utilisation de filtres adaptatifs

Utilisation de la redondance

Plusieurs méthodes proposent l'utilisation de la redondance matérielle dans le circuit [Lub95]. Si nous dupliquons un circuit et comparons les deux sorties, nous pouvons effectuer un test concurrent. Cette stratégie n'est pas adaptée à la réalisation d'un BIST à cause de son grand surcoût en surface. D'autres propositions permettent de réduire ce surcoût. Une première technique consiste à profiter de la modularité de l'architecture du circuit. Dans un système où il y a N modules identiques, nous pouvons ajouter un nouveau module, également identique. Pour effectuer le test *off-line* de chacun des N modules, nous comparons la sortie des modules avec celle du $(N+1)^{ème}$ module. Nous pouvons aussi prendre N des (N+1) modules et valider les performances du système [Har94]. De cette manière, il y a (N+1) combinaisons possibles. Dans toutes ces combinaisons, les performances du système devraient être identiques si les (N+1)

modules sont fonctionnels. Une deuxième technique a été proposée dans [Hue92, Hue93, Vaz95, Vaz98] et appliquée aux filtres à capacités commutées et aux filtres du type *ladder*. L'architecture de ces circuits est composée des différents étages biquadratiques en cascade. Nous pouvons ajouter un bloc biquadratique programmable capable d'émuler le comportement de chacun des étages. De cette manière, nous pouvons tester, séquentiellement, tous les étages biquadratiques en comparant la réponse de l'étage sous test avec celle du bloc programmable.

Pour toutes ces méthodes, nous avons besoin d'un mécanisme pour comparer deux signaux analogiques et déterminer si la différence entre eux est dans une fenêtre de tolérance. Un comparateur à fenêtre (*window comparator*) [Kol95, Vaz98] permet de réaliser cette fonction. Il faut aussi disposer de quelques techniques de DFT pour pouvoir accéder aux nœuds analogiques internes. Cela est possible au moyen d'un amplificateur opérationnel configurable appelé "*sw-opamp*" (figure 2.14) [Bra95, Vaz96]. Cet amplificateur permet, avec un surcoût en surface minimal, de contourner un bloc analogique et de sélectionner les nœuds internes que nous voulons observer.

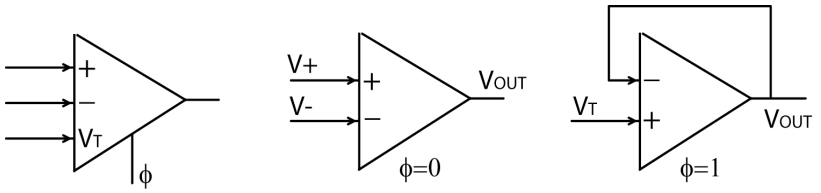


Figure 2.14. (a) sw-opamp, (b) normal mode et (c) by-pass mode

L'inconvénient des stratégies basées sur l'utilisation de la redondance matérielle est la nécessité d'une grande surface de silicium. De plus, tous les blocs rajoutés pour le test, dont beaucoup d'entre eux sont analogiques, doivent être préalablement testés. D'autres techniques proposent l'utilisation de la redondance de l'information dans les circuits complètement différentiels (*fully differential circuits*) [Kol93, Vin94, Mir95a, Mir96a]. Dans un circuit différentiel fonctionnel, chacun composante d'un signal différentiel, positif (V^+) et négatif (V^-), suit un code analogique différentiel :

$$V^+ + V^- \cong 2 \cdot V_{BIAS} \tag{2.5}$$

où V_{BIAS} est la tension de polarisation commune aux deux composantes. Un défaut peut écarter le comportement du circuit de l'équation (2.5). Grâce à un contrôleur analogique (*analogique checker*) nous pouvons donc détecter les circuits défaillants. Cette technique permet donc d'effectuer un test *on-line*. La difficulté de conception du contrôleur analogique est le principal inconvénient de la technique, puisque V^+ et V^- peuvent prendre des valeurs de tension dans une plage très large. Ce problème peut être résolu si nous observons uniquement les entrées des amplificateurs opérationnels [Mir96a, Lub00]. Quand le circuit est fonctionnel, les deux entrées de l'amplificateur opérationnel sont proches de la masse analogique :

$$V^+ \cong V^- \cong V_{BIAS} \tag{2.6}$$

Cette propriété simplifie la conception du contrôleur analogique. En [Mir96b] l'observation des entrées et sorties de tous les amplificateurs opérationnels ne permet pas seulement la détection des circuits défaillants mais aussi le diagnostic des fautes. En tous cas, les techniques basées sur l'utilisation de la redondance de l'information ne peuvent s'appliquer qu'aux circuits différentiels et la détection des fautes symétriques n'est pas possible. De plus, sa réalisation requiert l'utilisation d'un contrôleur analogique dont la conception est difficile et qui doit être validé avant le test du circuit.

Une autre proposition qui permet le test concurrent des circuits analogiques est présentée dans [Cha93]. Cette méthode est basée sur le calcul des variables d'état du système. Les circuits additionnels nécessaires pour effectuer ce calcul (circuits d'intégration et d'analyse) représentent un surcoût en surface très important. Les techniques de BIST basées sur le test IDDQ ne sont pas étudiées ici. Même si ces techniques se sont montrées très intéressantes pour le test de circuits numériques, leur utilité pour le test de circuits analogiques et mixtes a toujours été remise en cause, en particulier pour la détection de fautes paramétriques.

2.4. GENERATION DE SIGNAUX ANALOGIQUES DE TEST SUR LA PUCE

Nous pouvons générer des signaux de test analogiques au moyen de ressources DSP et d'un convertisseur analogique/numérique (CNA). Par exemple, grâce à des techniques de synthèse numérique (*Direct Digital Frequency Synthesis*, DDFS), nous pouvons engendrer des signaux numériques de très haute qualité. Par contre, le surcoût en surface élevé rend impossible l'application de ces stratégies aux techniques de test intégré. Plusieurs méthodes ont été proposées dans la dernière décennie pour réduire le surcoût en surface nécessaire pour engendrer des signaux analogiques sur la puce. L'utilisation de modulateurs ΣΔ numériques s'est montrée très intéressante en permettant la réduction de ressources numériques et l'emploi d'un CNA d'un seul bit au lieu d'un CNA multi-bit. Il est possible de générer des patterns de test ΣΔ de deux manières différentes : nous pouvons réaliser sur la puce un oscillateur ΣΔ ou bien nous pouvons mémoriser et répéter périodiquement un train binaire obtenu au préalable par modulation ΣΔ.

Oscillateurs basés sur la modulation ΣΔ

Le premier oscillateur ΣΔ utilisé pour la génération de signaux analogiques de test a été proposé dans [Lu93, Lu94a]. Il s'agit d'un résonateur numérique du 2ème ordre, composé de deux intégrateurs de temps discret en cascade, et d'un convertisseur CNA de N bits (figure 2.15).

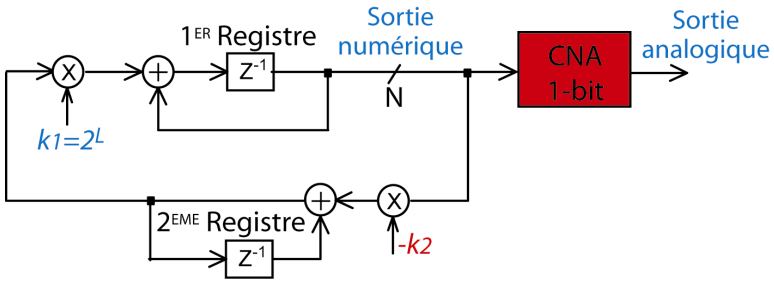


Figure 2.15. Oscillateur composé d'un résonateur du 2ème ordre

Cette configuration entraîne l'oscillation du circuit, produisant une séquence numérique sinusoïdale à la sortie du premier registre. La fréquence d'oscillation ω_0, la phase ϕ et l'amplitude A de l'oscillation dépendent des valeurs des constants k_1 et k_2, de la fréquence d'échantillonnage et des conditions initiales des deux registres $x_1(0)$ et $x_2(0)$, ce qui permet un contrôle indépendant de chacun des trois paramètres :

$$\omega_0 = f_S \cdot \cos^{-1}\left(1 - \frac{k_1 \cdot k_2}{2}\right) \tag{2.7}$$

$$\varphi = \tan^{-1}\left(\frac{x_1(0) \cdot \sin\left(\frac{\omega_0}{f_S}\right)}{\left(1 - k_1 \cdot k_2 - \cos\left(\frac{\omega_0}{f_S}\right)\right) \cdot x_1(0) + k_1 \cdot x_2(0)}\right) \tag{2.8}$$

$$A = \frac{[1 - k_1 \cdot k_2 x_1(0)] \cdot x_1(0) + k_1 \cdot x_2(0)}{sin\left(\frac{\omega_0}{f_S} + \phi\right)} \tag{2.9}$$

La fréquence d'oscillation dépend du produit $k_1 \cdot k_2$. Nous pouvons donc utiliser k_1 pour effectuer une première sélection de la fréquence, tandis que k_2 permet de calibrer la fréquence avec plus de précision. Cette procédure se révèle très efficace puisque le facteur k_1 peut être effectué avec un numéro entier puissance de deux ($k_1=2^L$). L'opération de la multiplication est donc simplifiée et réalisée à l'aide d'un décalage à droit de L bits. Cependant, ce résonateur représente encore un surcoût en surface très important dû à la multiplication de N-par-N bits, nécessaire pour le facteur k_2, et à cause du CNA multi-bit.

Le résonateur présenté sur la figure 2.16 permet de réduire la surface de réalisation. Un modulateur ΣΔ passe-bas d'un bit est inclus dans la boucle de manière à ce que la sortie du résonateur soit maintenant binaire. En conséquence, nous pouvons effectuer la multiplication par le facteur k_2 très facilement grâce à un multiplexeur de deux entrées. De plus, la conversion numérique/analogique est réalisée avec un CNA d'un bit, qui est linéaire par définition puisque sa fonction de transfert n'est composée que de deux points. L'inconvénient de cette configuration est que nous avons besoin d'un filtre passe-bas analogique pour enlever le bruit de quantification introduit par le modulateur dans les hautes fréquences (figure 2.17.a).

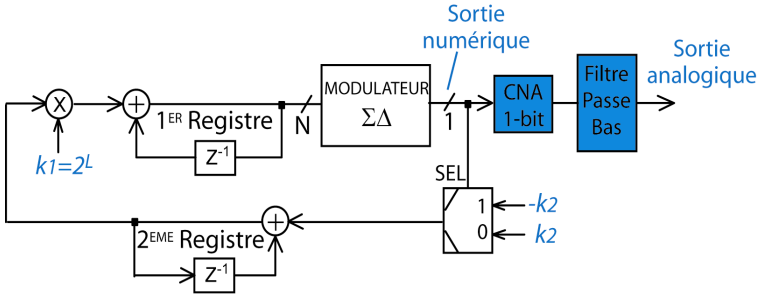


Figure 2.16. Oscillateur basé sur un Modulateur ΣΔ passe-bas

Les équations (2.7), (2.8) et (2.9) ont été calculées pour le résonateur de la figure 2.15. Dans la nouvelle configuration (figure 2.16), le modulateur ΣΔ modifie la structure originale et ajoute du bruit de quantification. Cependant, il est possible de montrer que si la fonction de transfert du signal (*Signal Transfer Function*, STF) est égale à l'unité, ces équations restent aussi valables pour la nouvelle configuration, au moins pour les basses fréquences. Le modulateur employé dans ce cas est un modulateur ΣΔ passe-bas du deuxième ordre (figure 2.17.b), avec un STF égale à z^{-1}. L'introduction d'un délai dans le chemin du signal du modulateur est compensée par l'utilisation d'un registre sans délai dans le résonateur. Cette méthode a été utilisée pour générer des signaux mono-fréquence (*single tone*) de basse fréquence (<20 kHz) avec un SNR de 70 dB dans [Lu94a]. Dans ce travail, les auteurs analysent la sortie binaire du modulateur à l'aide d'une carte de test qui contient un CNA d'un bit et un filtre Butterworth passe-bas du 6ème ordre.

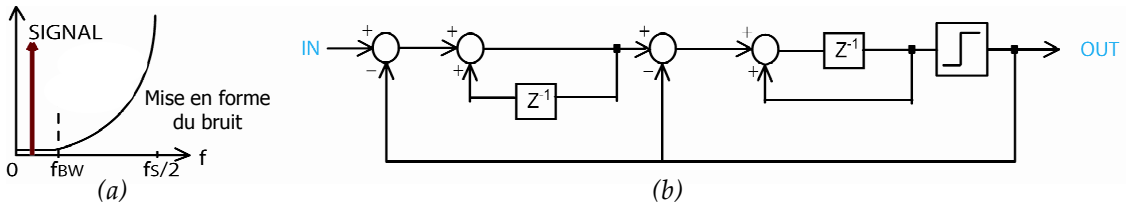


Figure 2.17. (a) Mise en forme du bruit de quantification dans le modulateur
(b) Modulateur ΣΔ passe-bas du 2ème ordre utilisé dans l'oscillateur

Un schéma de codification connecte le signal à zéro après chaque pulse (*return-to-zero*). De cette manière, la forme de chaque pulse ne dépend pas des pulses précédents et la distorsion est, par conséquent, réduite. Nous pouvons améliorer les valeurs de SNR ou bien élargir la bande passante du signal si nous augmentons l'ordre du modulateur. Toutefois, des problèmes de stabilité apparaissent pour la configuration de l'oscillateur décrit sur la figure 2.16 lorsque nous utilisons de modulateurs d'ordre supérieur. Afin de résoudre cette limitation, une autre configuration, plus générique a été proposé en [Hau95, Hau98] (figure 2.18).

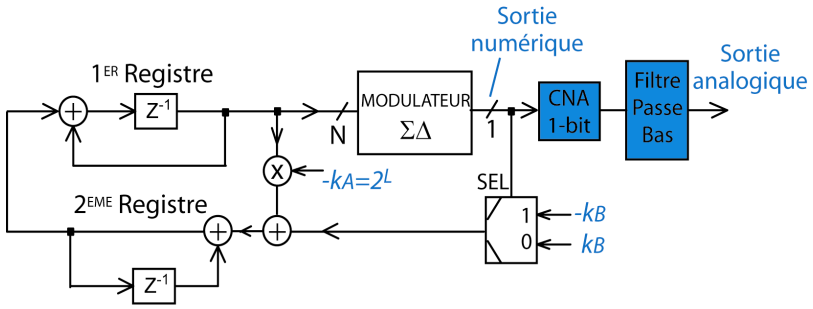


Figure 2.18. Configuration générique d'un résonateur basé sur l'utilisation d'un modulateur ΣΔ

Nous observons que si $k_A=0$ et $k_1 \cdot k_2=k_B$ nous obtenons la même configuration qu'auparavant. Il est possible de montrer que cette configuration oscille si STF=1 et, dans ce cas, la fréquence d'oscillation est fixée par :

$$\omega_0 = f_S \cdot cos^{-1}\left(1 - \frac{k_A \cdot k_B}{2}\right) \tag{2.10}$$

Afin d'obtenir un STF égal à l'unité, nous pouvons utiliser la structure du modulateur présentée sur la figure 2.19. Cette structure permet de contrôler, de manière indépendante, les fonctions de transfert du bruit et du signal. Ainsi, H(z) (un filtre numérique qui peut uniquement être réalisé au moyen de puissances de 2) peut être configuré pour fixer STF=1 tandis que nous mettons en forme le bruit de quantification :

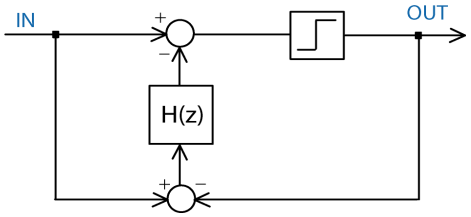


Figure 2.19. Modulateur ΣΔ passe-bas avec les fonctions de transfert NTF et STF indépendantes

$$STF(z) = 1 \tag{2.11}$$

$$NTF(z) = \frac{1}{(1 + H(z))} \tag{2.12}$$

En [Hau98] les auteurs ont utilisé un modulateur du 4ème ordre pour obtenir un SNR de 100 dB, mais la distorsion introduite par le CNA d'un bit et par le filtre analogique n'a pas été prise en compte. Il est aussi possible d'engendrer des signaux sinusoïdaux de haute fréquence grâce à une configuration différente [Vei95] (figure 2.20). La fréquence d'oscillation est de nouveau déterminée par les deux constantes k_C et k_f :

$$\omega_0 = f_S \cdot cos^{-1}\left(\frac{k_C + k_f}{2}\right) \tag{2.13}$$

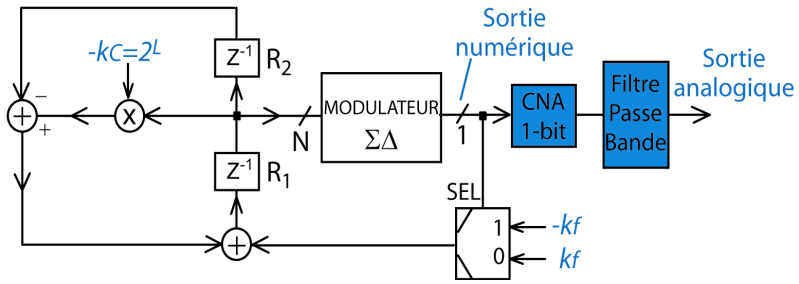


Figure 2.20. Oscillateur basé sur l'utilisation d'un modulateur ΣΔ passe-bande

Si $k_C=2$ et $k_1 \cdot k_2=k_f$ la structure est la même que celle décrite sur la Figure 2.16, mais dasn ce cas le modulateur sur-échantillonné est un modulateur **ΣΔ** passe-bande et le signal analogique est récupéré à l'aide d'un filtre passe-bande analogique. Des signaux mono-fréquences de 250 kHz sont générés dans [Vei95] avec un oscillateur passe-bande du 4ème ordre. Le SNR obtenu dans la bande passante du signal est de 51 dB en utilisant, sur la carte de test, un CNA d'un bit.

Nous pouvons générer des signaux analogiques multi-fréquences (*multi-tone*) à partir des ces architectures. Plusieurs techniques [Lu94b, Lu98] proposent l'addition de deux signaux mono-fréquences pour obtenir un signal numérique de deux bits. Pour garder un signal binaire (d'un seul bit), nous pouvons utiliser un additionneur sur-échantillonné (figure 2.21.a). La sortie est récupérée a partir du bit de *carry-out* ($c_{OUT}(Z)$) et l'erreur ($e(Z)$) est mise en forme de la même manière que le bruit de quantification dans un modulateur **ΣΔ** du 1er ordre :

$$OUT(z) = IN_1(z) + IN_2(z) - (1 - z^{-1}) \cdot e(z) \qquad (2.14)$$

La précision du signal généré par cette méthode est limitée par le SNR obtenu à l'aide d'un modulateur **ΣΔ** du 1er ordre. Pour éviter la formation d'un signal numérique de deux bits et améliorer ainsi la qualité du signal, il est possible d'intercaler les deux trains binaires (figure 2.21.b). En revanche, le sur-échantillonnage réel est réduit par un facteur de deux.

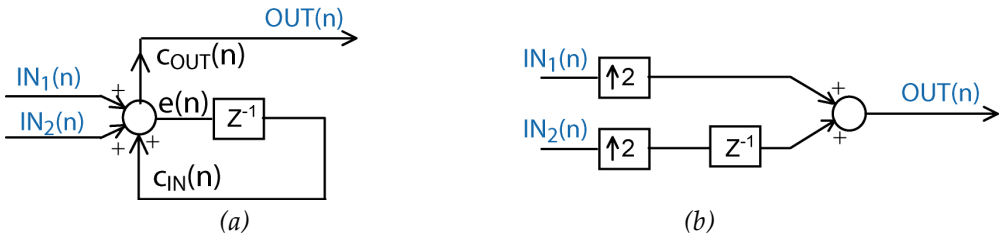


Figure 2.21. (a) Additionneur sur-échantillonné
(b) Addition par insertion

Afin de réduire les ressources numériques nécessaires à la génération de chacun de signaux mono-fréquences, les auteurs proposent également une réalisation physique très efficiente en surface et basée sur le schéma appelé *time-division multiplexing*. Le résonateur (figure 2.22) et le modulateur (figure 2.23) sont modifiés en ajoutant autant de délais que le nombre de tons du signal. Il en résulte une sortie multi-fréquence composée de différents signaux mono-fréquences intercalés. Les ressources matérielles sont par conséquent réduites. En contrepartie, nous obtenons aussi une réduction de la bande passante.

En général, la principale avantage des oscillateurs **ΣΔ** est la capacité à programmer l'amplitude et la fréquence du signal de test. Les inconvénients sont, en revanche, le surcoût en

surface dans la partie numérique et la nécessité d'un filtre passe-bas très linéaire pour éliminer le bruit de quantification à hautes fréquences.

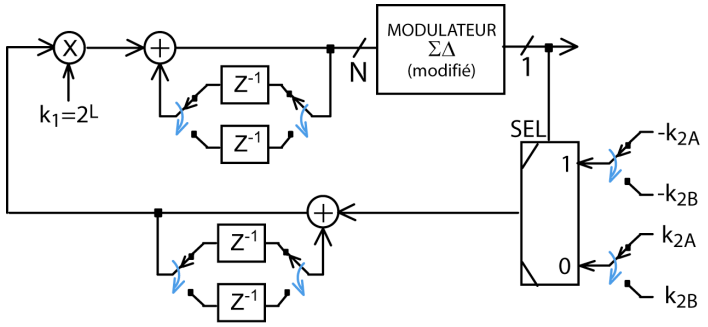


Figure 2.22. Schéma "Time-Division Multiplexed" pour l'oscillateur

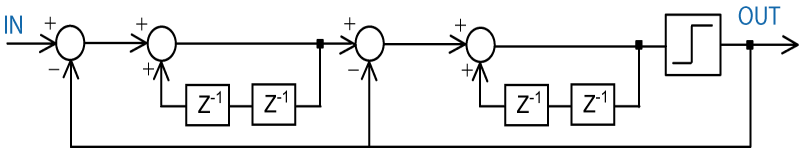


Figure 2.23. Schéma "Time-Division Multiplexed" pour le modulateur

Trains binaires sauvegardés en mémoire et générés par modulation ΣΔ

Une autre technique consiste à sauvegarder, soit dans une mémoire, soit dans un registre à décalage, le train binaire obtenu par modulation ΣΔ [Haw96, Duf97a, Duf97b]. Au moyen d'une simulation, nous envoyons le stimulus analogique que nous voulons générer à l'entrée d'un modulateur ΣΔ. Ensuite, nous récupérons N bits du train binaire à la sortie du modulateur (figure 2.24.a). Nous pouvons donc remplacer l'oscillateur numérique par un registre à décalage de longueur N qui répète, de manière périodique, la même séquence binaire (figure 2.24.b). Les ressources matérielles nécessaires pour la génération du stimulus analogique sont, par conséquent, largement réduites. L'inconvénient de cette stratégie est la diminution de la qualité du signal, causée par l'utilisation d'un train binaire fini au lieu d'une séquence numérique infinie. De plus, un filtre passe-bas linéaire est encore nécessaire.

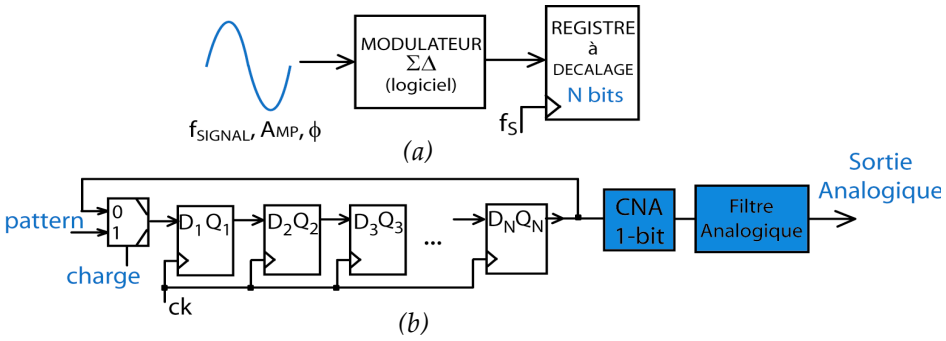


Figure 2.24. Génération du signal de test analogique à partir de séquences binaires
(a) Génération d'un train binaire à partir de la simulation d'un modulateur ΣΔ
(b) Répétition périodique d'une séquence numérique au moyen d'un registre à décalage

La qualité du signal analogique codé dans le train binaire améliore lorsque nous augmentons la longueur du registre à décalage. De la même manière, quand nous utilisons un modulateur d'ordre supérieur, nous améliorons le SNR et le SINAD. Pour une séquence binaire

de longueur N qui est cadencée à une fréquence d'échantillonnage f_S, le spectre à la sortie du registre à décalage est composé des tons cohérents suivants :

$$f_{OUT}=\frac{M}{N}\cdot f_S \qquad avec\ M=0,1,2,... \tag{2.15}$$

Selon que l'on prenne un ou plusieurs valeurs pour M, nous générons respectivement un signal sinusoïdal d'un seul ton ou multi-fréquence. La fonction du filtre analogique est de filtrer le reste des composants fréquentiels. Avec une sélection appropriée des valeurs M, nous pouvons engendrer d'autres signaux de bande passante limitée, comme par exemple des signaux triangulaires, des rampes ou bien des pulses Gaussiens [Duf98]. Il est important de mentionner que la résolution de la fréquence ainsi que de l'amplitude sont proportionnelles à la longueur N. Grâce à des modifications sur la phase et sur l'amplitude du signal d'entrée, nous pouvons optimiser la qualité du signal analogique généré. Dans [Haw96] un signal sinusoïdal à 10 kHz est engendré avec cette méthode. Les résultats de simulation montrent un SNR de 60 dB obtenu pour une longueur de registre de 392 bits, un modulateur ΣΔ du 2ème ordre et un filtre analogique Butterworth du 4ème ordre. En [Duf99] des résultats expérimentaux sont exposés, en obtenant un SFDR (*Spurious Free Dynamic Range*) de 70 dB pour des signaux de basse fréquence. Dans ces travaux, la longueur de registre est N=1024 et un buffeur de tension est déployé entre le registre à décalage et le filtre analogique intégré hors de la puce.

Dans [Mir02, Mir03, Rol04] la longueur du registre et la fréquence d'échantillonnage sont programmables, ce qui permet de générer des signaux mono-fréquences dans une large plage de fréquences (10 Hz-1 MHz). Des résultats expérimentaux montrent une qualité du signal de 55 dB (SFDR), obtenu avec un registre à décalage de longueur maximale N=200 bits, un modulateur SD du 2ème ordre et un filtre analogique passe-bas de 3ème ordre intégré dans la puce. L'absence d'un CAN d'un bit approprié, la distorsion causée par le filtre analogique et la nécessité de sortir le signal analogique hors de la puce expliquent la limitation de la qualité des signaux analogiques engendrés dans ces travaux. En [Hua03] les auteurs utilisent des modulateurs d'ordre très élevés (jusqu'à 12) pour élargir la bande passante du signal. Un CAN d'un bit, conçu à l'aide d'une architecture à courants commutés pour obtenir une vitesse élevée, est employé pour réduire la distorsion dans la reconstruction du signal analogique. Aucun résultat expérimental n'a été présenté.

Une autre possibilité pour générer des signaux analogiques basée sur la modulation ΣΔ est l'utilisation d'un quantificateur multi-bit (figure 2.25.a). En théorie, à chaque bit additionnel, le SNR augmente par 6 dB, mais les non-linéarités du CNA multi-bit, nécessaire pour convertir le signal dans le domaine analogique, réduit la qualité du signal au lieu de l'améliorer. En [Duf97b,

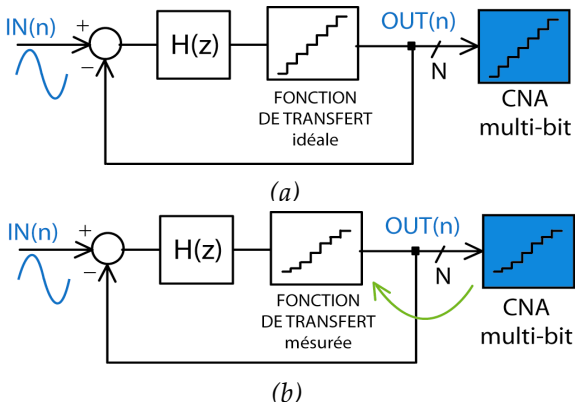


Figure 2.25. *(a) Modulation ΣΔ multi-bit*
(b) Calibrage du CNA multi-bit

Duf00, Hua00a] un calibrage est proposé afin de compenser les non-linéarités du CNA. Dans un premier temps, nous mesurons la fonction de transfert du CNA. Ensuite, lors des simulations pour générer le train binaire, nous remplaçons le CNA idéal du modulateur par la fonction de transfert réel du CNA (figure 2.25.b). L'erreur introduite par le CNA est par conséquent mise en forme par le modulateur, de la même manière que le bruit de quantification. La nécessité d'effectuer un calibrage est la difficulté principale de cette stratégie.

Plusieurs techniques de BIST ont utilisé la génération des signaux analogiques basée sur la modulation ΣΔ [Haf00a, Haf00b, Hua00a, Hon03, Pre04]. Les travaux réalisés dans [Hon03] sont spécialement représentatifs. Ils nous présentent une séquence binaire, générée avec un modulateur ΣΔ du 4ème ordre, qui est envoyée à un CNA d'un bit conçu avec une configuration différentielle à capacités commutées. La sortie du CNA est connectée directement à l'entrée du circuit sous test, qui est aussi un circuit à capacités commutées. Dans ce cas particulier, nous n'avons pas besoin de filtre de reconstruction puisque le bruit de quantification ne produit pas la saturation du circuit sous test. Les résultats de simulation sans le CAN montrent un SNR plus grand que 100 dB. Les résultats expérimentaux pour le circuit générateur des signaux analogiques ne sont pas présentés. Cependant, une performance très proche des résultats de simulation est manifeste lors des mesures de la technique de BIST complète. La distorsion introduite par le CAN d'un bit est par conséquent négligeable.

Oscillateurs analogiques

D'autres stratégies proposent la réalisation d'un oscillateur analogique intégré dans la puce. En [Hat93] un oscillateur CMOS en temps continu permet la génération simultanée de signaux triangulaires, carrés et sinusoïdaux. Un oscillateur basé sur l'utilisation d'une structure *Schmitt trigger* est proposé dans [Lub96, Cot00]. Un circuit additionnel est employé en [Lub98] pour la génération de pulses et de signaux en dent de scie. De la même manière, plusieurs stratégies de BIST ont utilisé des oscillateurs de signaux sinusoïdaux [Mir95b, Kha95]. Pourtant, dans tous ces travaux il n'y a pas de résultats qui montrent la qualité du signal généré (SNR, SFDR ou THD).

La recherche de générateurs analogiques de rampes a été aussi un domaine de recherche très active, pour les applications de BIST et notamment pour le test de CANs basé sur l'histogramme. Un générateur de rampe calibré [Pro99] engendre des rampes de très basse fréquence avec une distorsion de 0.2% (9 bits de précision). Une réalisation améliorée est proposée dans [Aza01a], où les résultats de simulation montrent une linéarité équivalente de plus de 15 bits, mais aucun résultat expérimental n'est pas présenté. De la même manière, en [Ber03a] les auteurs proposent la génération des signaux triangulaires spécialement appropriés pour le BIST de CANs basé sur l'histogramme. La précision obtenue est de 12 bits, mais là encore, les résultats expérimentaux ne sont pas disponibles. Enfin, dans [Hua00b] les résultats de simulation montrent une qualité de 12 bits pour des rampes générées à l'aide d'un modulateur ΣΔ.

2.5. ANALYSE DE LA REPONSE ANALOGIQUE DU TEST SUR LA PUCE

Fenêtres de tolérance

A la différence de ces homologues numériques, les signaux analogiques sont impréciss par nature. Afin de juger si un circuit analogique est dans les spécifications, nous devons évaluer si la réponse de test est proche de la réponse attendue et dans un intervalle de tolérance défini. Ce concept doit être pris en compte dans la conception des analyseurs de la réponse du circuit sous test (*Output Response Analysers*, ORA). La notion de tolérance a déjà été utilisée dans une des premières stratégies de BIST pour les circuits analogiques [Hat93]. La réponse typique, calculée

au préalable et sauvegardée dans une mémoire, est générée au moyen d'un CNA (figure 2.26.a). Un comparateur, conçu avec un seuil pour prendre en compte l'intervalle de tolérance, permet de comparer la réponse du test à la réponse nominale. La taille des ressources nécessaires pour le BIST (un CNA et un comparateur avec une fenêtre de tolérance) est le principal inconvénient de cette méthode. Une approche similaire est présentée dans [Nag94, Nag98]. Dans ces travaux, la réponse sinusoïdale est convertie dans le domaine numérique à l'aide d'un CAN (figure 2.26.b). Les valeurs absolues des échantillons pris à la sortie du circuit sous test sont intégrées sur un nombre complet de périodes. De cette manière, nous obtenons une signature numérique qui est proportionnelle à l'amplitude et qui est comparée à une référence. Si la signature obtenue est dans une bande de tolérance, le circuit est classé comme sain. Le principal avantage de cette technique est que la signature est calculée à l'aide des ressources numériques. Par contre, nous avons encore besoin d'un CAN pour échantillonner et numériser la réponse de test.

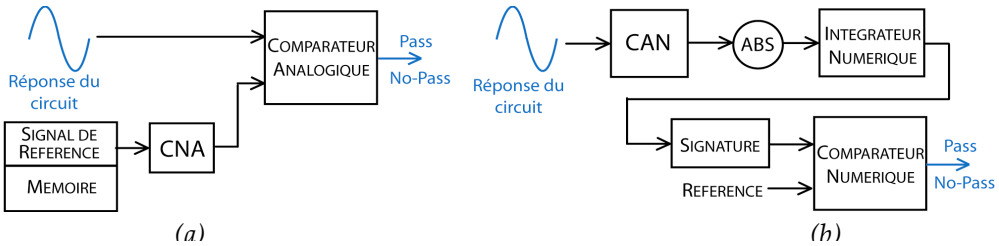


Figure 2.26. (a) Comparaison analogique avec une réponse de référence
(b) Génération de la signature numérique

Le principal inconvénient de cette approche est la possibilité de ne pas détecter des circuits défaillants à cause du repliement *(aliasing)*. Un mauvais classement est possible parce que ce schéma prend comme hypothèse la linéaire du circuit sous test. Dans un circuit linéaire les fautes produisent un changement de l'amplitude et, par conséquent, de la signature. Dans un circuit réel, par contre, les fautes peuvent aussi causer de la distorsion. L'apparition des harmoniques dans la réponse du circuit peut ne pas modifier la signature obtenue. En conséquence, cette méthode ne permet pas d'assurer la détection de la distorsion. Dans [Lub96], les auteurs présentent une technique basée sur une intégration analogique double. Cette intégration double produit un signal toujours montant qui est comparé à un seuil après un nombre déterminé de périodes. Le masquage des fautes (*fault masking*) reste encore le principal inconvénient de cette stratégie.

Filtres de bande passante

Afin de résoudre ce problème de masquage, un nouveau schéma basé sur l'utilisation de filtres de bande passante est proposé en [Roh99, Roh04]. Tel qu'il est décrit sur la figure 2.27, avant de générer la signature, nous procédons à la décomposition du signal en bandes de fréquence différentes. Ensuite, pour chacune des bandes nous générons une signature numérique en appliquant la même méthodologie. Nous avons donc autant de signatures que de bandes de

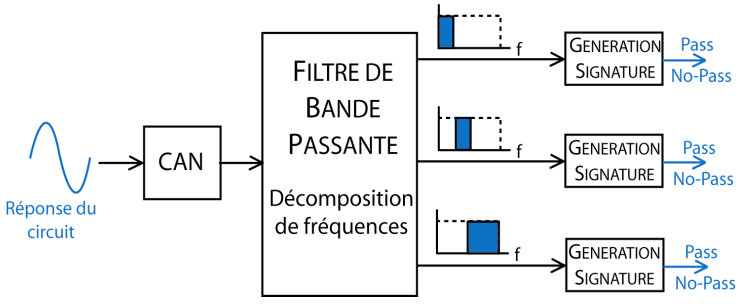


Figure 2.27. Signature basée sur des filtres de bande passante

fréquence différentes. Nous évitons donc le masquage mais nous avons besoin de ressources numériques additionnelles. Le désavantage de cette technique est de nouveau la nécessité d'un CAN.

Compaction de la réponse du circuit sous test

D'autres travaux proposent la compaction de la réponse du circuit à l'aide d'une intégration analogique. Dans [Ren97a, Ren97b], le circuit est stimulé avec un pulse et la réponse de test est intégrée au moyen d'un intégrateur composé d'un amplificateur opérationnel et d'une capacité. En [Lub96, Ren97b, Cot00], une intégration double est utilisée pour compacter la réponse du circuit lorsque nous appliquons un signal sinusoïdal comme entrée. Dans [Car00] les auteurs reconfigurent les intégrateurs pour effectuer un calibrage et éliminer ainsi l'influence de la température. Avec cette stratégie, nous n'avons pas besoin d'un CAN, mais le repliement et l'imprécision des circuits analogiques ajoutés réduisent la qualité du test. L'insertion de circuits de test analogiques est aussi proposée dans [Sla93], où des paramètres différents comme la phase et le gain sont convertis à une valeur de tension continue à l'aide de circuits analogiques spécifiques. Cette tension est comparée avec un voltage de référence afin de classer le circuit comme défaillant ou fonctionnel. La complexité de ces circuits rend difficile l'intégration de cette méthode de BIST.

Analyse basée sur la modulation ΣΔ

Une stratégie différente consiste à utiliser la modulation ΣΔ pour réaliser sur la puce une extraction de la réponse du circuit analogique. La sortie du circuit sous test est envoyée à un modulateur ΣΔ qui convertit le signal analogique dans un train binaire, train qui est facile à analyser sur la puce elle-même ou bien dehors (figure 2.28). Le bruit de quantification introduit par le modulateur ne perturbe pas l'analyse parce qu'il se trouve hors de la bande passante du modulateur. Dans [Hon02, Hon03], deux modulateurs ΣΔ passe-bas du 1ère et 2ème ordre sont intégrés avec une configuration à capacités commutées. La qualité du signal généré est déterminée par un DR (*Dynamic Range*) de 65 dB et 87 dB respectivement, avec une bande passante de 20 kHz. Le bruit inséré par le modulateur dans la bande passante est négligeable en comparaison du bruit thermique du circuit sous test. Nous pouvons en conséquence mesurer la plage de bruit du circuit. Le train binaire généré par le modulateur est analysé hors de la puce. En [Hua00a], des recherches sont menées afin d'effectuer une intégration efficiente de la transformée discrète de Fourier. Cependant, les ressources numériques sont encore trop grandes.

Une stratégie similaire est développée en [Cas03], où des circuit analogiques sont reconfigurés pour constituer un modulateur ΣΔ. La sortie du modulateur (Figure 2.29) est filtrée

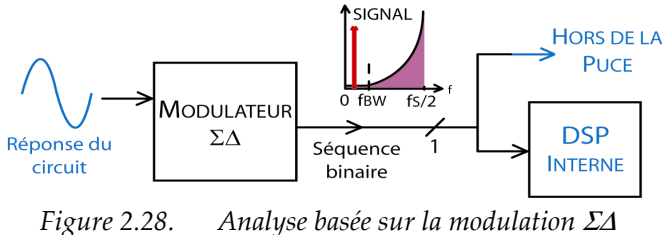


Figure 2.28. Analyse basée sur la modulation ΣΔ

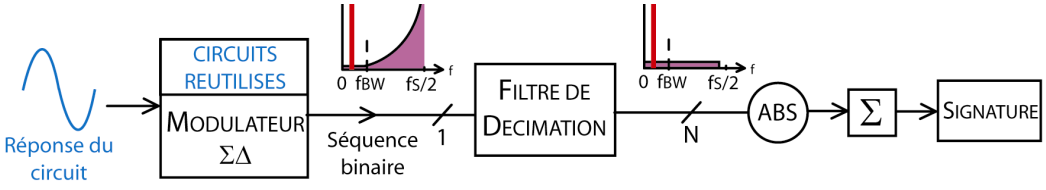


Figure 2.29. Signature obtenue par moyen d'une modulation ΣΔ

à l'aide d'un filtre de décimation numérique, dont les échantillons de sortie sont utilisés pour calculer une signature numérique. Le circuit sous test est stimulé avec un pulse et la signature est générée à partir de l'addition des cinq premiers échantillons. Afin d'éviter des problèmes de masquage, le test est répété avec des fréquences d'échantillonnage différentes. L'introduction de modifications sur le chemin du signal et la perte de précision causée par l'utilisation d'un filtre de décimation de taille limitée sont les principaux inconvénients de cette technique.

Méthode d'échantillonnage *Early Capture*

Plusieurs stratégies utilisent le caractère périodique des signaux analogiques. La méthode d'échantillonnage appelée *Early Capture* [Lof96] permet de numériser les signaux analogiques à une fréquence équivalente d'échantillonnage très élevée, grâce à un petit convertisseur à approximation successive de bande passante réduite. Cela est possible grâce au contrôle simultané du temps d'échantillonnage et de la tension de référence du comparateur dans le convertisseur. A chaque nouvelle acquisition, le convertisseur effectue une recherche binaire de la valeur de la réponse du circuit, en changeant les valeurs du seuil du comparateur. Si le signal analogique est périodique, nous pouvons réaliser un échantillonnage cohérent [Mah87] et obtenir ainsi toute l'information du signal en faisant des acquisitions sur plusieurs périodes du signal. La nécessité de contrôler et modifier la tension de référence du comparateur est la principale limitation de cette stratégie.

Méthode d'échantillonnage *Multi-pass Conversion*

Une approche très similaire, appelée *multi-pass A/D conversion*, a été présentée en [Haj98a, Haj98b] (figure 2.30). Un circuit d'échantillonnage (*sample-and-hold*) prend N échantillons sur chaque période du signal. Un comparateur, composé de 2^M tensions de références différentes et programmables, détecte le croisement du signal sinusoïdal avec la valeur du seuil. Ce seuil est changé pour chaque période. En conséquence, nous avons besoin de 2^M périodes pour obtenir toute l'information (N échantillons sur la période du signal). Cette technique présente plusieurs difficultés. La fréquence équivalente d'échantillonnage est toujours limitée par la vitesse du circuit *sample-and-hold*. De plus, la résolution de l'amplitude est restreinte par l'offset du comparateur et nous devons générer dans le circuit 2^M tensions de référence. Dans [Haf00a, Haf00b], ces tensions sont générées sur la puce à l'aide d'un train binaire ΣΔ. La valeur moyenne de ce train, qui codifie la valeur de la tension de référence désirée, est récupérée grâce à un filtre passe-bas analogique.

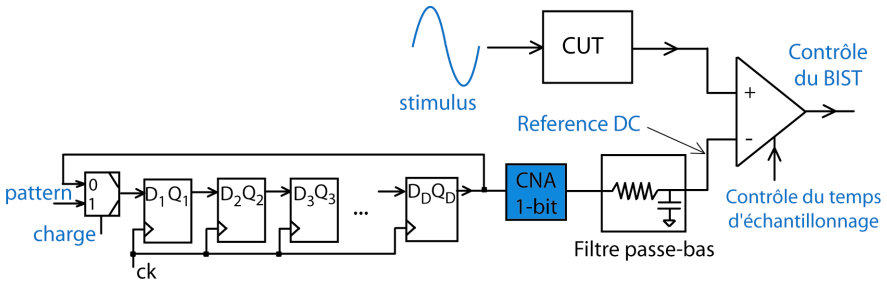


Figure 2.30. Méthode d'échantillonnage «Multi-Pass Conversion» avec une tension de référence ΣΔ

Echantillonnage statistique

Une autre stratégie qui utilise un comparateur analogique pour numériser la réponse du circuit est proposée dans [Neg03a, Neg03b]. La réponse de test est comparée avec un signal équivalent au bruit blanc (figure 2.31). Nous obtenons de cette manière une séquence binaire qui

est analysée au moyen de ressources numériques. Il est possible de montrer que l'auto-corrélation du signal à la sortie du comparateur est :

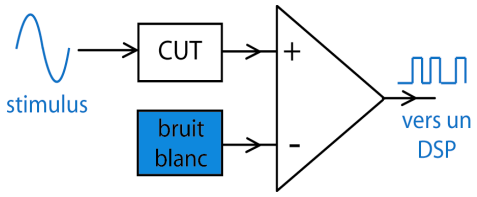


Figure 2.31. Echantillonnage statistique

$$R_y[k] = \frac{2}{\pi} \cdot arcsin\left(\frac{R_x[k]}{R_x[0]}\right) \tag{2.16}$$

où R_Y est l'auto-corrélation à la sortie du comparateur et R_X est l'auto-corrélation du signal à l'entrée du comparateur. L'auto-corrélation du signal d'entrée peut être exprimée comme l'addition des auto-corrélations des deux entrées du comparateur :

$$R_x[k] = R_{x,signal}[k] + R_{x,white\ noise}[k] \tag{2.17}$$

et puisque l'auto-corrélation d'un bruit blanc est déterminée par un impulse de Dirac :

$$R_{x,white\ noise}[k] = \frac{\alpha}{2} \cdot \delta[k] \tag{2.18}$$

Ce résultat est très utile parce que la fonction *arcsin* est très linéaire pour des valeurs proches de zéro. Si le bruit blanc a une amplitude suffisamment large, l'auto-corrélation du signal binaire à la sortie du comparateur est donc proportionnelle à l'auto-corrélation de la réponse de test plus un impulse de Dirac. Puisqu'il est possible de calculer le spectre du signal à partir de la valeur de l'auto-corrélation, nous pouvons effectuer une analyse spectrale du circuit sous test sans utiliser de CAN. Pour appliquer cette méthode, nous avons besoin d'un générateur de bruit blanc et d'un DSP pour analyser la sortie binaire. De plus, les imperfections du comparateur analogique peuvent limiter la performance de cette technique parce que le comparateur doit travailler à hautes fréquences.

Calcul de l'amplitude par modulation avec un signal carré

Une technique capable de calculer les paramètres d'un signal sinusoïdal a été développée dans [Vaz04, Pren05]. Cette approche permet de mesurer non seulement l'amplitude du signal, mais aussi l'amplitude des harmoniques. Le schéma est basé sur la réalisation d'une double modulation du signal (Figure 2.32). Dans une première modulation, le signal est multiplié par un signal carré (*square-wave*). Si la fréquence de ce signal (f_{SQ}) est égale à la fréquence fondamentale du signal sinusoïdal ($f_{SQ}=f_{SIGNAL}$), nous obtenons un signal dont la valeur moyenne DC est proportionnelle à l'amplitude du signal. Une deuxième modulation, effectuée au moyen d'un modulateur ΣΔ du 1ère ordre, transforme le signal précédent en une signature binaire. Une fois que le signal est dans le domaine numérique, il suffit de compter le nombre de 0s et 1s présents dans la signature pour calculer l'amplitude de l'harmonique mesuré.

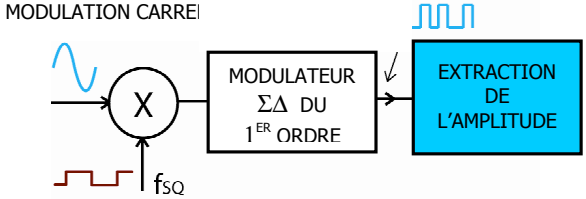


Figure 2.32. Schéma pour le calcul de l'amplitude par double modulation

L'inconvénient de cette stratégie est que le signal carré est composé non seulement de l'harmonique principale mais aussi des harmoniques impaires. Lorsque nous faisons l'extraction de l'amplitude de l'harmonique principal, le $3^{ème}$, $5^{ème}$, $7^{ème}$, etc. harmoniques ont aussi une contribution sur la mesure. Bien que nous puissions prendre en compte cet effet en calculant au préalable l'amplitude de ces harmoniques, la précision de l'extraction est limitée par cet effet. Des résultats de simulation montrent un DR (*Dynamic Range*) de 80 dB. La réalisation physique de cette technique peut détériorer la qualité du BIST et incrémenter la surface de silicium.

2.6. CONCLUSIONS

Dans ce chapitre nous avons présenté plusieurs techniques de BIST pour les circuits analogiques et mixtes (AMS). Bien que beaucoup de ces stratégies de BIST aient été proposées ces dernières années, leurs applications et développements dans les circuits commerciaux restent encore très limitées. Plusieurs raisons expliquent ce fait (tableau 2.1) :

- Il y a une énorme variété de circuits analogiques et mixtes, ainsi que différentes fonctionnalités et applications. Par contre, les méthodes de BIST présentent très souvent des limitations qui restreignent leurs applications à des cas très particuliers. En conséquence, il est nécessaire de chercher des solutions de BIST qui sont spécifiques et adaptées pour chaque IP (*intellectual property*) analogique.

- Nous devons évaluer le coût additionnel nécessaire pour la réalisation physique du BIST et le comparer avec la réduction de coût que nous obtenons pour effectuer le test. Si le surcoût en surface du BIST est trop élevé, la technique de BIST peut augmenter le coût total de production au lieu de le diminuer. Une manière de réduire la surface du BIST est la réutilisation des circuits qui sont déjà présents dans la puce ou dans le système.

- L'intégration des techniques de BIST analogiques implique des modifications dans le flot de conception analogique puisque nous devons prendre en compte les spécifications du BIST très en amont dans la phase du design. Une étroite collaboration entre les concepteurs et les ingénieurs de test est donc indispensable.

- Le grande nombre des spécifications à vérifier et la nature des fonctions analogiques, qui ont une fenêtre de tolérance associée, rendent difficile l'évaluation d'une technique de BIST analogique. L'utilisation d'une plate-forme de CAT (*Computer-Aided Test*) qui permet d'injecter des fautes paramétriques et de calculer les paramètres du test (la couverture de fautes, le nombre de circuits défectueux qui passent le test, la perte de rendement, etc. [Sun99]), permet de faire la validation complète d'une technique de test analogique [Bou06a, Bou06b, Bou06c]. Dans le cas d'une technique de BIST, cet outil devrait aussi calculer la probabilité qu'une faute apparaisse dans le circuit additionnel du BIST, ce qui réduit le rendement (*yield*).

Inconvénients du BIST AMS	***Solutions***
Grande variété des circuits AMS	*BIST spécifique pour chaque IP analogique*
Surcoût en surface du BIST	*Réutilisation des circuits présents dans l'IP ou dans le système*
Modification du flot de design analogique	*Collaboration étroite entre les ingénieurs de test et les concepteurs*
Grand nombre de spécifications et nature des signaux analogiques	*Plate-forme de CAT pour la simulation de fautes et l'évaluation du BIST*

Table 2.1 Inconvénients et solutions du BIST analogique et mixte

CHAPITRE 3

Techniques de BIST pour les convertisseurs Analogique/Numérique et Numérique/Analogique

3.1. INTRODUCTION

Suite au développement de nouvelles technologies submicroniques et à la demande d'un plus haut niveau d'intégration pour réduire le coût, les circuits analogiques et numériques sont intégrés sur la même puce. Grâce à leur fiabilité et à leur haut rendement, les circuits numériques sont devenus prédominants. Pourtant, plusieurs fonctions analogiques sont toujours nécessaires pour interfacer avec les signaux du monde réel, qui restent analogiques. C'est le cas, par exemple, des convertisseurs A/N et N/A, et des PLLs (*Phase-Locked Loops*). Le test de ces interfaces est une tâche difficile et qui nécessite des équipements coûteux, quand la surface de silicium occupée par ces circuits est très petite par rapport à la surface totale du circuit.

Dans le chapitre précédent, nous avons introduit des principes et des stratégies de BIST de circuits analogiques. Dans ce chapitre, nous allons nous concentrer sur l'étude des techniques de BIST pour les convertisseurs A/N et N/A. Dans un premier temps, nous présenterons les méthodes standards utilisées dans l'industrie pour le test de convertisseurs. Ensuite, nous aborderons les différentes techniques de BIST proposées pour ces circuits. Enfin, nous étudierons en détail les stratégies spécifiques pour les convertisseurs de signal ΣΔ.

3.2. TEST INDUSTRIEL DE CONVERTISSEURS DE SIGNAL

Plusieurs paramètres caractérisant les convertisseurs A/N et les convertisseurs N/A sont similaires. En revanche, des différences importantes subsistent [Bur00] : dans la fonction de transfert d'un CNA, chaque code numérique en entrée correspond à une seule valeur de tension en sortie, tandis que dans un CAN, plusieurs tensions en entrée produisent le même code numérique en sortie (figure 3.1). C'est pour cette raison que le test des CAN est plus laborieux et la littérature scientifique pour les techniques de BIST des CAN plus développée.

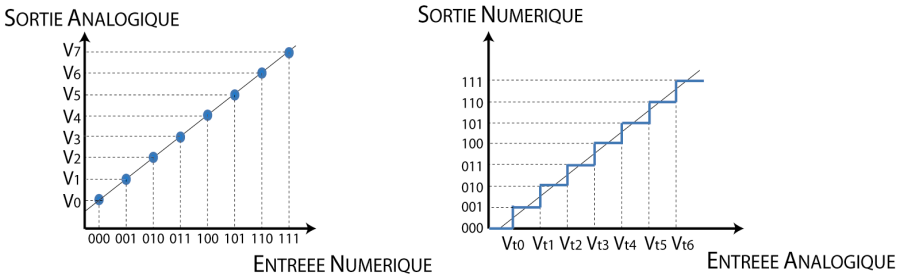


Figure 3.1. *(a) Fonction de transfert d'un CAN de 3 bits*
(b) Fonction de transfert d'un CNA de 3 bits

Dans le test industriel des CNAs, l'application du stimulus n'est pas problématique puisqu'il est fait dans le domaine numérique. L'analyse de la réponse requiert, par contre, l'utilisation des équipements de mesure analogiques et des analyseurs numériques dont la précision et la bande passante doivent être supérieures à celles du CNA. Selon les spécifications que nous voulons valider, nous pouvons effectuer des tests statiques ou dynamiques. Si nous utilisons comme stimulus un signal continu DC et mesurons les valeurs de tensions obtenues en sortie pour les différents entrées numériques, nous testons les paramètres statiques (le gain, l'offset et les erreurs de non-linéarité). En revanche, si nous utilisons des stimuli de test fréquentiels nous pouvons observer le comportement dynamique du CNA, ce qui nous permet de calculer le temps de conversion, le délai de la réponse, la sur-oscillation, le temps de montée et de descente, etc. Pour le test de CANs, il existe cinq techniques principales employées dans l'industrie [Geo02]:

- Test basé sur un histogramme,
- Test *Servo-loop*,
- Transformée de Fourier à temps discret,
- Algorithme de la régression sinusoïdale, et
- Test basé sur la fréquence de battement.

3.2.1. Test basé sur un histogramme

La méthode de test basée sur l'histogramme, appelée aussi *code density test*, est l'analyse statistique des codes numériques de sortie du CAN lorsque nous échantillonnons un signal aléatoire. En mémorisant le nombre d'apparition de chaque code dans la sortie du convertisseur, nous obtenons un histogramme. Si nous comparons cet histogramme à un histogramme de référence (obtenu au préalable pour une entrée déterminée) nous pouvons calculer les erreurs statistiques du CAN : l'offset, le gain, le DNL (*Differential Non-Linearity*) et l'INL (*Integral Non-Linearity*). Nous pouvons en général utiliser deux stimuli différents pour le test basé sur l'histogramme : une rampe linéaire et un signal sinusoïdal. La rampe est très convenable parce que son histogramme théorique associé est très facile à calculer. Tous les codes ont la même probabilité d'apparition à l'exception des codes des extrêmes [Ber01]:

$$H^{ref}[1] = H^{ref}[2^n] = N_T \cdot \left(\frac{2^{n-1} \cdot (A_{in} - FS) + FS}{2^n \cdot A_{in}} \right) \tag{3.1}$$

$$H^{ref}[i] = N_T \cdot \frac{FS}{2^n \cdot A_{in}} \qquad \forall\ i \in [2, 2^n - 1] \tag{3.2}$$

où $H^{ref}[i]$ est la probabilité d'apparition du code i, N_T est le nombre total d'échantillons, n est le nombre de bits du convertisseur, FS est la pleine échelle du convertisseur et A_{in} est l'amplitude crête à crête de la rampe. Si $H^{exp}[i]$ est la fréquence d'apparition du code i, la non-linéarité différentielle associée à ce code est :

$$DNL[i] = \frac{H^{exp}[i] - H^{ref}[i]}{H^{ref}[i]} \quad (LSB) \tag{3.3}$$

Pour le test de CANs, nous avons besoin d'un stimulus d'une précision de 2 ou 3 bits plus grande que la précision du convertisseur. Sinon, les non-linéarités du signal de test peuvent masquer des erreurs du circuit. Par contre, générer des rampes analogiques très linéaires est extrêmement difficile. Il est donc préférable, pour les convertisseurs de haute résolution, d'utiliser un signal sinusoïdal, dont une haute linéarité est plus facile à générer. L'inconvénient d'un tel stimulus est que la probabilité d'apparition est maintenant différente pour chaque code :

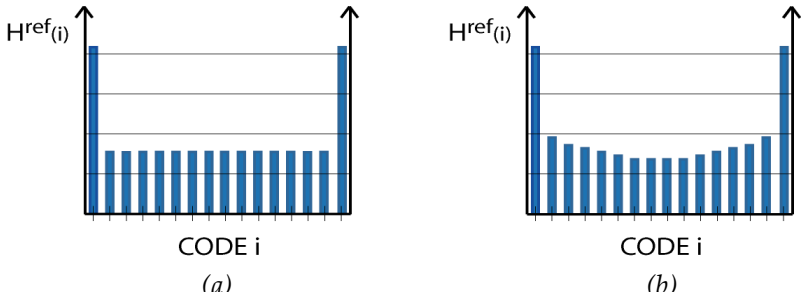


Figure 3.2. (a) Histogramme de référence pour une rampe linéaire
(b) Histogramme de référence pour un signal sinusoïdal

$$H^{ref}[1] = H^{ref}[2^n] = \frac{N_T}{\pi} \cdot \left(arcsin\left[\left(\frac{1}{2^{n-1}} - 1 \right) \cdot \frac{FS}{A_{in}} \right] - \frac{\pi}{2} \right) \tag{3.4}$$

$$H^{ref}[i] = \frac{N_T}{\pi} \cdot \left(arcsin\left[\left(\frac{2 \cdot i - 2^n}{2^n} \right) \cdot \frac{FS}{A_{in}} \right] - arcsin\left[\left(\frac{2 \cdot i - 2^n - 2}{2^n} \right) \cdot \frac{FS}{A_{in}} \right] \right) \tag{3.5}$$

$$\forall \; i \in [2, 2^n - 1]$$

Sur la figure 3.2 nous pouvons observer les histogrammes de référence pour les deux stimuli. Dans les deux cas, l'amplitude du stimulus ($A_{entrée}$) est choisie plus grande que la pleine échelle (PE) du convertisseur. Afin d'avoir une bonne précision de mesure, le nombre d'échantillons doit être suffisamment grand pour tous les codes. Cela est un autre inconvénient de l'utilisation d'un stimulus sinusoïdal, puisque la grande pente de ce signal à 0 et 180 degrés fait que la probabilité d'apparition des codes proches de zéro est très petite. Dans [Doe84], les auteurs calculent le nombre de points nécessaires pour avoir assez de précision lorsque nous utilisons un stimulus sinusoïdal avec un échantillonnage aléatoire. Plus d'un million d'échantillons sont nécessaires pour le test d'un CAN de 12 bits, et ce chiffre est doublé à chaque bit additionnel dans le convertisseur. En [Lib96] un échantillonnage cohérent est utilisé pour réduire approximativement par 16 le nombre de points requis, mais N_T est encore trop grand. D'autres articles ont proposé l'application d'un signal triangulaire de petite amplitude [Ale01]. Ce stimulus est répété plusieurs fois, avec différentes valeurs de DC, afin de tester toute la plage du convertisseur. Le temps de test est par conséquent plus long. Une autre stratégie consiste à l'utilisation d'un bruit blanc de grande amplitude comme stimulus du convertisseur [Ved03], mais des recherches plus approfondies doivent encore être effectuées.

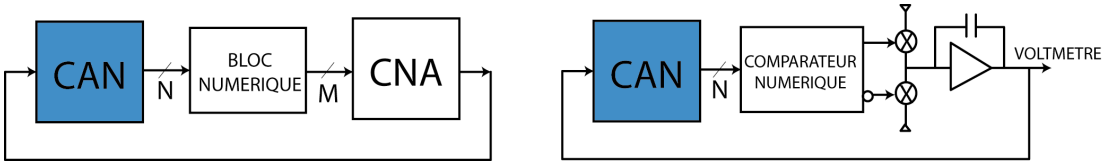
Une approche très intéressante qui permet d'estimer le bruit du convertisseur en utilisant le test de l'histogramme est présentée dans [Rac96]. Si nous prenons beaucoup d'échantillons lorsque nous générons l'histogramme, le bruit du convertisseur est filtré à cause du grand nombre de points. Par contre, si nous prenons un nombre de points réduit, l'histogramme contient de l'information sur le bruit. En [Rac96] un premier histogramme est généré avec beaucoup d'échantillons afin de calculer les non-linéarités du circuit. Ensuite, un deuxième histogramme est engendré avec un nombre de points très restreint pour calculer le bruit. Les résultats montrent que cette technique est capable de bien estimer le bruit d'un CAN de 8 bits. Dans [Ros99] un test basé sur l'histogramme est effectué deux fois avec exactement le même stimulus. Les différences entre les deux histogrammes générés sont utilisées pour mesurer le bruit.

La principale limitation de la technique de l'histogramme est la perte de l'information temporelle. Nous savons quels codes apparaissent en sortie mais nous ne savons pas quand. Ainsi les grandes erreurs dynamiques, causées par exemple par la haute vitesse du signal d'entrée, ne

peuvent pas être détectées. Cette limitation est résolue si nous accumulons, à l'aide des index temporels, les temps d'apparition de chaque code, ce qui a été proposé dans la technique appelée *Tally and Weight* en [Mah87, Max89]. Une autre limitation, pour les convertisseurs de haute résolution, est le grand nombre de points dont nous avons besoin. De plus, la fréquence d'échantillonnage de ces convertisseurs est, en général, relativement petite ce qui implique des temps de test très grands. Ces deux limitations font que le test de l'histogramme n'est pas applicable aux convertisseurs de haute résolution : le test est trop long et les ressources numériques nécessaires trop larges.

3.2.2 Méthode de test *Servo-loop*

Dans cette stratégie, le CAN est placé dans une boucle provoquer des oscillations autour d'un code de transition particulier. Un CNA de plus haute résolution est habituellement utilisé dans la boucle pour stimuler le CAN (figure 3.3.a). Quand la sortie du CAN est plus grande que le code spécifié, le bloc numérique diminue l'entrée du CNA. L'inverse se produit lorsque la sortie du CAN est plus petite que le code attendu. Comme résultat, l'entrée numérique du CNA oscille autour du code de transition spécifié. Dans une configuration alternative, (Figure 3.3.b) le signal qui complète la boucle est généré au moyen d'un intégrateur analogique. Dans ce cas, nous devons mesurer la valeur analogique autour de laquelle le system oscille. Une étude sur l'influence du bruit du CAN et du délai introduit par la boucle est réalisé en [Max89, Max99a, Max99b]. La nécessité de répéter le test pour tous les codes du convertisseur et le temps d'attente nécessaire pour que le system se stabilise, font que ce test est trop long pour les convertisseurs ΣΔ.



(a) *(b)*

Figure 3.3. *(a) Technique «Servo-loop» avec un CNA*
(b) Technique «Servo-loop» avec un intégrateur analogique

3.2.3. Test basé sur la transformée de Fourier à temps discret

L'application de la transformée de Fourier à temps discret (*Discrete time Fourier Transform*, DFT) nous permet de calculer les différents composants fréquentiels dont un signal est composé. Si nous stimulons le CAN avec un signal sinusoïdal, nous pouvons mesurer les paramètres dynamiques du convertisseur : le rapport signal sur bruit (*Signal to Noise Ratio*, SNR) , le gain, le taux de distorsion harmonique (*Total Harmonique Distorsion*, THD), la dynamique de codage (*Spurious Free Dynamique Range*, SFDR), le rapport signal sur bruit avec distorsion (*SIgnal to Noise And Distorsion ratio*, SINAD), etc. Nous pouvons aussi appliquer un signal multifréquence et déterminer ainsi le taux de distorsion par intermodulation (*InterModulation Distorsion*, IMD). L'analyse de Fourier requiert un processeur de signal numérique et un stimulus sinusoïdal d'une précision supérieure à celle du CAN. Le nombre d'échantillons nécessaires pour effectuer cette analyse spectrale est relativement réduit, autour de 8000, et indépendant de la précision du convertisseur [Ada02]. De plus, à l'aide de la transformé rapide de Fourier (*Fast Fourier Transform*, FFT) le temps de calcul est très petit. C'est pourquoi cette méthode est une des plus utilisées pour le test de CAN, notamment dans le cas des convertisseurs ΣΔ. L'inconvénient de ce test réside dans la carence d'information sur les paramètres statiques (DNL and INL). Afin de résoudre ce problème, plusieurs travaux proposent l'utilisation des coefficients de Fourier pour estimer les paramètres statiques. Dans [Ada02], les polynômes de Chebyshev sont employés pour

obtenir une approximation de l'erreur INL. En [Xu99, Sou03] les auteurs calculent, à partir des harmoniques, les coefficients du polynôme doté d'une meilleure adaptation à la fonction de transfert du CAN. Un test alternatif, basé sur la FFT, est aussi proposé dans [Ber03b, Ber04] pour extraire les erreurs statiques. Pour cela, un signal sinusoïdal d'amplitude supérieure à la pleine échelle est utilisé comme stimulus du convertisseur. Par contre, toutes les erreurs statistiques ne sont pas détectées.

3.2.4. Algorithme de la régression sinusoïdale

Dans ce test, nous utilisons un signal sinusoïdal pour stimuler le CAN et un DSP pour trouver le sinus qui s'adapte le mieux possible (*sine-wave fitting*) à la sortie du convertisseur réel. Les différences entre le signal réel et le signal adapté déterminent le bruit total généré par le convertisseur, dont la valeur rms est déterminée par :

$$e_{rms} = \frac{\sqrt{\sum_{i=1}^{M} [y_{i,sample} - y_{i,fit}]^2}}{M} \tag{3.6}$$

où N est le nombre de points, $y_{i,sample}$ est la valeur de la sortie du convertisseur à l'instant i et $y_{i,fit}$ est la valeur à l'instant i du signal calculé au moyen d'une régression sinusoïdale :

$$y_{i,fit} = A \cdot cos(\omega \cdot t_i + B) + C \tag{3.7}$$

L'algorithme qui permet de calculer les paramètres A, B and C est détaillé dans [IEE94, IEE00]. Si nous comparons la valeur mesurée de bruit avec la valeur rms du bruit généré dans un convertisseur idéal de N bits, nous pouvons calculer le nombre de bits effectifs du convertisseur (*Effective Number Of Bits*, ENOB) :

$$ENOB = N - log_2\left(\frac{actual\ rms\ error}{ideal\ rms\ error}\right) \tag{3.8}$$

Dans cette formule, les deux contributions de bruit (quantification intrinsèque et non-linéarités) sont prises en compte.

3.2.5. Test basé sur la fréquence de battement

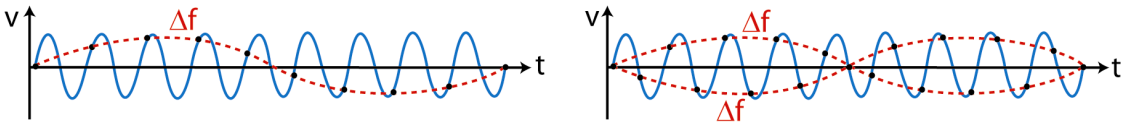
Cette méthode permet de valider visuellement qu'il n'y a pas de faute dynamique dans le CAN, mais elle ne donne pas de mesure de l'erreur. Un signal sinusoïdal de haute fréquence est utilisé comme stimulus. D'après la valeur de la fréquence du stimulus, nous pouvons effectuer deux tests. Si la fréquence du signal est un peu plus rapide que la fréquence d'échantillonnage, nous réalisons un test de fréquence de battement (figure 3.4.a):

$$\frac{F_{SIGNAL}}{F_{SAMPLING}} = \frac{N+1}{N} \quad \Rightarrow \quad F_{SIGNAL} = F_{SAMPLING} + \Delta f \tag{3.9}$$

Dans le cas particulier où il n'y a pas d'erreurs ou de fautes dynamiques, un échantillonnage cohérent va produire une fréquence de battement égale à Δf. Si, par contre, nous choisissons une fréquence du stimulus qui est un peu plus rapide que la moitié de la fréquence d'échantillonnage, nous effectuons un test basé sur la fréquence de l'enveloppe :

$$\frac{F_{SIGNAL}}{F_{SAMPLING}} = \frac{\frac{N}{2}+1}{N} \quad \Rightarrow \quad F_{SIGNAL} = \frac{F_{SAMPLING}}{2} + \Delta f \tag{3.10}$$

Dans ce cas, deux signaux en opposition de phase et à une fréquence Δf composent la sortie du convertisseur. Afin de visualiser ces deux signaux, nous ne devons retenir qu'un échantillon sur deux.



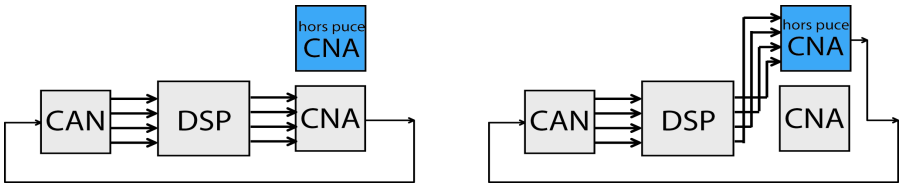
(a) (b)

Figure 3.4. *(a) Test basé sur la fréquence de battement*
(b) Test basé sur la fréquence de l'enveloppe

3.3. TECHNIQUES DE BIST POUR DES CONVERTISSEURS DE SIGNAL

BIST pour une paire CAN-CNA dans un CODEC

Une des premières approche pour le BIST de convertisseurs a été présentée dans [Ter93] pour le test d'une puce CODEC (COder-DECoder). Un test fréquentiel est réalisé à l'aide de ressources présentes dans le circuit : un DSP, un CAN et un CNA. Le processeur numérique génère un stimulus numérique sinusoïdal, qui traverse le CNA et ensuite le CAN. Le même DSP analyse la réponse de test au moyen d'une FFT (figure 3.5.a). Pour éviter qu'un des convertisseurs ne masque de faute dans l'autre, les auteurs proposent l'utilisation d'un CNA non intégré à la puce afin de valider les performances du CAN (Figure 3.5.b). Cette technique ne peut être utilisée que dans les applications où nous avons une grande quantité de ressources dans le circuit.



(a) (b)

Figure 3.5. *(a) BIST pour un CODEC*
(b) Test du CAN avec un CNA exterieur

BIST statique pour un CNA

Les travaux dans [Ara94, Ara98b] présentent un BIST qui permet de mesurer, avec moins de ressources, les paramètres statistiques d'un CNA (Figure 3.6). Un circuit *sample-and-hold* compare la sortie du circuit avec la sortie précédente, ce qui permet de calculer les non-linéarités différentielles. A l'aide de tensions de référence, il est possible de mesurer le gain, l'offset et les non-linéarités intégrales de la fonction de transfert DC. Grâce à l'utilisation d'un circuit de calibrage nous pouvons obtenir une précision suffisante pour tester des convertisseurs jusqu'à 16 bits. Cette stratégie est aussi applicable aux CAN qui contiennent un CNA, tel que les convertisseurs à approximation successive. La précision de ce type de convertisseur dépend de la précision du CNA. La nécessité d'avoir des tensions de référence très précises, la limitation du calcul aux paramètres statiques et le long temps de test sont les principaux inconvénients de cette méthode.

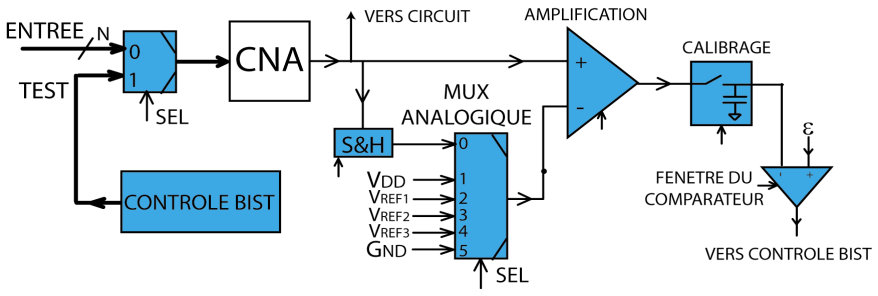


Figure 3.6. *BIST statique pour un CNA*

BIST numérique pour un CAN à approximation successive

Une autre technique applicable pour les CAN qui contiennent un CNA est proposée dans [Ehs96, Ehs98]. Lors du test, le CNA interne est modifié pour augmenter sa précision d'un ou deux bits (figure 3.7). Des entrées numériques DC sont appliquées au CNA et chaque sortie est échantillonnée et gardée à l'aide d'un circuit *sample-and-hold*. Une fois que la valeur analogique est sauvée, le CAN est remis en mode standard pour pouvoir ainsi effectuer la conversion A/N. Quand la conversion est terminée, le CNA est à nouveau utilisé pour générer le stimulus, mais alors l'entrée numérique est incrémentée d'un bit. De cette manière, nous pouvons mesurer les codes de transition. Cette méthode a été appliquée à des convertisseurs à approximation successive et de configuration *pipeline*. La modification du design nécessaire pour améliorer la précision du CNA est très difficile à mettre en œuvre. De plus, la longueur du temps de test et le risque du masquage des fautes dû à l'utilisation de deux convertisseurs dans la boucle constituent de lourdes inconvénients.

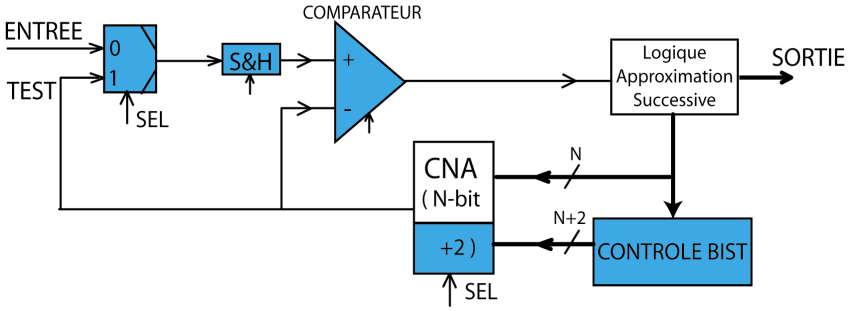


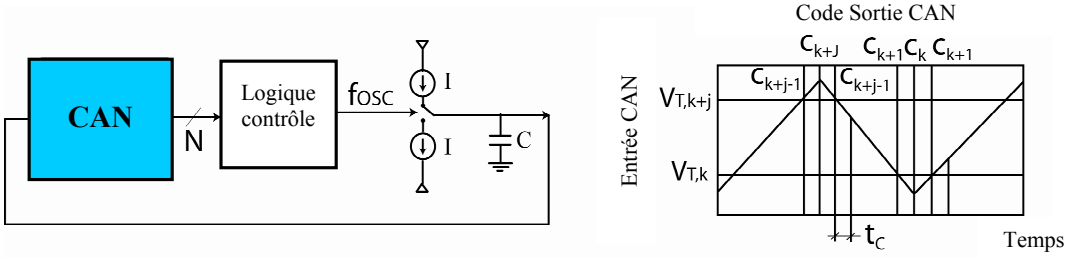
Figure 3.7. BIST numérique pour un CAN à approximation successive

BIST basé sur l'oscillation pour un CAN

Sortie La stratégie de *servo-loop* a également été appliquée au BIST des CAN dans [Ara97a, Ara97c] (figure 3.8.a) pour calculer le temps de conversion, les erreurs de non-linéarités et le gain. L'offset n'a pas été calculé mais il est possible de le mesurer à l'aide d'un voltage de référence additionnel. Le principe de cette approche est de forcer l'oscillation du CAN autour de deux codes numériques déterminés : C_k et C_{k+j} (figure 3.8.b). La fréquence de cette oscillation f_{OSC} dépend du temps de conversion t_C et des voltages de transition $V_{T,k}$ and $V_{T,k+j}$ qui correspondent aux deux codes C_k et C_{k+j} :

$$f_{OSC} = \frac{1}{\left(\frac{2 \cdot (V_{T,k} - V_{T,k+j}) \cdot C}{I} + 4 \cdot t_C \right)} \tag{3.11}$$

où C est la capacité de charge et I est le courant de charge. Cette formule est exacte seulement si le temps d'échantillonnage est très petit en comparaison avec le temps de conversion : $T_S << t_C$.



(a) *(b)*

Figure 3.8. (a) BIST d'un CAN basé sur l'oscillation
(b) Oscillation entre $V_{T,k}$ et $V_{T,k+j}$

Quand $j=0$, cette technique est identique au test *servo-loop* et nous pouvons calculer t_C :

$$f_{OSC} = \frac{1}{4 \cdot t_C} \tag{3.12}$$

Si nous prenons $j=-1$, nous pouvons calculer les erreurs de non-linéarités :

$$V_{T,k} - V_{T,k-1} = \frac{I}{2 \cdot C} \cdot \left(\frac{1}{f_{OSC}} - 4 \cdot t_C \right) \tag{3.13}$$

Cette méthode présente les mêmes inconvénients que le test *servo-loop*.

BIST basé sur l'oscillation pour un CNA

En [Tur01a, Tur01b] une approche similaire est proposée quant au test statique de CNA (figure 3.9). Elle a été brevetée par Fluence. La sortie analogique de CNA est employée pour charger la capacité d'intégration. La valeur de voltage de cette capacité est comparée avec une tension de référence V_{REF}. Lorsque le voltage de la capacité est plus grand que la référence, l'entrée du CNA est changée et fixée à un *Code bas*, ce qui entame la décharge de la capacité. De la même manière, quand le voltage de la capacité est plus petit que la tension de référence, l'entrée numérique du CNA est modifiée à *Code haut*, ce qui implique de nouveau la charge de la capacité. Le voltage de la capacité oscille de ce fait autour de V_{REF}, et la fréquence d'oscillation dépend des valeurs analogiques à la sortie du CNA, valeurs qui déterminent les pentes de charge et décharge. Si nous choisissons des valeurs appropriées pour *Code bas* et *Code haut*, nous pouvons obtenir tous les paramètres statiques du convertisseur. Tout comme pour le test *servo-loop*, ces stratégies ne donnent pas d'information dynamique et ont des temps de test très longs. De plus, le circuit nécessaire pour effectuer l'intégration doit être précis et très linéaire.

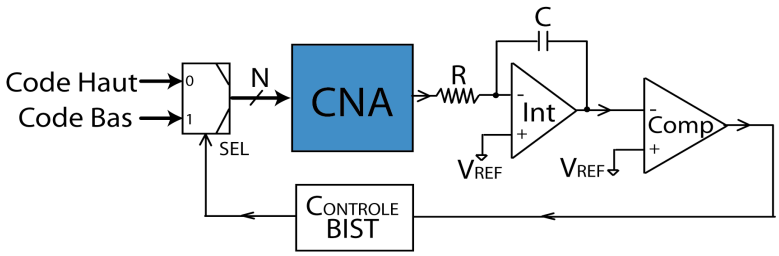


Figure 3.9. BIST basé sur l'oscillation pour un CNA

BIST basé sur l'oscillation ΣΔ pour un CNA

Dans un modulateur ΣΔ, les erreurs de non-linéarités du CNA présent dans la boucle de contre-réaction apparaissent directement dans la sortie du modulateur, puisque ces erreurs ne sont pas mises en forme par le fonction de transfert du modulateur. Cette propriété est utilisée en [Has98] pour réaliser le test statique d'un CAN (figure 3.10). L'entrée du CNA, contrôlée par la

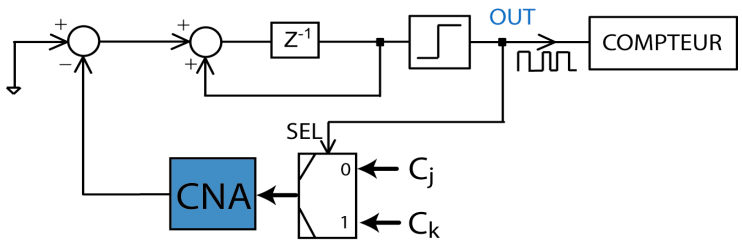


Figure 3.10. BIST basé sur l'oscillation ΣΔ pour un CNA

sortie du modulateur, commute entre deux codes de signe différent C_j et C_k. Ces deux codes correspondent aux valeurs analogiques de sortie V_j et V_k. De plus, le signal d'entrée du modulateur est connecté à la masse. Dans ces conditions, nous pouvons représenter le modulateur comme s'il avait une entrée analogique de valeur $X(z)=(V_j+V_k)/2$ avec une tension de référence de valeur $(V_j-V_k)/2$. Avec un choix approprié des codes numériques C_j et C_k et un compteur pour calculer la valeur moyenne de la sortie binaire, nous pouvons obtenir les paramètres statiques du convertisseur. Les circuits analogiques additionnels pour le BIST ne nécessitent pas de très grande précision mais le temps de test est très long.

BIST partiel pour un CAN

Si nous considérons que les erreurs de non-linéarités ne sont pas très larges, il est possible de mesurer les valeurs des voltages de transition en observant uniquement les derniers bits. Cette stratégie a été utilisée en [Vri97] (figure 3.11), où le stimulus pour le convertisseur sous test est une rampe linéaire. Pour les bits de plus grand poids (*most significant bit*, MSB), cette technique valide uniquement que ces bits sont consécutifs, propriété qui n'est pas toujours valable pour les convertisseurs présentant une erreur large. Par contre, pour les bits de faible poids (*least significant bit*, LSB), nous calculons la linéarité à l'aide d'un compteur et d'une horloge. En effet, si nous comptons le nombre de périodes d'horloge entre deux transitions consécutives, nous pouvons mesurer les paramètres statiques. Les inconvénients de cette méthode sont la gigue de l'horloge (*jitter*), qui limite la précision de l'analyse, et la nécessité de générer un stimulus très linéaire.

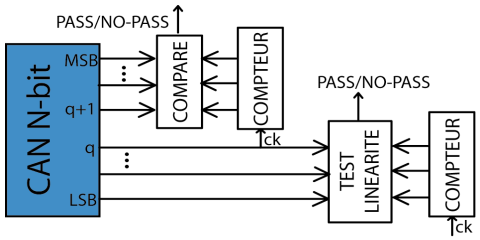


Figure 3.11. BIST partiel pour un CAN

Une idée similaire est proposée dans [Wen00], où les auteurs utilisent aussi une rampe linéaire pour tester un CAN de N bits. La sortie d'un compteur de N+1 bits, qui est réinitialisé au début du test, est comparée avec la sortie du CAN. De cette manière, nous pouvons mesurer les paramètres statiques avec une précision de 0.5 bits. Avant d'effectuer le test, un calibrage initial est nécessaire afin d'adapter la pente de la rampe avec celle du compteur. La linéarité du stimulus limite de nouveau la précision de la mesure.

BIST basé sur un histogramme pour un CAN

Le BIST basé sur l'histogramme a également été appliqué au test des CAN. Dans la version commercialisée par Credence [Tur01a, Tur01b], un signal linéaire ou sinusoïdal est utilisé comme stimulus pour la génération de l'histogramme. Cette approche connaît des limitations importantes : la grande surface additionnelle nécessaire pour sauver l'histogramme expérimental, la mémoire utilisée pour garder l'histogramme théorique lorsque le stimulus est sinusoïdal, et le long temps de test. Plusieurs méthodes ont été proposées pour résoudre ces problèmes. En [Aza01b] les auteurs effectuent une décomposition temporelle, ce qui permet de remplacer la mémoire de 2^N-bits, nécessaire pour mémoriser l'histogramme expérimental, par une mémoire composée d'uniquement N bits. Cette réduction de ressources est possible grâce à la répétition périodique du stimulus, une rampe linéaire. A chaque répétition ou pas, nous calculons l'erreur associée à chaque code numérique. Le même schéma a été appliqué pour l'histogramme basé sur l'application d'un stimulus sinusoïdal [Aza01c]. Dans ce cas, nous avons aussi besoin d'une

mémoire de 2^N-bits pour sauver l'histogramme de référence. Au lieu de le mémoriser, les auteurs proposent l'utilisation d'un polynôme qui permet d'estimer l'histogramme théorique. Avec cette méthode, il suffit de connaître les coefficients de ce polynôme pour pouvoir calculer la probabilité d'apparition de chaque code. Cela permet de réduire énormément la surface additionnelle nécessaire pour le BIST mais nous avons encore besoin d'un stimulus très linéaire. De plus le temps de test est considérablement augmenté, puisque nous devons répéter l'histogramme pour chaque code.

BIST basé sur la génération d'une rampe codifiée par modulation ΣΔ

La génération d'une rampe linéaire, au moyen d'une modulation ΣΔ, pour la réalisation du test de l'histogramme est proposée en [Hua00b] (figure 3.12). Dans cette étude, les résultats de simulation montrent une linéarité de 12 bits, mais les résultats expérimentaux ne sont pas présentés. Le filtrage du train binaire, obtenu par modulation ΣΔ, élimine les composants de hautes fréquences contenus dans un signal en dent de scie, ce qui produit de la distorsion du stimulus. Dans le même travail, un test pour un CNA basé sur l'utilisation d'une rampe linéaire est aussi proposée. La sortie du CNA est comparée avec cette rampe. Lorsque la valeur de la rampe est plus grande que la sortie du CNA, l'entrée numérique du convertisseur est augmentée. Grâce à une horloge et à un compteur, nous pouvons mesurer le temps qui s'écoule entre deux transitions et, par conséquent, calculer les paramètres statiques. La précision de cette mesure dépend de la gigue de l'horloge et de la qualité de la rampe.

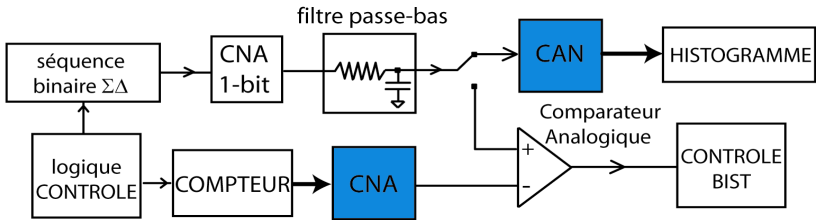


Figure 3.12. Schéma du BIST pour un CAN et un CNA basé sur l'utilisation de séquences binaires ΣΔ

BIST basé sur l'utilisation d'un stimulus de précision réduite

Une idée très intéressante est présentée en [Par03], où le test d'un CAN basé sur l'histogramme est effectué avec une rampe dont la linéarité est de 3 bits plus petite que celle du convertisseur. Au lieu d'utiliser une rampe très linéaire, les auteurs proposent d'appliquer plusieurs fois une rampe imprécise mais invariante, en changeant à chaque fois l'offset du stimulus. De cette manière, lorsque nous réalisons l'analyse des données obtenues par l'histogramme, nous pouvons différencier les non-linéarités causées par le convertisseur de celles dues à la rampe. En effet, les erreurs de non-linéarités contenues dans le stimulus sont déplacées dans l'histogramme quand nous ajoutons un offset. Une idée similaire est décrite dans [Bas98] pour le test fréquentiel basé sur le FFT. Dans ce travail, les auteurs utilisent un stimulus sinusoïdal dont le SNR est plus petit que celui du CAN sous test. Le SNR mesuré à la sortie du circuit $SNR_{MEASURE}$ dépend du bruit de convertisseur σ^2_{ADC} et aussi du bruit contenu dans le signal d'entrée σ^2_{INPUT} :

$$SNR_{MEASURE} = 10 \cdot \left(\frac{\sigma^2_{SIGNAL}}{\sigma^2_{ADC} + \sigma^2_{INPUT}} \right) \tag{3.14}$$

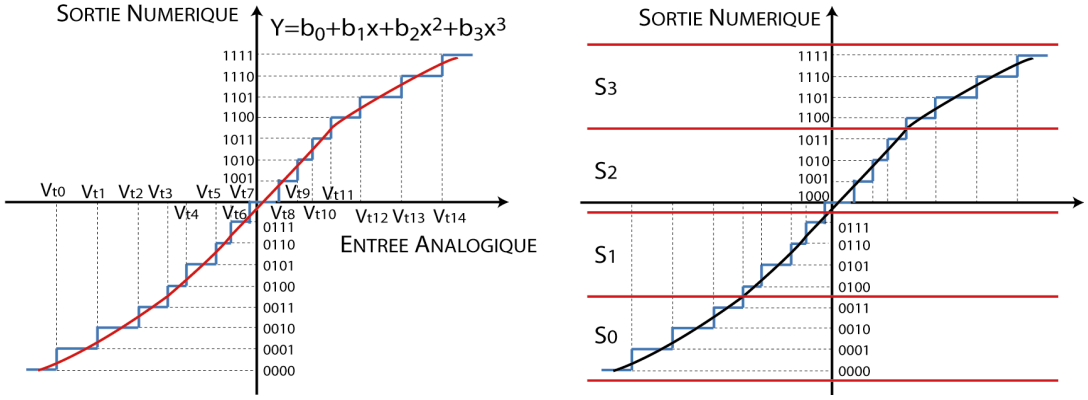
où σ^2_{SIGNAL} est la puissance du signal. Si nous prenons une seule mesure, le bruit du signal d'entrée cache le bruit du CAN. Par contre, si nous effectuons plusieurs mesures, il est possible de calculer le SNR réel du CAN. Des résultats de simulation montrent que cette méthode permet de tester un CAN au moyen d'un stimulus sinusoïdal avec un SNR de 4 bits plus petit.

BIST basé sur la régression polynomiale pour un CAN

Une technique basée sur le calcul d'un polynôme d'ordre 3 qui s'ajuste à la fonction de transfert DC du CAN est proposée dans [Sun97] et commercialisée par LogicVision. La stratégie consiste à appliquer une rampe linéaire comme stimulus et à trouver les coefficients b_0, b_1, b_2 et b_3 du polynôme qui s'ajustent le mieux (figure 3.13.a) :

$$y = b_0 + b_1 \cdot x + b_2 \cdot x^2 + b_3 \cdot x^3 \tag{3.15}$$

L'algorithme pour le calcul de ces coefficients est complexe et difficile à réaliser sur la puce. Pour simplifier la méthode, la fonction de transfert est divisée en quatre parties égales, et nous comptons le nombre de fois où la sortie est comprise dans chacune de ces parties (figure 3.13.b). Une fois que nous avons ces quatre valeurs, une procédure est développée pour calculer les coefficients du polynôme, ce qui nous permet ensuite de calculer l'offset, le gain, et le deuxième et troisième harmoniques. Si l'ordre de non-linéarité de la fonction de transfert est supérieur à 3, les harmoniques d'ordre plus élevés contribuent à la valeur mesurée du 2ème et 3ème harmoniques. Ces valeurs procurent par conséquent une estimation du THD. Des résultats expérimentaux montrent que cette technique mesure avec précision le THD d'un CAN ΣΔ de 13-bits [Roy02].



(a) *(b)*

Figure 3.13. (a) Polynôme pour une fonction de transfert d'un CAN de 4 bits
(b) Décomposition de la fonction de transfert en 4 parties

Cette technique ne permet pas de détecter des erreurs plus petites que 1 LSB. En conséquence elle n'est pas applicable pour des convertisseurs de moins de 10 bits de précision, puisque les erreurs associées à ces convertisseurs sont typiquement plus petites que 1 LSB. Cette méthode est spécialement adaptée aux convertisseurs bruyants, comme c'est le cas des CAN ΣΔ, parce que l'intégration effectuée lors de l'analyse filtre le bruit. Le problème de cette stratégie est que les erreurs de non-linéarité à l'intérieur de chaque partie de la fonction de transfert ne peuvent pas être détectées. Tout comme avec le test basé sur l'histogramme, nous ne pouvons repérer de larges erreurs dynamiques (*sparkles*) et nous n'obtenons pas de mesure du bruit. De plus, une rampe très linéaire est nécessaire. Plusieurs de ces inconvénients sont résolus en [Roy02]. Dans ces travaux, un signal exponentiel en forme d'escalier (figure 3.14.a) remplace la rampe comme stimulus du test, ce qui permet d'obtenir une linéarité très élevée. Ce stimulus est généré au moyen d'une modulation PWM (*Pulse Width Modulation*). La séquence binaire engendrée est filtrée par un filtre passe-bas situé hors de la puce. Le résultat est un signal exponentiel qui génère le même nombre des échantillons pour les quatre parties de la fonction de transfert. Le nombre des échantillons est, de plus, indépendant des paramètres du filtre extérieur. Afin d'estimer le bruit du convertisseur, un signal carré est aussi utilisé comme stimulus et appliqué au

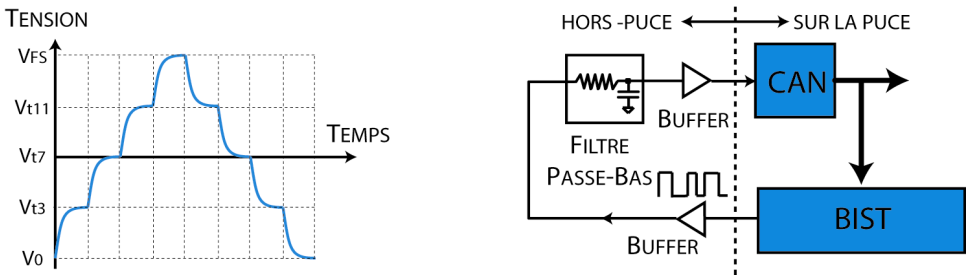


Figure 3.14. (a) Stimulus exponentiel pour un CAN (b) Schéma du BIST

filtre extérieur. Cela équivaut à stimuler le CAN avec un signal DC. La dispersion des valeurs en sortie du convertisseur est proportionnelle au bruit.

Une stratégie de BIST pour un convertisseur CAN *pipeline* est présentée en [Per01]. Dans [Kri92], la redondance temporelle est exploitée pour réaliser un test concurrent d'un CAN dont la conception est en mode de courant. Ces techniques sont seulement applicables à des architectures très spécifiques que nous ne détaillons pas ici.

3.4. TECHNIQUES DE BIST POUR DES CONVERTISSEURS DE SIGNAL ΣΔ

MADBIST

Une des premiers méthodes proposées pour le BIST de CAN ΣΔ est la technique MADBIST (Mixed-Analog/Digital BIST) [Ton93]. Dans une puce qui intègre des ressources de DSP, un CAN et un CNA, une approche de BIST analogique basée sur l'utilisation du DSP est possible. Pourtant, nous devons tester au préalable les deux convertisseurs. Le CAN est un convertisseur ΣΔ avec un filtre anti-repliement comme étage d'entrée (figure 3.15). Le CNA peut être reconfiguré, en mode de test, comme un générateur du signal composé d'oscillateur ΣΔ et d'un CNA d'un bit (voir Section 2.4).

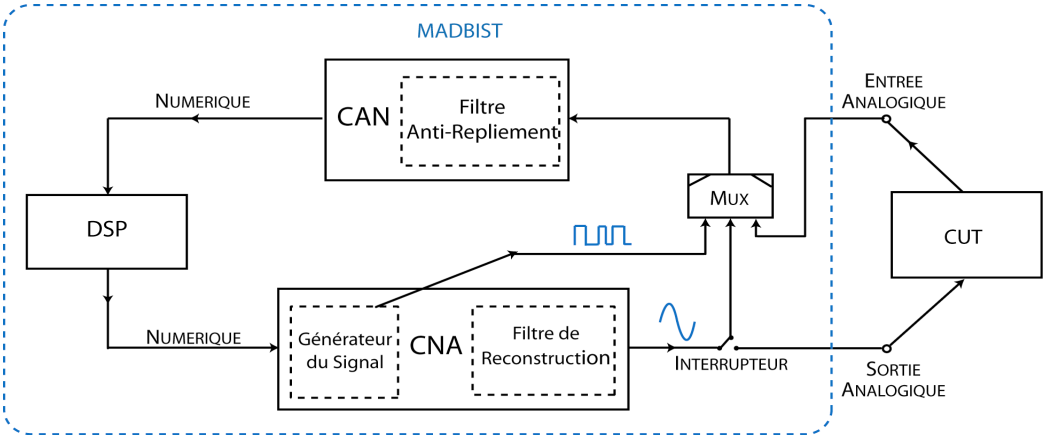


Figure 3.15. MADBIST

Dans un premier temps, le train binaire engendré par le générateur du signal est envoyé à l'entrée du CAN ΣΔ. Nous n'avons pas besoin de filtrer le stimulus binaire puisqu'il existe déjà un filtre anti-repliement dans l'étage d'entrée. Les ressources DSP nous permettent d'analyser la réponse du CAN. Après que le CAN a été validé, nous pouvons utiliser ce convertisseur pour tester le CNA. Une fois que nous avons validé les deux convertisseurs, nous pouvons les utiliser pour effectuer un BIST du reste des circuits analogiques.

Si nous appliquons un stimulus mono-fréquence généré au moyen d'une modulation ΣΔ, nous pouvons mesurer le SNR, le gain, la réponse fréquentielle et la distorsion harmonique. Avec un stimulus multi--fréquence, nous pouvons calculer le produit d'intermodulation [Ton95, Ton96]. Pour l'analyse de la réponse, les auteurs étudient trois possibilités : l'analyse par la FFT, l'algorithme de la régression sinusoïdale [IEE94, IEE00] et l'utilisation des filtres numériques. Les trois schémas donnent des bons résultats pour un CAN ΣΔ dont le SNR est de 67 dB. L'analyse basée sur les filtres numériques requiert beaucoup moins de ressources que les autres analyses, mais le temps de test est plus long. Les auteurs ne délivrent pas d'information à propos du CNA d'un bit utilisé pour la génération du stimulus binaire. La qualité du BIST est forcément limitée par la qualité du stimulus. Les ressources numériques nécessaires pour la réalisation d'un oscillateur ΣΔ ainsi que pour les filtres numériques prennent une surface additionnelle de silicium trop large.

BIST basé sur l'utilisation d'un stimulus binaire généré par logiciel

Afin de ne pas limiter la précision de la mesure par la qualité du stimulus, une idée très intéressante est proposée dans [Ong02, Ong03a]. Dans ce travail, le stimulus est une séquence binaire générée par simulation au moyen d'une modulation ΣΔ. Ce train binaire est atténue à l'entrée du modulateur sous test (figure 3.16), ce qui produit une réduction de la puissance du signal mais aussi du bruit de quantification. Puisque le bruit contenu dans la stimulus est plus petit que le bruit du modulateur, nous ne sommes pas limités par le bruit du stimulus. Cette atténuation est effectuée à l'aide des capacités commutées, ce qui garantit une bonne précision. L'analyse de la réponse du convertisseur est réalisée à l'aide d'une FFT pour calculer le SNR. Des simulations montrent la capacité de cette technique pour mesurer le SNR d'un modulateur ΣΔ de 18 bits de précision[Ong04], mais les résultats expérimentaux ne sont pas disponibles.

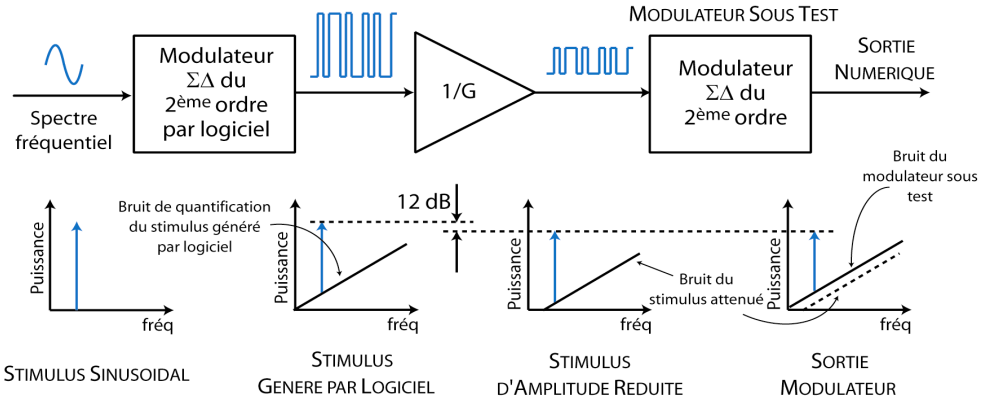


Figure 3.16. BIST basé sur l'utilisation d'un stimulus binaire généré par logiciel

Test pseudo-aléatoire pour le calcul des pertes de l'intégrateur et du SNR

Une approche différente pour le test de modulateurs ΣΔ est proposée dans [Ong01]. Pour une structure déterminée du 2ème ordre (figure 3.17.a), la valeur du SNR est calculée au préalable par simulations pour différentes valeurs des pertes des deux intégrateurs L_1 et L_2. Dans le mode de test, une séquence numérique pseudo-aléatoire, engendrée au moyen d'un LFSR, est appliquée à l'entrée du modulateur. Nous mesurons d'abord la puissance moyenne de la sortie dans la plage de fréquence FR_1. Cette valeur nous permet d'estimer L_1 (figure 3.17.b). Ensuite, nous mesurons la puissance moyenne de la sortie dans une deuxième plage de fréquence FR_2. Cette deuxième valeur nous permet d'estimer L_2. Une fois que nous connaissons les valeurs des pertes L_1 et L_2, nous pouvons estimer le SNR du modulateur. Cette stratégie a été validée par simulation pour un convertisseur de 14 bits, mais ces résultats devraient être confirmés par des

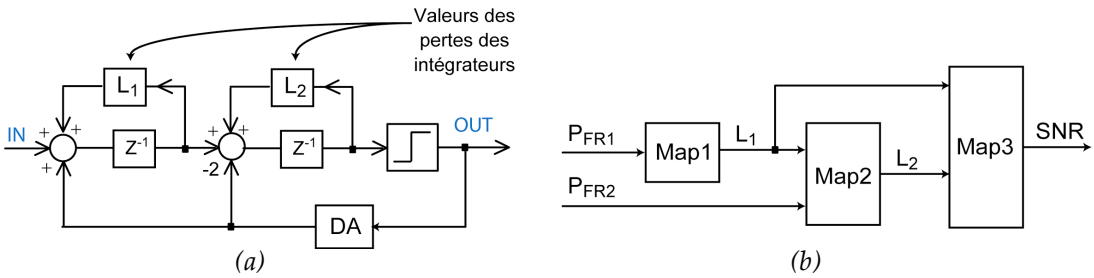


Figure 3.17. (a) Modèle d'un modulateur du 2ème ordre
(b) Procédure pour le calcul du SNR

résultats expérimentaux. La préparation de test doit changer pour chaque structure différente du modulateur. L'influence du CNA d'un bit n'a pas été prise en compte. Le calcul de la puissance dans les deux plages de fréquences requiert de larges ressources numériques.

Test numérique pour des modulateurs ΣΔ

L'estimation de la perte de l'intégrateur est aussi proposée dans [Leg03, Leg04a, Leg04b] pour des modulateurs ΣΔ de 1er et du 2ème ordre. Un stimulus binaire périodique est envoyé à l'entrée du modulateur. L'étude de la périodicité du signal de sortie, effectué à l'aide d'un compteur, permet de mesurer la perte de l'intégrateur *p*. Un délai additionnel dans la boucle de contre-réaction est la seule modification à effectuer dans ce mode de test (figure 3.18). Dans le cas de modulateurs du 2ème ordre, nous n'avons besoin d'introduire aucune modification.

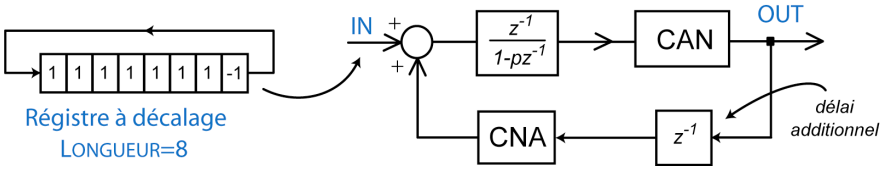


Figure 3.18. Test numérique pour un modulateur ΣΔ du 1er ordre

Un schéma similaire est proposé par les mêmes auteurs pour l'évaluation des erreurs causées par le *slew-rate* et par la bande passante limitée de l'amplificateur opérationnel [Leg04c, Leg05]. Des résultats de simulation et expérimentaux [Leg06] montrent une bonne précision de la technique pour estimer la perte de l'intégrateur ainsi que l'erreur de l'établissement du signal (*settling error*), non seulement dans les modulateurs du 1er et du 2ème ordre mais aussi dans les modulateurs en cascade 2-1. Par contre, il est très difficile de corréler ces mesures avec les performances du modulateur, puisque le SNDR du modulateur dépend aussi d'autres paramètres comme, par exemple, le bruit thermique et le bruit 1/f (*flicker noise*). En conséquence, cette technique doit être complétée par d'autres tests fonctionnels.

BIST basé sur l'utilisation d'une rampe codifiée par modulation ΣΔ

La caractérisation d'un modulateur ΣΔ du 1er ordre, employé dans une structure de BIST pour numériser les signaux analogiques, est effectuée dans [Hua00c]. Le gain, l'offset et les pertes de l'intégrateur sont mesurés en observant la fonction de transfert DC du modulateur. Le stimulus de test est une rampe linéaire, générée à l'aide d'un modulateur ΣΔ, d'un CNA d'un bit et d'un filtre analogiques passe-bas. La pente et l'offset de la rampe peuvent être calibrés par moyen de deux tensions de référence. Une fois que la pente et l'offset de la rampe sont connus, nous pouvons mesurer le gain et l'offset du modulateur au moyen d'une simple intégration de la sortie binaire. Le calcul des pertes de l'intégrateur est basé sur l'étude réalisé en [Fee91], où il est

montré que les pertes de l'intégrateur produisent une modification de la fonction de transfert DC (figure 3.19.b), où pour une plage de valeurs d'entrée, la valeur de sortie reste constant. La taille de ces plages dépend directement de la valeur de la perte de l'intégrateur, ce qui nous permet d'estimer sa valeur.

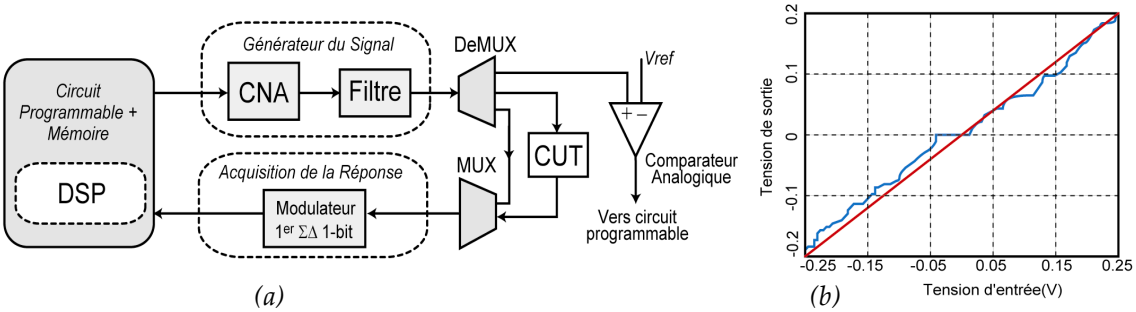


Figure 3.19. (a) Structure du BIST
(b) Fonction de transfert DC du modulateur

Les effets de l'utilisation d'une rampe à la place d'un stimulus complètement statique (c'est à dire, une valeur DC) sont aussi étudiés par les auteurs. Les résultats obtenus pour l'estimation des paramètres statiques sont bons. Par contre, cette approche présente plusieurs inconvénients. Elle est uniquement valable pour les modulateurs du 1er ordre, puisque la corrélation entre la fonction de transfert DC et les pertes de l'intégrateur est différente pour d'autres configurations. De plus, nous n'obtenons ni information dynamique ni les paramètres fonctionnels. Pour l'analyse de la sortie de test, nous n'avons pas besoin de larges ressources numériques mais un comparateur analogique et des tensions de référence sont nécessaires pour la génération de la rampe. Finalement, la longueur du train binaire utilisée pour générer la rampe est très grande (2^{12} bits).

BIST basé sur l'oscillation pour des modulateurs ΣΔ

Le BIST basé sur l'oscillation a aussi été appliqué au test de modulateurs ΣΔ. En [Ara97c], un modulateur ΣΔ du 1er ordre en temps continu est reconfiguré pour générer des oscillations à l'aide d'un interrupteur S_1 et d'un flip-flop D (figure 3.20). Dans le premier étage du test, l'entrée est connectée à la masse et la fréquence d'oscillation est mesurée. Ensuite, avec l'interrupteur S_1 encore connecté à la sortie du flip-flop, une valeur de tension constante V_{TEST} est appliquée à l'entrée du modulateur, ce qui produit une deuxième fréquence d'oscillation. Enfin, la technique est complétée avec un test fonctionnel : en mode de configuration normale (interrupteur S_1 connecté à la sortie de l'amplificateur opérationnel OA_3), une tension constante V_{TEST} est utilisée comme stimulus d'entrée et le train binaire obtenu en sortie est mémorisé comme troisième signature de test. L'avantage de cette méthode est que nous n'avons pas besoin de stimulus de test. De plus, l'analyse de la réponse de test peut être effectuée avec peu de

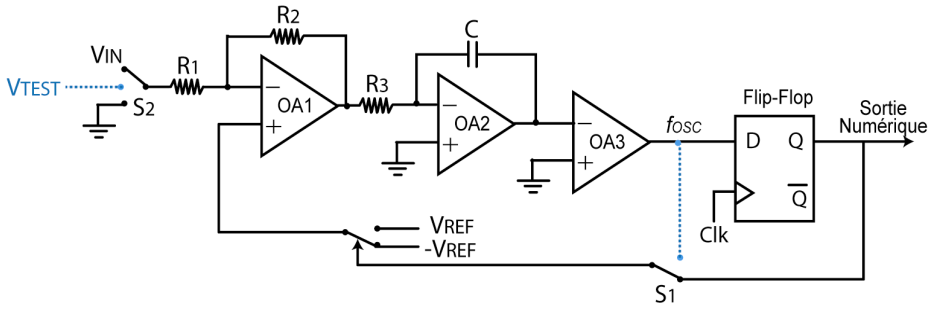


Figure 3.20. BIST basé sur l'oscillation pour un modulateur ΣΔ du 1er ordre

ressources numériques. Les résultats de simulation montrent une bonne capacité pour détecter des fautes, mais aucun résultat expérimental n'est apporté. Les déviations du procès et de la température, les imprécisions du modèle et la modification du chemin du signal d'entrée peuvent détériorer la qualité du BIST. Nous trouvons des limitations similaires dans [Hue02a], où une méthode générale est proposée pour transformer un modulateur ΣΔ passe-bas dans un oscillateur. En adoptant la même stratégie que celle utilisée pour les filtres (voir section 2.3), la non-linéarité du quantificateur est appliquée pour contrôler les oscillations (figure 3.21.a). Le problème de cette structure est que, à différence des filtres, les harmoniques de hautes fréquences ne sont pas atténués par le modulateur. Ce qui explique que la fréquence d'oscillation obtenue par simulation est différente de celle attendue par les modèles. Pour résoudre cette limitation, les auteurs présentent une nouvelle structure où la boucle de contre-réaction est modifiée (figure 3.21.b). L'amplitude de l'oscillation est aussi mesurée, ce qui rend l'analyse de l'oscillation plus complexe [Vaz02c]. Les résultats de simulation montrent que cette technique a une bonne capacité pour détecter des variations de valeurs de gain k_0 et k_1 dans un modulateur du 2ème ordre. Dans [Hue03] la même stratégie est appliquée pour un modulateur ΣΔ passe-bande.

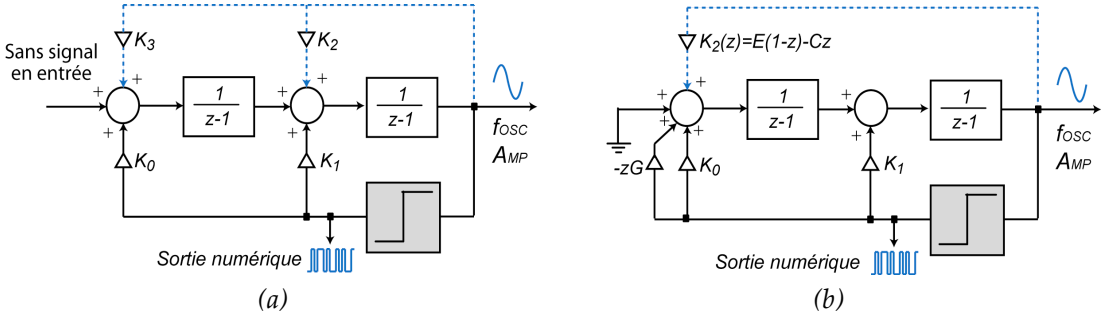


Figure 3.21. (a) Structure pour l'oscillation d'un modulateur ΣΔ du 2ème ordre
(b) Modification de la boucle de contre-réaction

BIST basé sur la reconfiguration d'un modulateur ΣΔ passe-bande

Dans [Mir97], les auteurs proposent une autre technique de BIST structurelle basée sur la reconfiguration d'un modulateur ΣΔ passe-bande (Figure 3.22.a) qui est composé de deux résonateurs. Dans le mode de test, chacun de ces résonateurs est reconfiguré pour former une boucle de contre-réaction de gain égal à l'unité (figure 3.22.b). Si nous fixons $a=b$, les sorties de deux résonateurs devraient être identiques et nous pouvons les comparer à l'aide d'un comparateur analogique avec une tolérance déterminée. Des modifications additionnelles permettent de réaliser cette technique sans devoir utiliser un comparateur, mais cela est uniquement possible pour des architectures très particulières. Un générateur de signal analogique doit être intégré sur la puce pour la génération d'un stimulus mono-fréquence ou multi-fréquence. L'absence d'un test fonctionnel et la modification du chemin du signal d'entrée sont les inconvénients de cette approche.

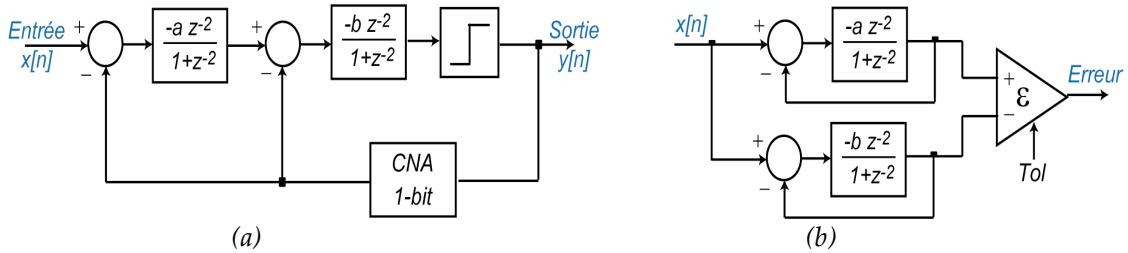


Figure 3.22. (a) Modulateur ΣΔ passe-bande composé de deux résonateurs
(b) Comparaison de la sortie des deux résonateurs en mode de test

Autres techniques

La seule technique qui permet d'effectuer un test *on-line* de modulateurs ΣΔ est proposée en [Fra96]. Tel qu'il a été proposé pour le test de circuits différentiels (voir section 2.3), nous nous assurons que les entrées de l'amplificateur différentiel sont à la masse virtuelle. Nous vérifions aussi que les sorties des amplificateurs opérationnels ont un voltage de mode commun approprié. Des résultats de simulation montrent une bonne couverture de fautes mais il n'y a pas de résultats expérimentaux. Cette approche est uniquement valable pour les modulateurs différentiels. De plus, un comparateur analogique est requis et certaines fautes ne sont pas détectées.

La fonction de transfert du bruit est utilisée pour le test de modulateurs ΣΔ dans [Ven04]. Un signal sinusoïdal est envoyé à l'entrée du quantificateur. Simultanément l'entrée du modulateur est fixée à la masse. L'analyse est effectuée au moyen d'une FFT appliquée sur la sortie binaire. Si nous mesurons l'atténuation subie par le signal sinusoïdal, nous pouvons calculer la fonction de transfert du bruit et en conséquence le gain du modulateur. Le nombre des échantillons nécessaires pour calculer le SNR est réduit puisque le rapport entre la puissance du bruit et du signal est plus petit. Lors de ce test, l'entrée du modulateur n'est pas stimulée. Une mesure du THD n'est pas possible. De plus, les ressources numériques nécessaires pour intégrer cette technique sur la puce sont trop larges.

3.5. CONCLUSIONS

Dans ce chapitre, nous avons présenté les techniques de test standard utilisées dans l'industrie pour le test de convertisseurs de signal. Nous avons aussi décrit les plus importantes techniques de BIST pour le test de CAN et CNA. Nous nous sommes surtout consacrés aux techniques de BIST de modulateurs et convertisseurs ΣΔ.

L'idée d'utiliser un stimulus de précision réduite pour effectuer le test de convertisseurs [Bas98, Par03], semble une idée très prometteuse pour réduire la surface additionnelle nécessaire pour la génération du stimulus du BIST. De la même manière, l'utilisation d'un stimulus exponentiel en forme d'escalier [Roy02] ainsi que l'intégration d'un algorithme de régression polynomial pour réaliser l'analyse de la réponse de test[Sun97] permettent de calculer la distorsion harmonique avec peu de ressources. Par contre, cette technique ne permet pas de mesurer le bruit du convertisseur.

Dans le cas particulier de convertisseurs et modulateurs ΣΔ, l'utilisation d'un stimulus binaire engendré au moyen d'une modulation ΣΔ [Ton93, Hua00c, Ong02] ainsi que le répétition périodique de séquences binaires de petite taille [Leg04b], ont été utilisés par plusieurs chercheurs comme stimuli de test. Ce concept semble être une bonne stratégie pour générer des stimuli de haute qualité avec un surcoût en surface réduit. De plus, les stimuli numériques peuvent être très facilement injectés dans l'entrée des modulateurs ΣΔ, puisque ces blocs présentent par défaut des signaux binaires dans la boucle de contre-réaction. Pourtant, tous ces travaux employant des stimuli binaires ΣΔ [Ton93, Hua00c, Ong02], nécessite un DSP ou des ressources numériques très larges pour analyser la réponse de test. Dans ces travaux de thèse, nous allons utiliser la même sorte de stimulus mais nous allons proposer une nouvelle stratégie pour réduire considérablement les ressources numériques nécessaires à l'analyse de la réponse du circuit. La réutilisation des ressources présentes dans un convertisseur ΣΔ permet d'intégrer une régression sinusoïdale avec un surcoût en surface très réduit.

CHAPITRE 4

Conception d'une Technique de BIST pour des Convertisseurs Analogique/Numérique Sigma-Delta de Haute Résolution

4.1. INTRODUCTION

Dans les chapitres précédents, nous avons détaillé les techniques de test intégré existantes dans la littérature pour des différents circuits analogiques. A présent, nous allons parler de la nouvelle technique BIST proposée dans cette thèse. Cette technique est valable pour des convertisseurs A/N Sigma-Delta de haute résolution, et nous l'appliquerons au cas particulier d'un convertisseur audio de 16 bits. Bien évidemment, tous les éléments de cette nouvelle stratégie ne sont pas issus de notre travail de recherche. Nous nous attarderons donc plus particulièrement sur les nouvelles contributions.

Dans ce chapitre, nous montrerons dans un premier temps l'architecture typique d'un Convertisseur Analogique/Numérique (CAN) pour les applications d'audio. Elle est composée de deux blocs principaux, un modulateur Sigma-Delta analogique et un filtre de décimation numérique. Deux nouvelles fonctionnalités sont rajoutées au circuit original pour permettre l'intégration du test sur la puce : la génération d'un signal de test et l'analyse de la réponse du circuit. Comme stimulus du test nous utilisons un train binaire, obtenu au préalable par simulation, qui codifie un signal sinusoïdal de très grande précision. Ce même stimulus binaire est aussi réutilisé pour générer un signal de référence, ce qui nous permet de réaliser une régression sinusoïdale pour analyser la réponse du test. Après avoir décrit la nouvelle architecture du convertisseur incorporant le BIST, nous présenterons les résultats obtenus par simulation montrant la capacité de cette technique pour mesurer le rapport signal sur bruit avec distorsion (*SIgnal-to-Noise And Distortion ratio*, SINAD).

Ce chapitre est consacré à la présentation de la technique de BIST. Les aspects du design des blocs analogiques du convertisseur seront traités dans le chapitre 5.

4.2. ARCHITECTURE D'UN CONVERTISSEUR A/N ΣΔ AUDIO DE 16 BITS

Comme nous l'avons constaté dans le premier chapitre, les convertisseurs Sigma-Delta (ΣΔ) sont devenus d'utilisation très courante pour les applications d'audio, où les fréquences de travail sont modérées (jusqu'a 22.05 kHz) mais où une grande résolution (plus de 15 bits) est nécessaire [Azi96]. Même s'il existe une énorme variété de Convertisseurs Analogiques/Numériques Sigma-Delta (CAN ΣΔ) [Nor96], ils sont tous composés de deux blocs principaux : un modulateur ΣΔ analogique et un filtre de décimation numérique. La figure 4.1. illustre l'architecture du convertisseur sur lequel nous allons appliquer la technique de BIST. Il est

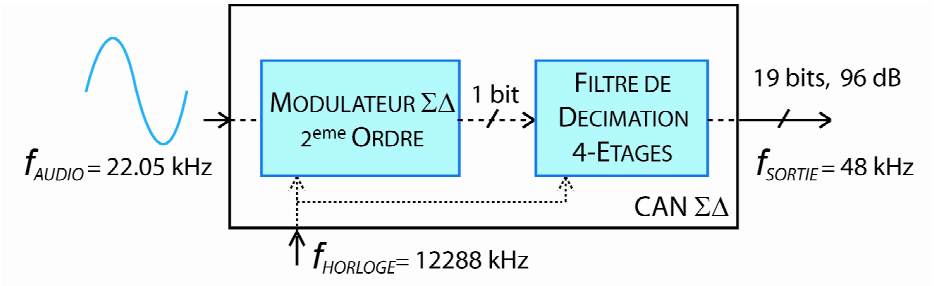


Fig. 4.1. Architecture d'un CAN ΣΔ audio de 16 bits de précision

formé d'un modulateur analogique de deuxième ordre en temps discret et d'un filtre de décimation numérique à quatre étages. Nous récupérons 19 bits à la sortie même si la précision du signal ne dépasse pas les 16 bits dans notre design. Cela est nécessaire pour éviter que le bruit de quantification du filtre numérique diminue la qualité de la sortie. En effet, nous pouvons constater que dans les CANs commerciaux [IC1, IC2, IC3], le nombre de bits à la sortie est toujours plus grand que la précision maximale obtenue. Nous avons choisi cette configuration parce qu'elle se montre très tolérante aux imperfections de fabrication, comme nous le verrons dans le prochain chapitre. La même technique de BIST peut être, pourtant, appliquée à d'autres architectures réalisées en temps discret.

Voici comment fonctionne le convertisseur à haut niveau. Le modulateur ΣΔ transforme le signal analogique d'entrée dans un train binaire, qui codifie le signal audio tout en contenant aussi le bruit de quantification propre à la conversion numérique. Le sur-échantillonnage du signal à la fréquence d'horloge (12288 kHz) et la modulation ΣΔ permettent la mise en forme de ce bruit de quantification, en le déplaçant vers les hautes fréquences, hors de la bande audio. Le filtre numérique de décimation accomplit deux missions : le filtrage du bruit de haute fréquence contenu dans le train binaire et la réduction de la fréquence d'échantillonnage pour fournir une sortie numérique de 19 bits cadencée à 48 kHz. Nous donnerons de plus amples détails de ces deux blocs par la suite.

4.2.1. Modulateur ΣΔ analogique du deuxième ordre

Le premier bloc, un modulateur ΣΔ analogique de deuxième ordre en temps discret, est représenté dans la figure 4.2. Cette configuration, proposée par Boser et Wooley [Bos88], introduit un délai (z^{-1}) par chaque intégrateur sur le chemin du signal et inclut également un gain de 0.5 à l'entrée de chaque intégrateur. Cela réduit les valeurs des voltages atteints à la sortie des deux intégrateurs et améliore la dynamique du modulateur, en permettant d'utiliser des signaux d'entrée plus grands tout en évitant la saturation des intégrateurs. Les fonctions de transfert du signal (*Signal Transfert Function*, STF) et du bruit (*Noise Transfert Function*, NTF) peuvent être

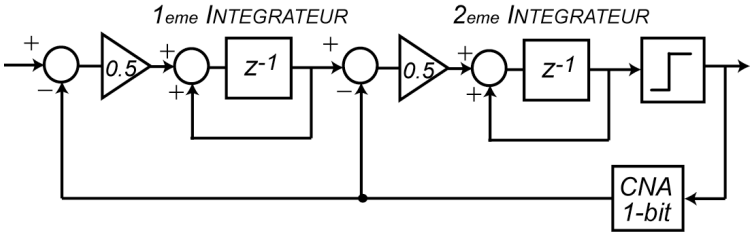


Fig. 4.2. Architecture du modulateur ΣΔ du deuxième ordre

calculées de manière théorique :

$$STF(z) = z^{-2} \tag{4.1}$$

$$NTF(z) = \left(1 - z^{-1}\right)^{-2} \tag{4.2}$$

Tandis que le signal d'entrée n'expérimente qu'un délai de deux périodes d'horloge, le bruit de quantification introduit par le comparateur subit un filtrage passe-haut de deuxième ordre. Le sur-échantillonnage du signal d'entrée (*OverSampling Ratio*, OSR) est défini comme le rapport entre la fréquence de l'horloge et deux fois la bande passante audio :

$$OSR = \frac{f_{ECHANTILLONNAGE}}{2 \cdot f_{BANDE\ PASSANTE}} = \frac{12288\ kHz}{2 \cdot 22{,}05\ kHz} \cong 278 \tag{4.3}$$

Le sur-échantillonnage et la modulation ΣΔ provoquent une mise en forme du bruit de quantification et donc une amélioration de la qualité du signal dans la bande audio. Dans le cas d'un modulateur de 2ème ordre la valeur théorique de la puissance du bruit de quantification dans la bande passante est donnée par [Joh96] :

$$P_{BRUIT\ QUANT} = \frac{\Delta^2 \cdot \pi^4}{60} \cdot \left(\frac{1}{OSR}\right)^5 \tag{4.4}$$

La valeur Δ est fixée par les voltages de sortie du Convertisseur Numérique/Analogique (CNA) d'un bit. Nous devons ainsi prendre en considération la réalisation physique du modulateur. Celui sera réalisé en technologie 0.13 µm CMOS de STMicroelectronics. Cette technologie utilise par défaut une tension d'alimentation de 1.2 V pour les parties numériques, mais elle offre également la possibilité d'utiliser une tension de 3.3 V pour les blocs analogiques. Puisque nous voulons avoir la dynamique la plus grande possible, nous nous servirons de cette alimentation pour tous les circuits analogiques. Dans ces conditions, nous décidons d'établir les valeurs de sortie du CNA à ±1.1 V ce qui équivaut à une valeur crête à crête de 2.2 V_{CC}. Nous verrons dans le prochain chapitre que cette valeur est réalisable dans la conception du modulateur. Étant donné que la réalisation du circuit est différentielle, nous obtenons la valeur Δ qui est égal à 4.4 V_{CC}. La puissance théorique du bruit de quantification dans la bande audio est alors :

$$P_{BRUIT\ QUANT} = 28.5\ pV^2 \tag{4.5}$$

La résolution du convertisseur n'est pas fixée exclusivement par la puissance du bruit mais aussi par son amplitude d'entrée maximale ou Pleine Echelle (PE). Nous prenons dans notre cas une amplitude différentielle maximale de 1.4 V. Des simulations nous montrent que, pour des amplitudes d'entrée plus grandes, les intégrateurs du modulateur saturent et la distorsion harmonique devient importante. Nous pouvons donc calculer la précision théorique du modulateur en termes de SINAD :

$$SINAD_{MAX\ MODULATEUR} = 10 \cdot \log \frac{P_{MAX\ SIGNAL}}{P_{BRUIT\ QUANT}} = 10 \cdot \log \frac{(1{,}4)^2 / 2}{28{,}5 \cdot 10^{-12}} = 105.4\ dB \tag{4.6}$$

Dans la réalité, pourtant, nous allons être loin d'atteindre cette qualité. L'équation 4.4 considère que le modulateur a un comportement strictement linéaire, ce qui n'est pas toujours le cas notamment pour des grands signaux d'entrée. De plus, le bruit de quantification n'est pas la

seule source de bruit du modulateur. Le bruit des interrupteurs *(KTC noise)* propre aux circuits en capacités commutées et le bruit thermique propre à tout circuit électronique vont se rajouter au bruit de quantification. Nous avons donc besoin d'un modèle plus complet et proche du circuit réel. C'est pourquoi nous avons développé un modèle avec Matlab qui nous permet de simuler et calculer la résolution attendue pour le modulateur.

Modèle Matlab-Simulink du modulateur analogique

La figure 4.3 illustre le modèle d'un modulateur ΣΔ de 2ème ordre réalisé avec Simulink. Cette représentation, basée sur les travaux réalisés dans [Mal03], permet de lancer des simulations avec Matlab en prenant en compte la saturation des intégrateurs, le bruit des interrupteurs, le bruit thermique et de basses fréquences (*flicker noise*) de l'amplificateur opérationnel ainsi que le bruit provenant du générateur de voltage de référence (*bandgap noise*). Seul le bruit du premier intégrateur est pris en considération puisque celui produit par le deuxième intégrateur est fortement atténué par la modulation ΣΔ. Nous pouvons également modéliser l'offset, le gain, les facteurs de pertes des intégrateurs (LK_1 et LK_2 sur le modèle) et les non-linéarités des capacités d'échantillonnage, des capacités d'intégration et de l'amplificateur opérationnel. En connaissant donc les valeurs de bruit, saturation, gain de l'amplificateur opérationnel, etc., spécifiées lors du design (Chapitre 5) nous pouvons étudier les performances attendues pour le modulateur. De la même façon, nous pouvons injecter des fautes paramétriques dans le modulateur, ce qui nous sera fort utile pour la validation de notre technique de BIST.

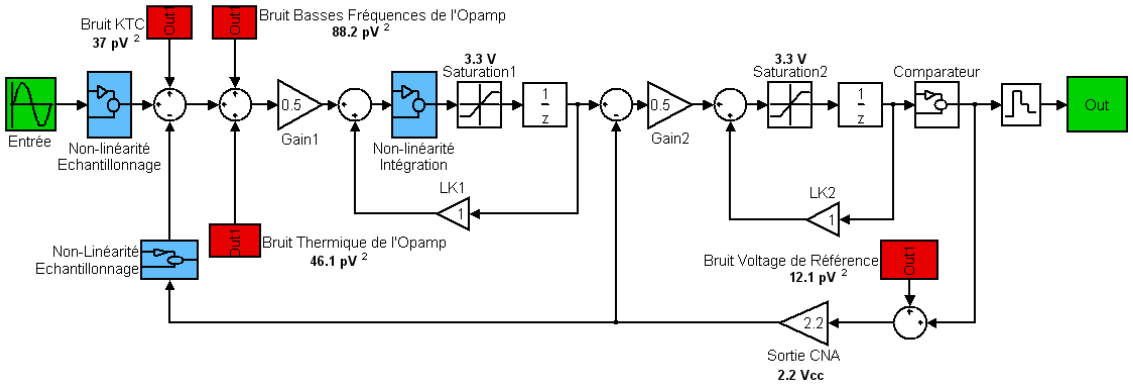


Fig. 4.3. Modèle du modulateur ΣΔ du 2ème ordre réalisé avec Simulink

La figure 4.4 montre le spectre du signal de sortie du modulateur quand nous utilisons comme stimulus une entrée sinusoïdale à 5.4 kHz avec une amplitude différentielle de 1.1 V. La qualité du signal dans la bande passante en termes de SINAD est de 96.41 dB. Le bruit contenu dans les hautes fréquences sera filtré par le filtre numérique de décimation.

4.2.2. Filtre de décimation numérique à 4 étages

En général, il existe deux types de filtres de décimation : ceux réalisés à base de filtres à réponse impulsionnelle finie (*Finite Impulse Response,* FIR) et ceux qui contiennent des filtres à réponse impulsionnelle infinie (*Infinite Impulse Response,* IIR). L'avantage des premiers est qu'ils introduisent un délai qui est le même pour toutes les fréquences, tandis que les deuxièmes créent un délai dépendant de la fréquence. Pour certaines applications, la variation maximum de ce délai est une contrainte. C'est pourquoi l'utilisation des filtres FIRs est en général préférable pour les convertisseurs audio, même s'ils nécessitent un plus grand nombre de coefficients. Puisque dans

notre cas nous n'avons pas de contraintes particulières, nous utiliserons des filtres IIRs pour le deuxième et troisième étage afin de réduire la complexité du design. L'architecture du filtre, constituée de deux filtres FIRs et deux filtres IIRs, est présentée sur la figure 4.5. Cependant, la technique de BIST que nous présenterons reste complètement valable pour des convertisseurs constitués uniquement de filtres FIRs.

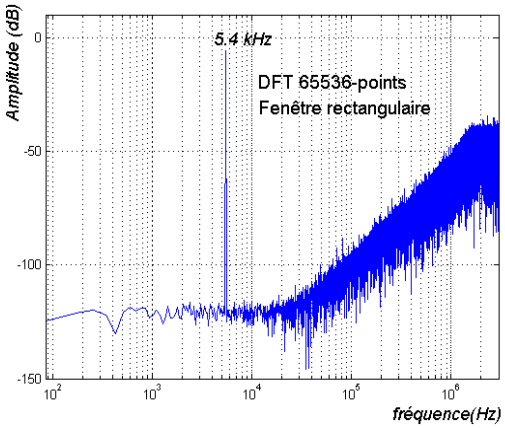


Fig. 4.4. Spectre à la sortie du modulateur avec un stimulus à 5.4 kHz et 1.1 V_{DIFF}

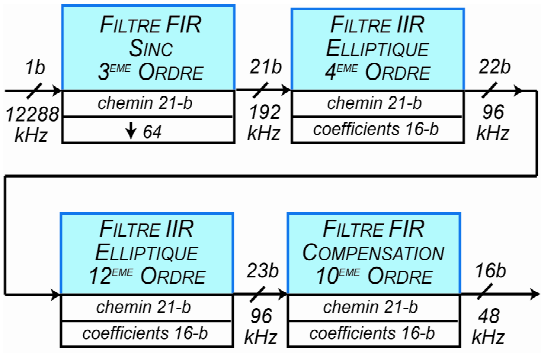


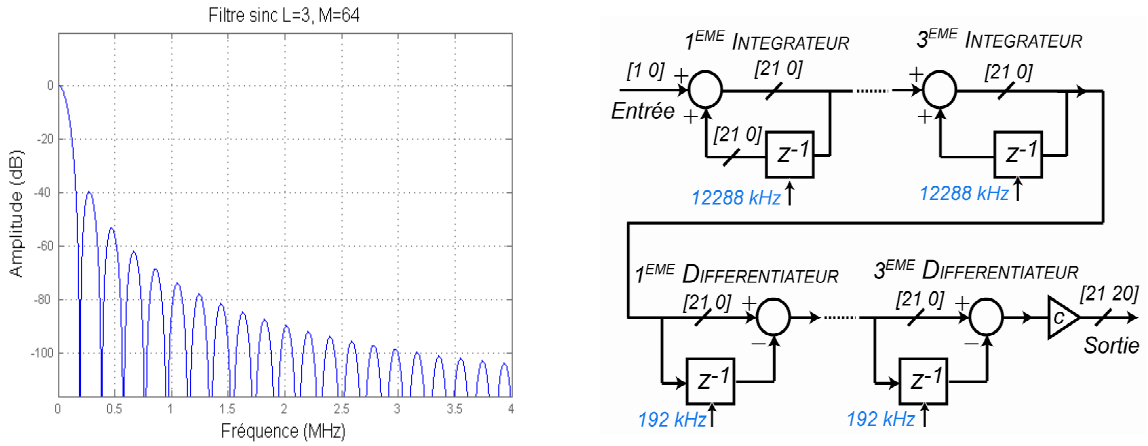
Fig. 4.5. Architecture du filtre numérique de décimation

Nous verrons ensuite dans le détail la conception du filtre numérique puisque nous serons amenés à le modifier pour l'application de notre BIST. Le premier étage du filtre de décimation est un filtre sinus cardinal (*sinc filter*). Ce filtre est défini par son ordre L et par son taux de décimation M [Joh96]:

$$H_{SINUS}(z) = \frac{1}{M^L} \cdot \left(\frac{1 - z^{-M}}{1 - z^{-1}} \right)^L \tag{4.7}$$

Pour un modulateur ΣΔ analogique du 2ème ordre, un filtre sinus cardinal d'ordre au moins L=3 est nécessaire pour obtenir une atténuation correcte du bruit englobé dans le train binaire qui vient du modulateur. Nous choisissons un taux de décimation M=64, ce qui nous permet de réduire la fréquence d'échantillonnage à 192 kHz sans augmenter le bruit dans la bande passante à cause du phénomène de repliement (*alisaing*). La réponse fréquentielle de ce filtre est illustrée par la figure 4.6.a Une petite atténuation apparaît aussi dans la bande audio, ce qui est compensé par le 4ème étage du filtre de décimation. La réalisation de ce filtre, décrite sur la figure 4.6.b, est très simple à condition que l'on place les trois intégrateurs ($1-z^{-1}$) avant les trois différentiateurs ($1-z^{-M}$). Si la décimation a lieu avant les dérivations, celles-ci peuvent être accomplies à la fréquence réduite, ce qui simplifie sa réalisation. Dans le filtre, les signaux sont représentés avec 21 bits en complément à 2, ce qui évite la saturation des intégrateurs même avec la présence d'un offset. Le coefficient à la sortie de cet étage a pour mission d'adapter la plage maximal numérique (-1, 1) à l'amplitude maximale d'entrée analogique définie par la pleine échelle (-1.1 V, +1.1 V). Ce coefficient est représenté avec 16 bits de précision, comme c'est le cas aussi pour les coefficients des autres filtres.

Le deuxième étage est un filtre IIR elliptique du 4ème ordre avec une bande passante de 22.05 kHz et une atténuation minimale de 60 dB à partir des 72 kHz (figure 4.7.a). Cela permet de réaliser une décimation par deux à la sortie de l'étage. La structure, basée sur une configuration cascadée de deux blocs de deuxième ordre, est constituée de sept coefficients. Le premier des blocs est présenté sur la figure 4.7.b.



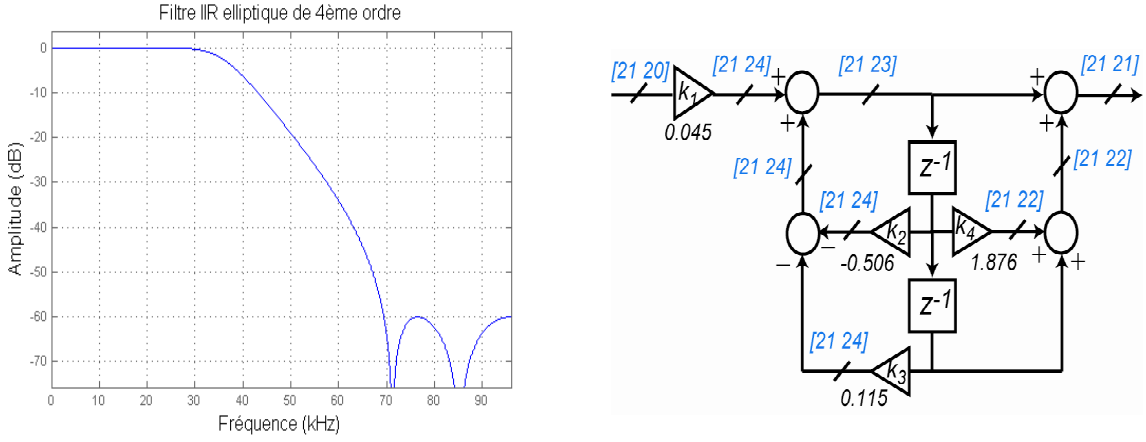
(a) *(b)*

Fig. 4.6. Filtre sinus cardinal avec L=3 et M=64. (a) Réponse fréquentielle. (b) Réalisation

Dans ce filtre le signal est représenté en virgule fixe avec 21 bits. Cette représentation sera aussi utilisée dans les deux derniers étages. La notation utilisée sur la figure 4.7.b est celle proposée par Simulink et Matlab [Sim04]. Le premier numéro dans la parenthèse indique le nombre total de bits utilisés pour la représentation du signal. Le deuxième numéro formule la distance entre le bit le moins significatif (*Least Significant Bit*, LSB) et la virgule binaire. Par exemple, sur un chemin marqué par [21,24] le signal est quantifié avec 21 bits, la précision définie par le LSB est de 2^{-24} et la valeur du MSB vaut 2^{-4}.

Le troisième étage est un filtre IIR elliptique du 12ème ordre. La bande passante est de nouveau 22.05 kHz avec une atténuation minimale de 70 dB à partir des 24 kHz. Avec 33 coefficients, sa structure est similaire à celle de l'étage précédent avec 6 blocs de deuxième ordre.

Finalement, un filtre FIR symétrique du 10ème ordre va compenser les atténuations apportées par le filtre sinus cardinal dans la bande passante et réaliser une dernière décimation par deux. Cet étage, défini avec six coefficients, a une réponse en fréquence exactement égale à l'inverse du filtre sinus cardinal (figure 4.8). Comme résultat, la réponse fréquentielle du filtre de décimation est compensée et l'ondulation maximale dans la bande passante est uniquement de 0.002 dB.



(a) *(b)*

Fig. 4.7. Filtre IIR elliptique du 4ème ordre. (a) Réponse fréquentielle. (b) Réalisation du premier bloc

4.2.3.- Spécifications du convertisseur Analogique/Numérique

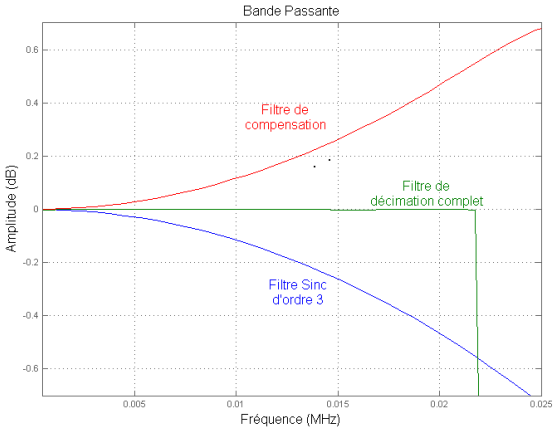


Fig. 4.8. Réponse en fréquence du filtre FIR de compensation, du filtre sinus cardinal d'ordre 3 et enfin du filtre de décimation complet

Une fois les deux blocs, modulateur analogique et filtre de décimation, modélisés avec Matlab, il est possible d'étudier le comportement du convertisseur complet. La figure 4.9 montre le spectre à la sortie du convertisseur quand l'on utilise de nouveau un stimulus d'entrée sinusoïdal à 5.4 kHz avec 1.1 V_{DIFF} d'amplitude. Nous pouvons remarquer que le bruit de quantification présent dans la figure 4.4 a été éliminé par le filtre de décimation, fournissant une qualité de signal de 95.71 dB en termes de SINAD. Obtenue également par simulation, la figure 4.10 montre le SINAD à la sortie du convertisseur pour des différentes amplitudes d'entrée. Dans cette figure, 0 dBFS correspond à la pleine échelle (PE=1.4 V_{DIFF}) du convertisseur. Pour des amplitudes supérieures à cette valeur, la distorsion diminue notablement la qualité du signal. La résolution maximale du convertisseur ($SINAD_{MAX}$=96.24 dB) est obtenue pour une amplitude différentielle d'entrée de 1.3V. Le nombre effectif de bits (*Effective Number Of Bits*, ENOB) peut être en conséquence calculé comme :

$$Nombre\ Effectif\ de\ Bits\ (ENOB) = \frac{SINAD_{MAX} - 1.76\ dB}{6.02} = 15.76\ \ bits \qquad (4.8)$$

La dynamique du convertisseur (*Dynamic Range*, DR) est donc donnée par la différence entre l'amplitude maximale d'entrée (PE) et l'amplitude d'entrée qui donne un SINAD nul, c'est-à-dire, l'amplitude équivalente du bruit (ou plancher de bruit) du convertisseur :

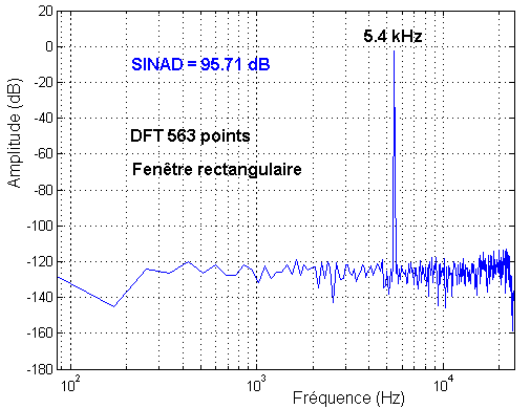


Fig. 4.9. Spectre à la sortie du convertisseur avec un stimulus à 5.4 kHz et 1.1 V_{DIFF}

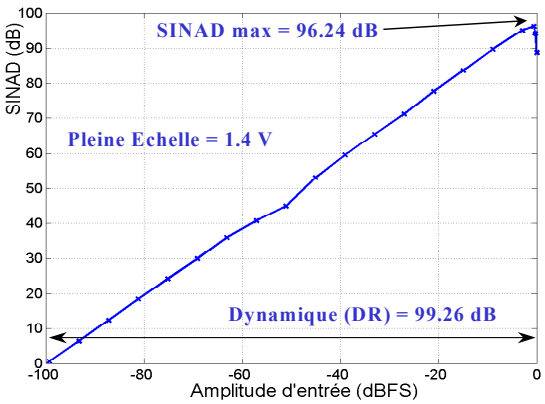


Fig. 4.10. SINAD du convertisseur en fonction de l'amplitude d'entrée

$$Dynamique\ maximale\,(DR) = 20 \cdot \log \frac{PE}{15.2\ uV} = 99.25\ dB \tag{4.9}$$

Comme nous le détaillerons plus tard, la surface de silicium nécessaire pour la réalisation du modulateur analogique est de 0.89 mm². La surface estimée pour le filtre de décimation numérique est de 0.5 mm² tandis que la surface minimale requise pour les plots est de 0.13 mm². La surface totale du convertisseur (avant l'intégration de la technique de BIST) est donc de 1.52 mm².

4.3. DESCRIPTION GENERALE DE LA TECHNIQUE DE BIST

La difficulté principale d'une technique de BIST pour des convertisseurs analogique/numérique de haute précision réside dans l'exigence de générer sur puce un stimulus analogique de très haute précision. Comme nous l'avons décrit dans les chapitres précédents, la précision des signaux analogiques générés avec des circuits de BIST reste très limitée aussi bien pour des signaux sinusoïdaux que pour des rampes. Dans notre cas, le test du convertisseur à 16 bits nécessite un stimulus avec une précision de 19-bit [Par03]. Pour générer un signal analogique d'une telle précision il faudrait concevoir un convertisseur numérique/analogique dont le design serait encore plus complexe que celui du circuit à tester.

L'utilisation de trains binaires qui codifient des signaux sinusoïdaux s'est montrée très efficace pour obtenir des stimuli de test de grande précision [Hau98] pour des bandes passantes réduites. Cependant, ces stimuli binaires ne peuvent pas être appliqués de manière générale aux circuits analogiques. Le *slew rate* du train binaire est souvent trop grand vu les spécifications du circuit [Dha06]. Une manière d'éviter ce problème est la réalisation d'un filtrage passe-bas du train binaire, mais le bruit et la distorsion générés par ce circuit vont réduire la qualité du stimulus [Haw96, Rol04]. D'ailleurs, nous avons besoin d'un CNA d'un bit pour la génération du train binaire. Même si un tel convertisseur est linéaire par nature (deux points définissent toujours une ligne droite), tout bruit généré par ce circuit sera couplé directement à la sortie du circuit.

En étudiant en détail l'architecture d'un convertisseur analogique/numérique ΣΔ, nous pouvons remarquer qu'il y a déjà un train binaire qui arrive du comparateur (sortie du modulateur) et qui est échantillonné à l'entrée du modulateur pour fermer la boucle de contre-réaction de la modulation ΣΔ. Il est par conséquent très logique de penser à injecter le stimulus binaire de la même manière. Dans notre technique de BIST, nous utiliserons donc un train binaire qui codifie un signal sinusoïdal avec une précision de 19 bits dans la bande passante audio. Ce stimulus binaire est généré et optimisé au préalable par simulation, de manière à être très facilement mémorisé sur puce et répété de manière périodique avec un registre à décalage.

La deuxième difficulté du BIST de CANs de haute précision est l'analyse de la réponse du test. Bien que la sortie du convertisseur soit numérique et en conséquence d'un traitement en théorie facile, les ressources numériques nécessaires pour l'analyse sont dans la pratique trop importantes. Nous cherchons donc une méthode d'analyse qui s'adapte à notre stimulus de test et qui ait un surcoût en surface réduit.

L'algorithme de régression sinusoïdale est une technique très efficace [IEEE94] pour calculer la précision ou SINAD d'un signal. Par contre, son intégration sur puce n'est pas adaptée pour deux raisons. Premièrement, nous devons calculer la phase de la réponse du test, ce qui implique de laborieux calculs trigonométriques. Deuxièmement, les valeurs d'un signal sinusoïdal numérique de référence de très haute résolution (19 bits à nouveau) doivent être calculées ou bien mémorisées sur puce pour l'intégration de l'algorithme [Ton93].

Si nous considérons l'architecture du convertisseur, nous pouvons trouver un moyen de générer un signal de référence de 19 bits en réutilisant les ressources existantes dans le convertisseur. En effet, si nous envoyons directement le train binaire qui nous sert de stimulus, au filtre de décimation numérique, nous pouvons récupérer à la sortie du filtre une suite binaire codant un signal sinusoïdal de très haute qualité pouvant être utilisée comme signal de référence pour la régression sinusoïdale. De plus, comme nous utilisons le même train binaire pour la génération du stimulus et pour la génération du signal de référence, les deux signaux sont synchronisés. Nous n'avons donc pas besoin de calculer la phase de la réponse pour appliquer l'algorithme de régression.

Avant d'entrer dans les détails, nous présentons sur la figure 4.11 l'architecture générale de la technique de BIST. Un signal de contrôle (*BISTMODE*) nous permet de passer du mode de fonctionnement normal au mode de BIST. Le stimulus binaire est mémorisé sur puce et répété de manière périodique. Un multiplexeur numérique choisit le signal qui arrive au filtre de décimation : la sortie du modulateur ΣΔ ou le stimulus binaire. Nous pouvons alors récupérer à la sortie du filtre la réponse du test et le signal de référence. Ces deux signaux sont synchronisés et en phase grâce au délai numérique z^{-2}, qui est exactement le même délai subi par le signal analogique dans le modulateur ΣΔ. Une mémoire est à priori nécessaire pour les enregistrer. Cependant, nous verrons plus tard qu'il est possible d'éviter cette mémoire si nous calculons en même temps les deux signaux. L'analyse de la réponse du test est effectuée par l'algorithme de régression sinusoïdale. Le bloc nécessaire pour la réalisation de cet algorithme est complètement numérique et travaille à très basses fréquences (la fréquence de sortie du convertisseur est de 48 kHz). Le SINAD, le gain et l'offset peuvent être donc calculés sur puce avec un surcoût en surface très limité.

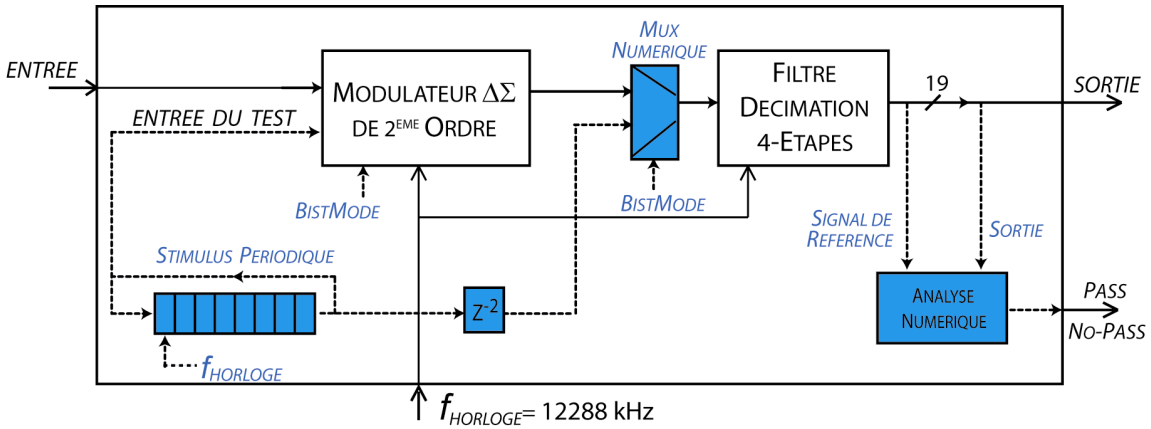


Fig. 4.11. Architecture générale de la technique de BIST

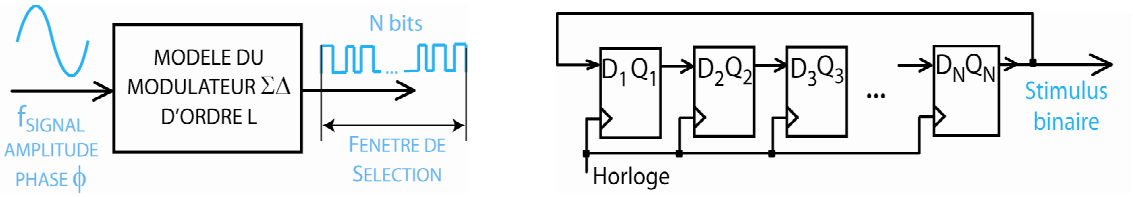
4.4. GENERATION D'UN STIMULUS BINAIRE DE HAUTE PRECISION

Comme nous l'avons déjà décrit dans l'état de l'art, des trains binaires de courte longueur et obtenus par modulation ΣΔ peuvent codifier avec une grande précision des signaux sinusoïdaux de bande passante réduite [Haw96, Duf97a, Duf97b]. Cela est particulièrement intéressant pour notre cas puisque les convertisseurs audio travaillent dans une bande de fréquences réduite (22.05 kHz) avec une fréquence d'horloge élevée. Nous allons donc nous servir de modulateurs ΣΔ modélisés avec Matlab pour codifier des signaux sinusoïdaux dans des trains binaires de longueur N (figure 4.12.a). Une fois que le train est engendré, il peut être

mémorisé dans un registre à décalage ou mémoire (figure 4.12.b), ce qui permet sa répétition périodique. Cette périodicité explique que le spectre du stimulus soit discret et composé des fréquences ou tons cohérents suivants :

$$f_{STIMULUS} = \frac{M}{N} \cdot f_{HORLOGE} \qquad avec\ M = 0,1,2,...,N \tag{4.10}$$

En prenant une seule valeur de M nous obtenons un stimulus codant un seul ton. Mais nous pouvons également générer un stimulus avec deux ou plus de tons (*dual-tone* où *multi-tone*) si



(a) *(b)*

Fig. 4.12 *(a) Génération et optimisation du stimulus binaire.*
(b) Répétition du train binaire avec un registre à décalage.

nous prenons en compte plusieurs valeurs pour M. Pour étudier la qualité de chaque train binaire, nous faisons une transformation discrète de Fourier (*Discrete Fourier Transform*, DFT) sur les N bits du train et nous calculons le rapport signal sur bruit (*Signal to Total Harmonic Distortion*, S/THD) dans la bande audio :

$$S/THD_{AUDIO} = 10 \cdot \log \frac{P_{SIGNAL}}{\sum_{22.05kHz} P_{HARMONICS}} \tag{4.11}$$

Le bruit de quantification au-dehors de la bande passante sera éliminé par le filtre de décimation du convertisseur. Toutefois, nous verrons plus tard que la présence de ce bruit de quantification rend nécessaire l'atténuation du stimulus lors de son injection à l'entrée du modulateur.

De manière générale, l'augmentation du nombre N de bits du train binaire ou bien de l'ordre du modulateur améliorent la qualité du stimulus. Comme nous allons l'expliquer par la suite, le choix de ces paramètres est très important pour l'application du BIST. Cependant, pour une longueur et un ordre déterminés, le rapport signal sur bruit n'est pas le même pour tous les trains binaires. Le rapport S/THD est extrêmement sensible à la phase du signal codé, à son amplitude ainsi qu'à la fenêtre de sélection de N bits [Duf99, Bou04]. Afin d'optimiser la qualité du stimulus, nous varions de manière aléatoire la phase et l'amplitude du signal d'entrée et nous balayons aussi les différentes positions de la fenêtre de sélection de manière à trouver les stimuli procurant le meilleur S/THD dans la bande audio.

4.4.1. Choix de la longueur du train binaire et de l'ordre du modulateur

La recherche des trains binaires qui peuvent être utilisés comme des stimuli pour les convertisseurs ΣΔ nous amène à faire un premier choix : le nombre de bits N du train binaire. Ce choix est réalisé de manière à satisfaire trois conditions. D'abord nous voulons avoir une précision de 19 bits (3 bits de plus que la précision du convertisseur [Par03]) dans la bande audio. En deuxième lieu, nous voulons avoir les quatre premiers composants fréquentiels (fondamental

et trois harmoniques) du stimulus dans la bande passante, afin de pouvoir détecter lors du test la distorsion harmonique créée par le convertisseur. Enfin, nous avons besoin de procéder à un échantillonnage cohérent [Mah87] afin de récupérer le maximum d'information. Si nous admettons que la fréquence de sortie du convertisseur (48 kHz) est égale à la fréquence de l'horloge divisée par le facteur de décimation (DEC=256) nous pouvons établir le rapport entre la fréquence du stimulus et la fréquence d'échantillonnage à la sortie :

$$\frac{f_{STIMULUS}}{f_{ECHANTILLONNAGE,\ SORTIE}} = \frac{f_{HORLOGE}/N}{f_{HORLOGE}/DEC} = \frac{256}{N} \tag{4.12}$$

Lorsque N et DEC ont des facteurs de division en commun, nous perdons la cohérence de l'échantillonnage. Si nous prenons par exemple N=1024, la fréquence d'échantillonnage du convertisseur est quatre fois la fréquence du stimulus ($f_{ECHANT\ ,SORTIE}=4\cdot f_{STIMLULUS}$) de sorte que, à la sortie du convertisseur, nous ne récupérons que quatre échantillons différents sur une période complète du signal sinusoïdal. En conséquence, avec un stimulus d'une telle longueur, trop d'information serait perdue lors du test.

Le deuxième choix auquel nous sommes amenés pour la génération des stimuli, est l'ordre du modulateur ΣΔ qui codifie les signaux de test. Ce modulateur ne doit pas être réalisé sur silicium mais seulement modélisé avec Matlab. C'est pour cette raison que nous pouvons utiliser un ordre assez élevé, sans avoir de problèmes de stabilité. Dans cette thèse, nous avons utilisé deux modulateurs différents : un premier modulateur de 2ème ordre identique à celui du convertisseur (figure 4.2), et un second modulateur de 3ème ordre dont la configuration est illustrée sur la figure 4.13.

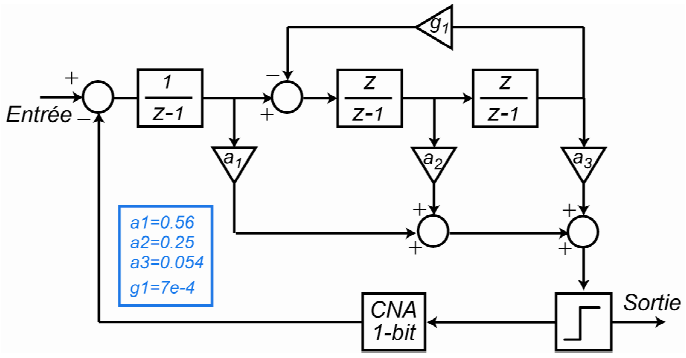


Fig. 4.13. Modulateur d'ordre 3 pour la génération des stimuli binaires

L'avantage d'utiliser un modulateur d'ordre 3 pour la génération des stimuli de test est que nous pouvons utiliser de trains binaires plus courts pour atteindre la même précision. Cependant, l'utilisation d'un modulateur d'ordre supérieur à 2 a un inconvénient : les trains binaires générés contiennent un bruit de quantification plus important sur les hautes fréquences, ce qui nous oblige à augmenter l'ordre du filtre sinus cardinal dans le filtre de décimation pour enlever complètement ce bruit de quantification. En conséquence, lorsque nous utilisons un modulateur d'ordre 3 pour la génération des stimuli nous devons effectuer trois modifications dans le filtre numérique. Premièrement, nous devons ajouter un quatrième intégrateur et différentiateur dans le filtre sinus cardinal. Deuxièmement, la longueur des chemins de ce filtre doit être augmentée de 21 à 25 bits pour éviter sa saturation. Et enfin, puisque le filtre sinus cardinal a changé, le filtre de compensation doit aussi être modifié. La configuration de ce filtre

de compensation reste la même, mais les valeurs des 6 coefficients sont légèrement différentes. Ces modifications dans le filtre de décimation représentent un surcoût du 5.5% de la surface total du filtre numérique.

La figure 4.14 montre la précision obtenue avec les deux modulateurs (ordre 2 et 3) pour différentes longueurs des stimuli binaires, en considérant que la bande audio inclut les quatre premiers harmoniques. D'après la figure 4.14, en utilisant un modulateur de 3ème ordre, nous pouvons générer un stimulus de 19-bit de précision (114 dB de S/THD) dans la bande audio avec une longueur plus petite que 2000 bits, ce qui n'est pas possible avec un modulateur de 2ème ordre.

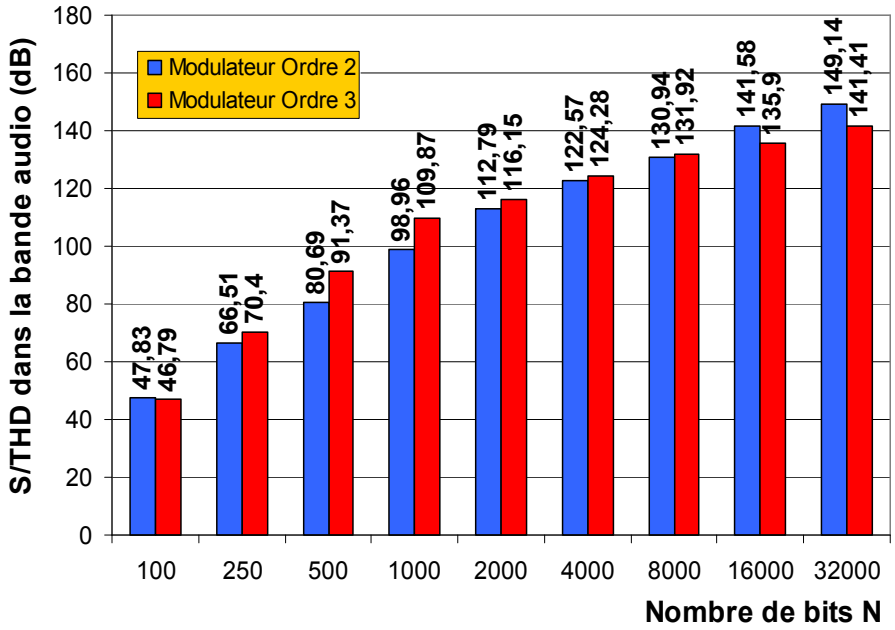
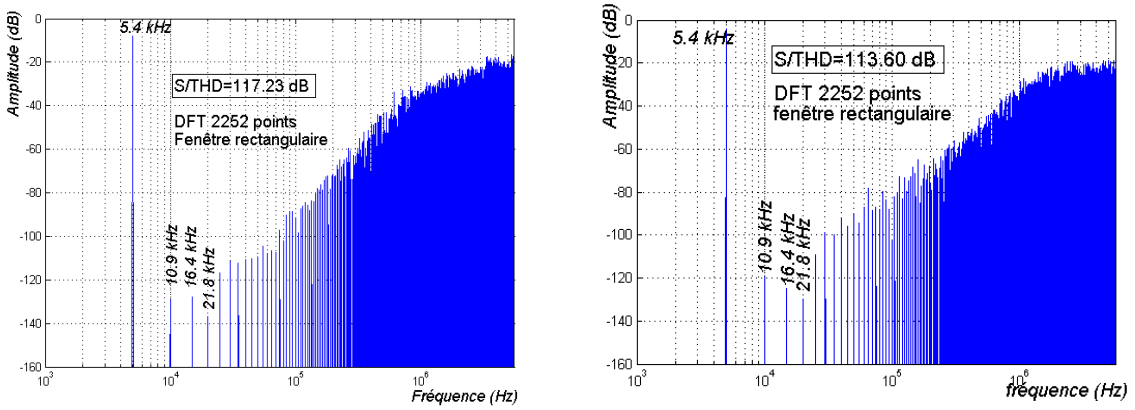


Fig. 4.14. S/THD obtenu dans la bande passante pour des différentes longueurs N de train binaire et pour des différents ordres de modulation ΣΔ (2 et 3).

C'est pourquoi nous avons décidé, dans un premier temps, de générer un train binaire de 1126 bits qui atteint une précision de 114.21 dB dans la bande audio avec un modulateur d'ordre 3. Afin d'avoir les quatre premiers harmoniques dans la bande passante du convertisseur, nous devons cadencer le registre à décalage, contenant le stimulus, à la moitié de la fréquence d'horloge. De cette manière, notre signal sinusoïdal de test a une fréquence de $f_{STIMULUS}=f_{HORLOGE}/2{\cdot}N$ =5456 Hz, avec les trois premiers harmoniques (10912 kHz, 16369 kHz et 21825 kHz) dans la bande audio. Pourtant, nous avons observé par simulation qu'avec un tel stimulus binaire, le modulateur est extrêmement sensible à l'offset en subissant une considérable dégradation des performances, ce qui n'est pas le cas quand nous utilisons un stimulus cadencé à la fréquence d'horloge.

Nous avons donc décidé d'employer un stimulus de double longueur. La figure 4.15.a montre le spectre d'un train binaire de 2252 bits généré par un modulateur d'ordre 3 avec une amplitude de signal d'entrée de 0.4 V. La précision obtenue dans la bande passante est supérieure aux 19 bits (117.23 dB de S/THD) et les trois premiers harmoniques se placent dans la bande audio. En utilisant le même nombre de bits et une amplitude de signal d'entrée de 0.6 V, un modulateur de 2ème ordre peut également engendrer un stimulus avec assez de précision (113.6 dB de S/THD) pour effectuer le test du convertisseur (figure 4.15.b). Dans les deux cas, la fréquence



(a) *(b)*

Fig. 4.15 Spectre de deux trains binaires de 2252 bits obtenus avec :
(a) un modulateur d'ordre 3 et une amplitude de signal d'entrée de 0.4 V, et
(b) un modulateur d'ordre 2 et une amplitude de signal d'entrée de 0.6 V

du signal sinusoïdal de test se situe à $f_{STIMULUS} = f_{HORLOGE}/N$ =5456 Hz et la qualité du signal de test dans la bande passante est calculée de nouveau par :

$$S/THD_{AUDIO} = 10 \cdot \log \frac{A^2_{5.4\,kHz}}{A^2_{10.9\,kHz} + A^2_{16.4\,kHz} + A^2_{21.8\,kHz}} \tag{4.13}$$

Cette longueur du train binaire (N=2252) nous permet aussi d'assurer un échantillonnage cohérent. En effet, si nous remplaçons la valeur de N sur l'équation (4.12) nous obtenons :

$$563 \cdot f_{STIMULUS} = 64 \cdot f_{ECHANTILLONAGE,\ SORTIE} \tag{4.14}$$

Cette équation nous indique que 563 échantillons de la sortie du convertisseur correspondent à 64 périodes du signal d'entrée du test. Nous récupérons donc l'information équivalente à 563 points différents d'une période du signal sinusoïdal de test. Cette information, comme nous le verrons plus tard, sera suffisante pour réaliser l'analyse de la réponse. Le temps de test nécessaire pour acquérir les 563 échantillons est de 12 ms. La surface d'une mémoire ROM nécessaire pour sauver un train binaire de 2252 bits est estimée à 0.008 mm^2 dans une technologie CMOS 0.13 µm, c'est-à-dire, un 1.6 % de la surface du filtre numérique.

Les deux trains binaires présentés sur la figure 4.15 codifient un signal sinusoïdal dans la bande audio obtenu avec des ordres de modulation différents. Nous allons maintenant présenter des trains binaires qui codifient plusieurs signaux sinusoïdaux (*multi-tone*).

4.4.2. Signaux multifréquences

En utilisant la même stratégie que pour la génération des stimuli codifiant un signal sinusoïdal, nous pouvons engendrer des stimuli avec deux ou plusieurs tons et une précision de 19 bits dans la bande audio. Les figures 4.16.a et 4.16.b montrent le spectre des trains binaires qui contiennent deux signaux sinusoïdaux dont les fréquences sont fixées par l'équation (4.10) avec M=1 et 2. Bien évidemment, nous pouvons aussi prendre d'autres valeurs de M. C'est le cas du stimulus présenté sur la figure 4.16.c, où les tons cohérents sont déterminés avec une valeur de M=3 et 4. Un stimulus contenant quatre tons est illustré sur la figure 4.16.d. Tous ces stimuli ont été générés avec un modulateur d'ordre 3, mais il est aussi possible de générer des stimuli multifréquence de grande qualité dans la bande audio avec un modulateur de 2ème ordre.

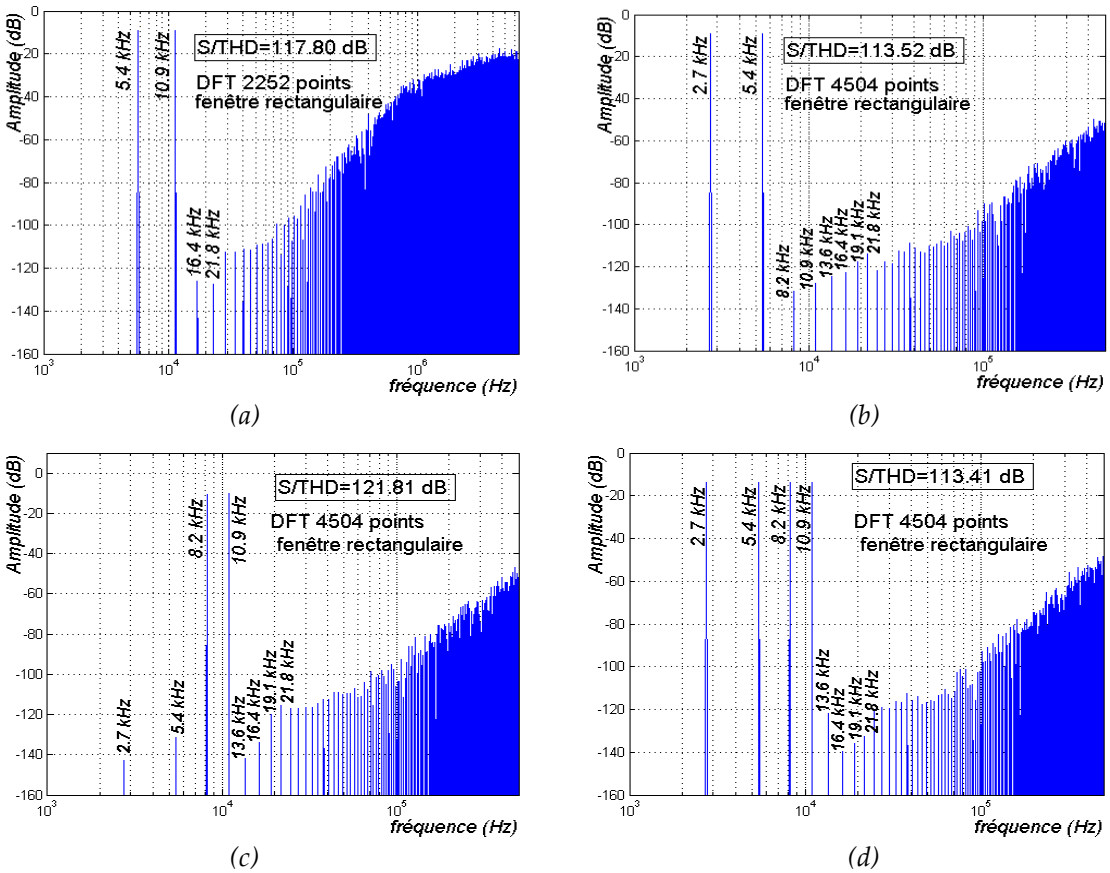


Fig. 4.16 Spectre des stimuli dual et multifréquence générés avec un modulateur d'ordre 3

L'analyse de la réponse du test avec des stimuli multifréquence est réalisée de la même manière qu'avec les signaux mono-fréquences. Dans un premier temps, nous allons réutiliser le filtre de décimation numérique du convertisseur pour générer un signal de référence multifréquence de haute précision. Ensuite, nous nous servirons de ce signal de référence pour réaliser une régression sinusoïdale de la réponse du test.

Le nombre d'échantillons dont nous avons besoin pour l'analyse est le même, c'est-à-dire, 563 points. En effet, si nous prenons l'exemple de la figure 4.16.a, nous remarquons que 563 échantillons de la sortie du convertisseur contiennent 64 et 32 périodes complètes des signaux à respectivement 5.4 kHz et 10.9 kHz. Dans le cas du stimulus de 4504 bits illustré sur la figure 4.16.b, 563 points de sortie représentent 128 et 64 périodes complètes des signaux à respectivement 2.7 kHz et 5.4 kHz. La cohérence du test est en conséquence assurée et la technique de BIST est compatible avec l'utilisation des signaux de test multifréquence, ce qui nous permettra de faire des tests d'intermodulation (IM).

4.4.3. Injection du stimulus

Jusqu'à présent, nous avons considéré le stimulus comme un train numérique représenté par des 0s et des 1. Par contre, ce train binaire doit être injecté sur l'entrée du modulateur comme un signal analogique. Dans la configuration d'un modulateur en temps discret, cette injection peut être réalisée de manière très simple. Nous avons déjà dit auparavant que dans l'architecture d'un modulateur **ΣΔ**, le train binaire obtenu à sa sortie est réinjecté sur l'entrée pour compléter le

contre-réaction propre à la modulation ΣΔ. Nous allons injecter notre stimulus de la même manière.

La figure 4.17. montre l'étage d'entrée de notre modulateur. Dans le prochain chapitre, nous étudierons le design de ce circuit en détail, mais nous pouvons déjà examiner les trois chemins différents qui le composent. Le chemin d'entrée, par lequel le signal audio différentiel arrive au convertisseur, et le chemin de contre-réaction, par lequel le train binaire de sortie est échantillonné, sont tous les deux présents avant d'incorporer la technique de BIST. Un nouveau chemin est ajouté pour injecter le stimulus du test. Un signal numérique de control (*BISTMODE*) nous permet de choisir comme signal d'entrée ou bien le signal audio ou bien le stimulus binaire. Dans le mode de *BIST*, le stimulus va être échantillonné par la capacité C_1, qui échantillonne aussi le signal audio dans le mode *NORMAL*. Nous n'avons donc pas besoin de rajouter de nouvelles capacités, ce qui produirait une augmentation du bruit thermique mais aussi un surcoût en surface analogique [Ong03b]. Cependant, nous devons atténuer le stimulus de 12 dB afin d'éviter la saturation des intégrateurs du modulateur durant le BIST [Ong04]. C'est pourquoi nous avons besoin de deux nouvelles tensions de références (±VREF /*AT*). Dans notre design, nous allons réutiliser le circuit générateur (*bandgap)* des tensions de référence ±VREF pour générer ces deux nouveaux voltages. Le surcoût est, en conséquence, drastiquement réduit. Nous verrons dans le chapitre 5 que le surcoût du BIST dans les blocs analogiques ne représente que 2.3% de la surface total du CAN.

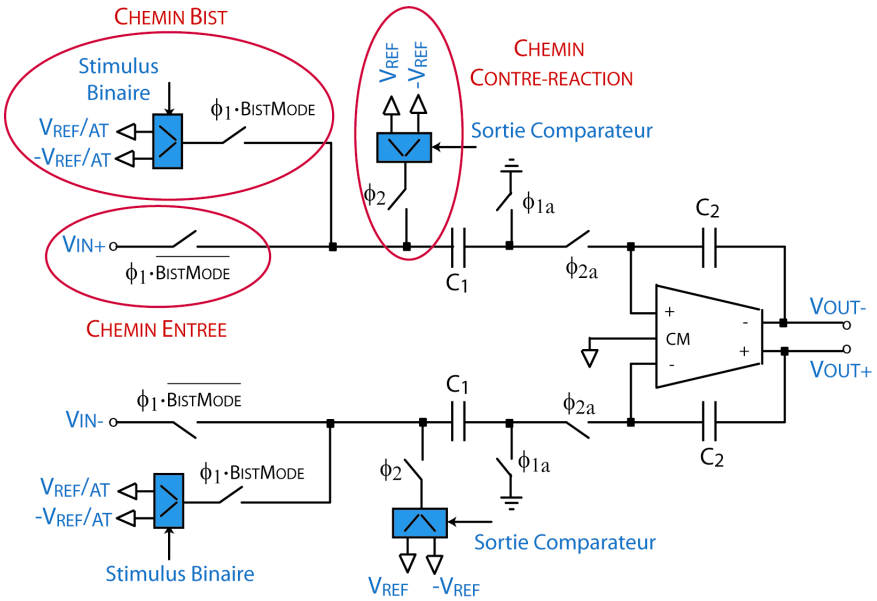


Fig. 4.17. Injection du stimulus sur l'entrée du modulateur analogique

4.5. ANALYSE DE LA REPONSE PAR REGRESSION SINUSOÏDALE

Pour analyser la réponse du CAN, nous devons procéder en deux étapes. D'abord, nous devons générer un signal de référence numérique synchronisé avec la sortie du CAN. Ensuite, nous utilisons ce signal de référence pour réaliser une régression sinusoïdale de la réponse qui nous permet de calculer l'offset, le gain et le rapport signal sur bruit avec distorsion (SINAD) du convertisseur. Nous nous sommes notamment intéressés à cette dernière spécification, le SINAD, parce qu'il nous indique la précision du convertisseur.

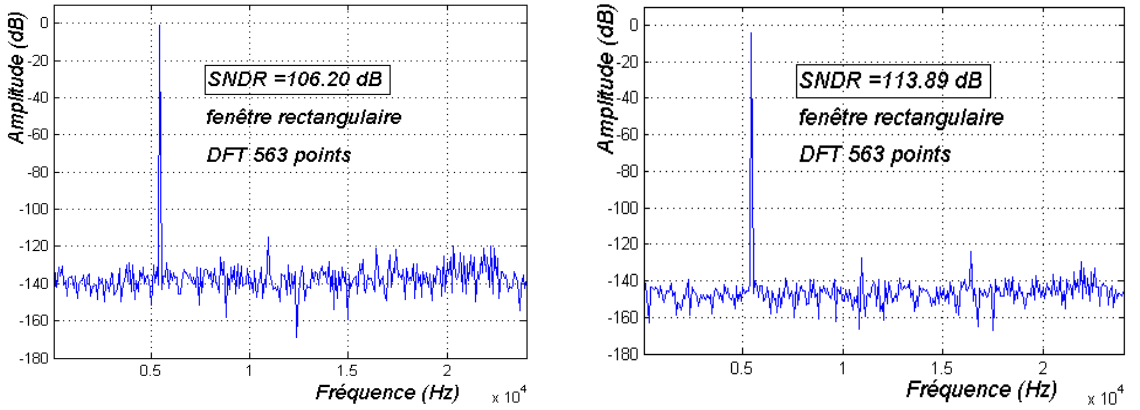
Selon les ressources disponibles dans le convertisseur et en conséquence l'architecture du BIST, nous verrons plus tard que ces deux signaux, signal de référence et réponse, peuvent être

obtenus en même temps ou un après l'autre. Toutefois, la méthode de calcul reste la même dans les deux cas.

4.5.1. Signal de référence de haute précision

La présence d'un filtre de décimation numérique dans les convertisseurs A/N Sigma-Delta nous permet de générer sur puce des signaux sinusoïdaux numériques de grande précision. Pour cela, il nous suffit d'envoyer à l'entrée du filtre un train binaire codifiant un signal sinusoïdal dans la bande audio. Le bruit de quantification contenu dans les hautes fréquences va être éliminé par le filtre. Le signal récupéré à la sortie du filtre aura par conséquent une haute précision et pourra être utilisé dans notre cas comme signal de référence. Pour assurer la cohérence de l'échantillonnage, nous récupérons 563 points du signal de référence, le même nombre d'échantillons que nous prenons à la sortie du test.

La figure 4.18.a illustre le signal de référence que nous obtenons à la sortie du filtre de décimation lorsque nous envoyons à l'entrée le même stimulus que celui proposé figure 4.15.b, c'est-à-dire, un stimulus monofréquence de 2252 bits généré par un modulateur d'ordre 2. Dans ce cas, ce signal est obtenu sans aucun surcoût en surface, puisque nous ne faisons aucune modification sur le filtre de décimation. La qualité aboutie n'arrive pas aux 19 bits de précision (106.20 dB en termes de SINAD), puisque nous sommes limités par la précision du filtre de décimation. Pour atteindre des précisions plus grandes, nous sommes obligés de modifier le filtre numérique. Ainsi, nous pouvons obtenir des signaux de référence de 19 bits de précision si nous agrandissons le chemin des trois derniers étages du filtre de décimation (figure 4.5) de 21 à 23 bits. Cela implique un surcoût en surface de 8.6%, qui ajouté au 5.5% nécessaire pour augmenter l'ordre du premier étage (filtre sinus cardinal) font un total de 14.1% de surcoût en surface numérique. La figure 4.18.b reproduit le spectre du signal de référence obtenu avec un stimulus d'ordre 3 (celui présenté figure 4.15.a) et la taille des chemins du filtre ayant été augmentée. La précision aboutie est de 19 bits (113.89 dB de SINAD).



(a) *(b)*

Fig. 4.18 Spectre du signal de référence obtenu à partir d'un train binaire de 2252 bits :
(a) d'ordre 2 et sans aucune modification sur le filtre numérique
(b) d'ordre 3 et avec des modifications sur le filtre numérique

Avec la même procédure, il est également possible d'engendrer des signaux numériques multifréquences de haute précision qui peuvent être utilisés pour réaliser une régression sinusoïdale de la sortie du test lorsque le stimulus est *multitone*. La figure 4.19 montre le spectre du

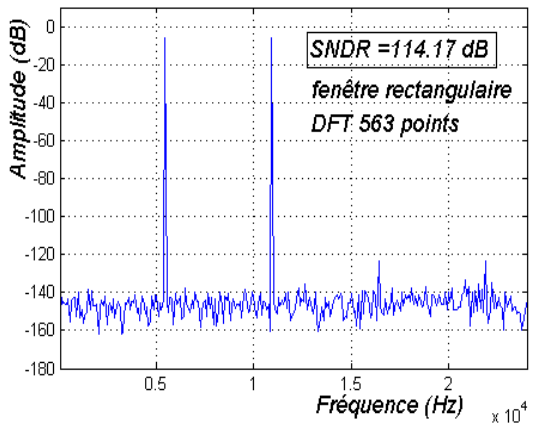


Fig. 4.19 Spectre du signal de référence multifréquence obtenu à partir d'un train binaire de 2252 bits d'ordre 3 et avec des modifications sur le filtre numérique

signal de référence de 563 points obtenu avec le stimulus proposé figure 4.16.a. La qualité du signal, en considérant de nouveau les modifications sur le filtre, est de 19 bits. Les trois signaux de références décrits ici, ainsi que ses correspondants stimuli binaires, seront employés pour valider la technique de BIST.

4.5.2. Calcul de l'offset, de l'amplitude et du rapport signal sur bruit avec distorsion (SINAD)

L'analyse de la réponse du CAN est effectuée grâce à l'algorithme de la régression sinusoïdale (*sine-wave fitting algorithm*) [IEEE94, IEEE00]. La réalisation de cet algorithme sur puce s'avère à priori compliquée puisque nous avons besoin d'un signal de référence de haute précision et que nous devons aussi calculer la phase de la réponse. Cependant, le fait que nous générons un signal de référence complètement synchronisé avec la réponse (même fréquence et même phase) réduit énormément la complexité de l'analyse.

Dans un premier temps, nous calculons l'offset de la réponse du CAN :

$$DC = \frac{1}{563} \cdot \sum_{i=1}^{563} S_{SORTIE}[i] \tag{4.15}$$

Ensuite, nous réalisons la corrélation des deux signaux point par point :

$$Correl = \sum_{i=1}^{563} S_{SORTIE}[i] \cdot S_{REFERENCE}[i] \tag{4.16}$$

Dans le cas d'un signal composé d'un seul ton, la corrélation est directement proportionnelle à l'amplitude du signal sinusoïdal :

$$Amp \cong \frac{2}{563 \cdot Amp_{REF}} Correl \tag{4.17}$$

L'amplitude de référence est une constante qui est connue à priori. Nous pouvons donc calculer de manière très simple l'amplitude et en conséquence, le gain du circuit. Une fois que nous connaissons l'amplitude et l'offset du signal de réponse, nous pouvons adapter le signal de référence pour s'ajuster le mieux possible à la réponse du test :

$$S_{REF,AJUSTE}[i] = Amp \cdot \frac{1}{Amp_{REF}} \cdot S_{REF}[i] + DC \tag{4.18}$$

Finalement, nous comparons point par point les deux signaux (réponse et référence ajusté) pour obtenir la puissance totale du bruit et la distorsion contenues dans le signal :

$$P_{ERREUR} \cong \frac{\sum_{i=1}^{563}\left(S_{SORTIE}[i] - S_{REF,\,AJUSTE}[i]\right)^2}{563} \tag{4.19}$$

Dans le cas d'un signal multifréquence, la situation n'est pas la même. Nous pouvons calculer la valeur *DC* avec le même calcul que celui présenté à l'équation (4.15). Pourtant, la signification physique de la corrélation est différente. Si nous considérons le cas d'un signal avec deux fréquences fondamentales :

$$\begin{aligned} Correl_{DUAL\,TONE} &= \sum_{i=1}^{563} S_{SORTIE}[i] \cdot S_{REFERENCE}[i] = \\ &= \sum_{i=1}^{563} k \cdot \left(A_1 \cdot \sin(2i\pi f_1) + A_2 \cdot \sin(2i\pi f_2)\right) \cdot \left(A_1 \cdot \sin(2i\pi f_1) + A_2 \cdot \sin(2i\pi f_2)\right) = \\ &= k \cdot 563 \cdot \frac{A_1^2 + A_2^2}{2} \end{aligned} \tag{4.20}$$

où A_1 et A_2 sont les amplitudes des signaux contenus dans le signal de référence. Les amplitudes des deux tons de la sortie du test ($k \cdot A_1$ et $k \cdot A_2$) subissent la même variation puisque la fonction de transfert du signal (*STF*) du modulateur est un simple délai (équation 4.1). Une seule constante k définit par conséquent l'amplitude des signaux dans la réponse du CAN :

$$k = \frac{2 \cdot Correl_{DUAL\,TONE}}{563 \cdot (A_1^2 + A_2^2)} \tag{4.21}$$

$(A_1^2 + A_2^2)$ est une constante connue à priori. Une fois que nous connaissons k, nous pouvons effectuer l'ajustement du signal de référence pour accomplir la régression :

$$S_{REF,AJUSTE,DUAL\ TONE}[i] = k \cdot S_{REF}[i] + DC \tag{4.22}$$

Le calcul de la puissance du bruit et de la distorsion peut être réalisé de nouveau selon l'équation (4.19). Toutes les valeurs constantes des équations (4.15 - 4.22) peuvent être calculées au préalable et réalisées sur puce comme des simples coefficients. Dans nos simulations, afin de valider la technique de BIST, nous avons calculé le rapport en dB entre la puissance du signal et la puissance du bruit pour obtenir le SINAD :

$$SINAD = 10 \cdot \log \frac{Amp^2 / 2}{P_{ERREUR}} \tag{4.23}$$

$$SINAD_{DUAL\,TONE} = 10 \cdot \log \frac{(A_1^2 + A_2^2) / 2}{P_{ERREUR}} \tag{4.24}$$

Dans une solution complètement intégrée sur silicium, la puissance du signal et du bruit seraient comparées avec des signatures numériques pour valider que les deux valeurs sont dans les limites. Pour accomplir toutes ces opérations, nous avons besoin d'un additionneur et d'un

multiplicateur de 25 bits. En prenant en compte que ces calculs peuvent être effectués a très basse vitesse (la sortie du convertisseur est cadencée à 48 kHz), les ressources numériques nécessaires pour l'analyse sont estimées à 10% de la surface totale du filtre numérique.

4.6. ARCHITECTURE DE LA TECHNIQUE DE BIST

4.6.1. Avec mémoire disponible dans le circuit

La figure 4.20 illustre l'architecture de la technique lorsqu'une mémoire est disponible dans le circuit intégré. Dans un premier temps, le stimulus numérique est envoyé directement au filtre numérique pour générer le signal de référence qui est mémorisé dans une mémoire de 563x19 bits (10697 bits). Ensuite, le train binaire est envoyé à l'entrée du modulateur et la réponse du test est récupérée dans une autre mémoire de taille identique. Une fois que les deux signaux sont enregistrés, la régression sinusoïdale peut être effectuée de manière très simple. La durée de temps nécessaire pour récupérer chacun des deux signaux est de 15 ms (12 ms d'écriture en mémoire plus 3 ms initiaux de temps de stabilisation du modulateur). En considérant comme négligeable le temps nécessaire pour réaliser la régression sinusoïdale, le temps total du test est de 30 ms.

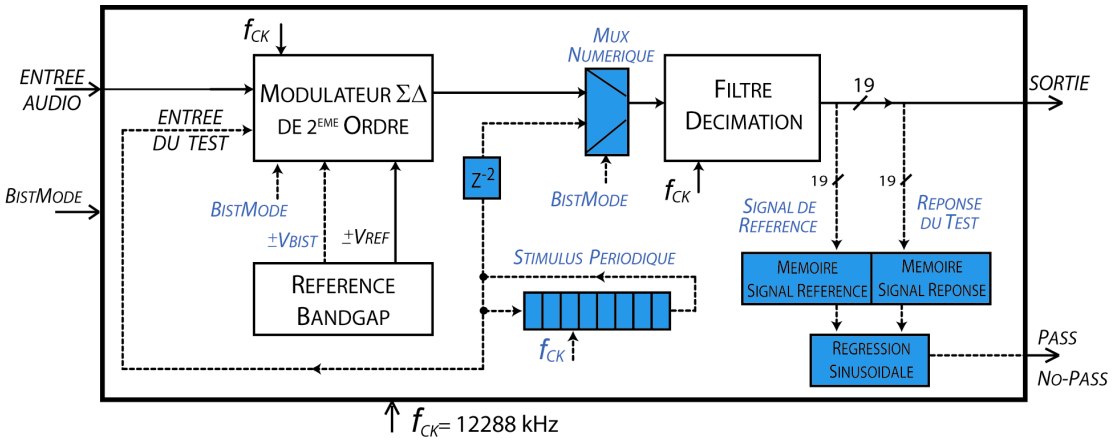


Fig. 4.20. Architecture de la technique de BIST avec une mémoire disponible sur la puce

S'il n'y a pas de mémoire intégrée sur le circuit, nous pouvons utiliser une mémoire spécifique pour le BIST, mais cela entraîne une grande augmentation de la surface. Ainsi, une mémoire RAM de 10697x2 bits en technologie CMOS 0.13µm prend une surface estimée de 0.324 mm^2, c'est-à-dire 66.4% de la surface des blocs numériques du convertisseur.

4.6.2. Sans mémoire disponible dans le circuit

Une alternative pour éviter l'emploi d'une mémoire est l'utilisation du filtre pour calculer les deux signaux en même temps. En effet, si nous doublons la fréquence d'horloge et si nous dupliquons chacun des registres internes du filtre, nous pouvons multiplexer et calculer simultanément le signal de référence et la réponse du test (*time-division multiplexed-signal* [Lu94b]). Ces modifications appliquées au premier étage du filtre de décimation sont présentées figure 4.21. L'architecture globale du BIST lorsque nous appliquons cette méthodologie est décrite sur la figure 4.22. Dans ce cas, nous calculons dans un premier temps les valeurs d'offset et d'amplitude de la réponse du CAN (15 ms). Ensuite, nous adaptons le signal de référence pour procéder avec

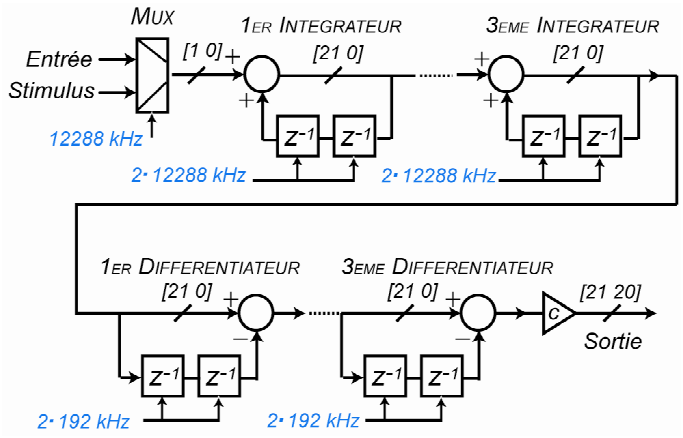


Fig. 4.21. Premier étage du filtre de décimation avec deux signaux multiplexés

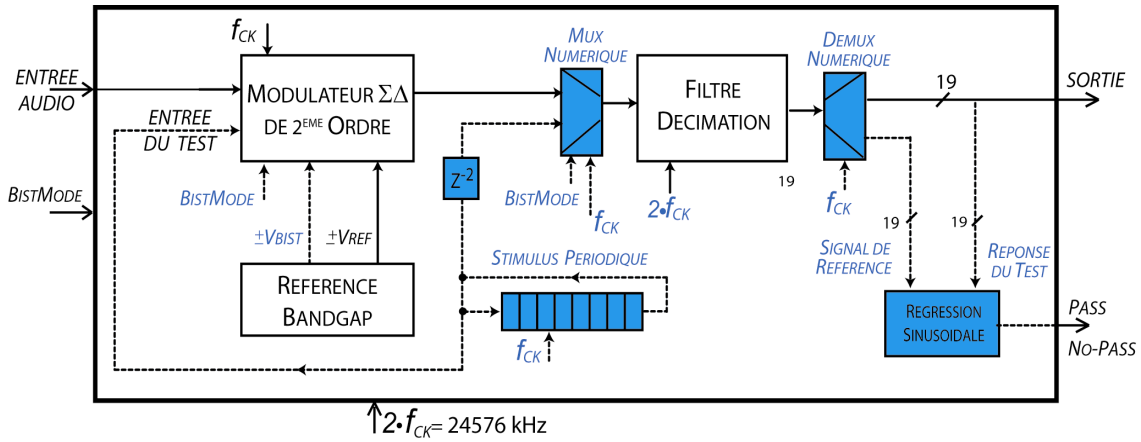


Fig. 4.22. Architecture de la technique de BIST sans mémoire et avec des signaux multiplexés

la régression sinusoïdale et calculer le bruit contenu dans la réponse (15 ms). Le temps total de test est en conséquence identique. Cependant, cette solution se montre gourmande en surface, avec les registres qui ont doublé de taille, une grande quantité de multiplexeurs ajoutés et par conséquent, une logique de contrôle plus complexe. Le surcoût en surface, estimé supérieur à 80%, et la nécessité d'une horloge plus rapide et donc plus bruyante, font que cette architecture est moins intéressante que l'utilisation d'une mémoire.

4.6.3. Le cas des convertisseurs stéréo

L'idée de calculer en même temps le signal de référence et la réponse du test reste néanmoins très intéressante. Dans le cas des convertisseurs stéréo, au lieu d'utiliser un seul filtre numérique pour calculer les deux signaux comme décrit auparavant, nous pouvons penser à utiliser les deux filtres identiques déjà présents dans le circuit. L'architecture du BIST pour les convertisseurs stéréo est proposée figure 4.23. Ainsi, afin de réaliser le test du convertisseur du canal droit, nous utilisons le filtre numérique du canal gauche pour engendrer le signal de référence. Grâce à ce signal, nous effectuons la régression sinusoïdale de la réponse du test du canal droit. Le surcoût en surface pour les convertisseurs stéréo est en conséquence énormément réduit. Le temps de test reste aussi court que dans les autres cas (30 ms).

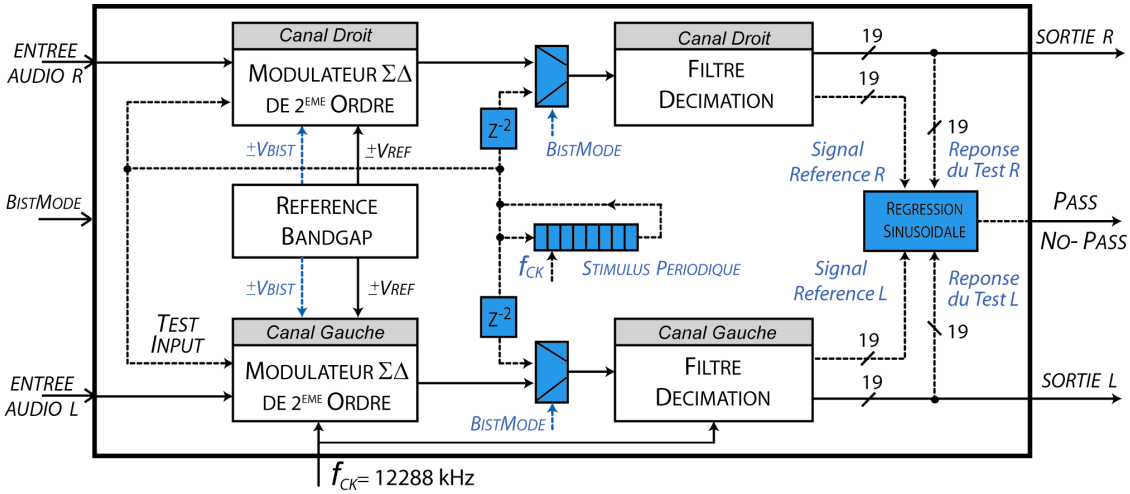


Fig. 4.23. Architecture de la technique de BIST dans les convertisseurs stéréo

4.7. VALIDATION DE LA TECHNIQUE DE BIST

Afin de valider par simulation cette nouvelle technique de BIST, nous allons introduire des non-idéalités dans le modèle du modulateur analogique. L'injection de ces fautes va dégrader les performances du convertisseur, produisant notamment une réduction du SINAD. Pour être valable, notre technique de BIST doit mesurer avec précision la valeur du SINAD dans le cas idéal (absence de fautes) mais aussi détecter la dégradation du SINAD en présence de non-idéalités.

Même si l'algorithme de la régression sinusoïdale permet de calculer d'autres paramètres tels que l'offset et le gain, nous nous sommes concentrés sur le calcul du SINAD. Nous avons choisi cette valeur parce qu'elle définit la résolution du convertisseur et est donc l'une des spécifications les plus importantes à tester dans un convertisseur audio. Nous avons également remarqué de manière expérimentale, pour le cas d'un amplificateur opérationnel, que ce paramètre procure une couverture de fautes excellente aussi bien pour les fautes catastrophiques que pour les fautes paramétriques. L'étude complète peut être consultée en [Bou06a].

4.7.1. Injection de non-idéalités dans le modèle du modulateur analogique

Sur le modèle du modulateur analogique (Figure 4.3), nous avons injecté plusieurs types de fautes : du bruit, des facteurs de pertes, des non-linéarités des capacités d'échantillonnage et d'intégration, et de la saturation du voltage à la sortie de l'intégrateur (Tableaux 4.1, 4.2 et 4.3) [Mal03]. Tous ces modèles de fautes ont été introduits uniquement sur le premier intégrateur, puisque les non-idéalités dans le deuxième étage sont fortement atténuées grâce à la mise en forme du bruit dans le modulateur.

Dans le cas du modulateur sans faute, les valeurs de bruit sont celles attendues par design : bruit KTC (41.1 pV² correspondant à 2 pF), bruit thermique (7.07 μV_{RMS}) et bruit basses fréquences de l'amplificateur opérationnel (9.39 μV_{RMS}), et bruit de la référence de tension (3.48 μV_{RMS}). Le facteur de pertes de l'intégrateur a également une valeur idéale (L_{LK}=1), le voltage de saturation de l'intégrateur est égal à ±1.65V et les capacités sont complètement linéaires (α_2, α_3, β_2, β_3=0).

Dans les cas où des non-idéalités ont été injectées, une des sources de bruit est plus grande que prévue, L_{LK} est plus petit que l'unité, l'intégrateur sature à ±1.50 ou ±1.25V à la place

de ±1.65V ou bien les coefficients de non-linéarités des capacités ne sont pas nuls. Ces coefficients sont définis par les équations 4.25 et 4.26 :

$$V_{CAP,ECHANT} = V_{ECHANT} + \alpha_2 \cdot V_{ECHANT}^2 + \alpha_3 \cdot V_{ECHANT}^3 \quad (4.25)$$

$$V_{CAP,INTEG} = V_{INTEG} + \beta_2 \cdot V_{INTEG}^2 + \beta_3 \cdot V_{INTEG}^3 \quad (4.26)$$

4.7.2. Résultats de simulation

Nous allons présenter les résultats obtenus pour trois cas différents. Dans le premier cas, le stimulus binaire de test est engendré avec un modulateur d'ordre 3 (figure 4.15.a) et le filtre numérique de décimation est modifié (avec un filtre sinus cardinal du 4ème ordre et une taille plus grande des chemins de données). Dans le deuxième cas, le stimulus est généré avec un modulateur d'ordre 2 (figure 4.15.b). Ainsi le filtre de décimation ne nécessite aucune modification. Dans le dernier cas, le stimulus est engendré de nouveau avec un modulateur d'ordre 3, mais cette fois le stimulus codifie un signal multifréquence (figure 4.16.a).

Stimulus généré par un modulateur ΣΔ du 3ème ordre

Les résultats présentés dans le tableau 4.1 sont obtenus en utilisant un stimulus binaire d'ordre 3. Nous avons en particulier utilisé le train binaire de 2252 points dont le spectre avait été présenté sur la figure 4.15.a. Afin d'obtenir un signal de référence avec 19 bits de précision (figure 4.18.b), nous avons augmenté l'ordre du filtre sinus cardinal et augmenté la taille des chemins de données du filtre numérique, tel que nous l'avons expliqué antérieurement. Les valeurs du

(dB) **Non-Idealitées du ΣΔ Modulateur**	**SINAD** ***(-0.6 dBFS)*** **[A]**	**SINAD** ***(-12.6 dBFS)*** **[B]**	**SINAD** ***BIST*** **[C]**	**Erreur du BIST [C]-[A]**	**Erreur du BIST [C]-[B]**
Modulateur sans faute	96.66	98.68	98.07	1.41	-0.61
Bruit KTC (C=1pF)	96.03	97.42	96.85	0.82	-0.57
Bruit KTC (C=0.5pF)	94.76	95.89	95.47	0.71	-0.42
Bruit KTC (C=0.1pF)	90.44	90.62	90.67	0.23	0.05
Bruit KTC (C=0.05pF)	87.74	87.88	87.98	0.24	0.10
Bruit KTC (C=0.01pF)	81.12	81.19	81.30	0.18	0.11
Bruit thermique de l'opamp ($10\mu V_{rms}$)	96.11	97.01	96.96	0.85	-0.05
Bruit thermique de l'opamp ($100\mu V_{rms}$)	80.40	80.39	80.49	0.09	0.10
$Bruit_{OPAMP}$ basses fréquences ($20\mu V_{rms}$)	95.20	96.03	96.25	1.05	0.22
$Bruit_{OPAMP}$ basses fréquences ($200\mu V_{rms}$)	79.13	79.11	79.19	0.06	0.08
Bruit voltage de référence ($50\mu V_{rms}$)	94.43	95.23	95.02	0.59	-0.21
Bruit voltage de référence ($500\mu V_{rms}$)	77.36	77.32	77.39	0.03	0.07
Perte du 1ème intégrateur (L_{LK}=0.995)	96.19	98.34	96.53	0.34	-1.81
Perte du 1ème intégrateur (L_{LK}=0.99)	94.20	97.57	93.49	-0.71	-4.08
Perte du 1ème intégrateur (L_{LK}=0.98)	91.23	94.98	88.63	-2.60	-6.35
Perte du 1ème intégrateur (L_{LK}=0.95)	85.72	88.18	81.66	-4.06	-6.52
$C_{INTEGRATEUR}$ non-linéaire (β_2=-0.02%)	72.00	92.57	90.65	18.65	-1.92
$C_{INTEGRATEUR}$ non-linéaire (β_2=-0.002%)	90.78	98.43	97.70	6.92	-0.73
$C_{INTEGRATEUR}$ non-linéaire (β_3=-0.04%)	70.53	92.77	86.98	16.45	-5.79
$C_{INTEGRATEUR}$ non-linéaire (β_3=-0.004%)	91.28	98.73	97.69	6.41	-1.04
$C_{ECHANTILLONAGE}$ non-linéaire (α_2=-0.02%)	77.67	96.80	98.10	20.43	1.30
$C_{ECHANTILLONAGE}$ non-linéaire (α_3=-0.05%)	73.73	98.41	97.84	24.11	-0.57
V_{sat} (±1.50V à la place de ±1.65V)	72.34	98.44	98.04	26.06	-0.40
V_{sat} (±1.25V à la place de ±1.65V)	46.78	98.53	63.86	17.08	-34.67

Tableau 4.1 : Résultats de simulation pour un stimulus d'ordre 3

SINAD obtenues avec la technique de BIST (colonne 3), sont comparées avec les mesures réelles du SINAD obtenues avec un test industriel standard, c'est-à-dire, en utilisant un signal sinusoïdal pur comme stimuli de test et en calculant le SINAD selon les indications du standard de test [IEEE00]. Ainsi, la première colonne montre le SINAD obtenu avec un signal sinusoïdal dont l'amplitude est très proche de la pleine échelle (A_{DIFF}=1.3V, -0.6 dBFS). La deuxième colonne montre les résultats obtenus avec un test identique mais l'amplitude du signal sinusoïdale est cette fois atténuée par 12 dB (-12.6 dBFS), la même atténuation subie par le signal de test dans notre technique de BIST. Cette atténuation est corrigée sur le tableau en rajoutant 12 dB sur la 2ème et la 3ème colonne, comme c'est l'usage pour les *data-sheet* des convertisseurs audio, ce qui nous permet de comparer les différentes méthodes de test.

Si nous comparons le SINAD obtenu par la technique de BIST avec celui donné par le test avec un signal sinusoïdal à pleine échelle, nous observons que l'erreur de notre mesure (colonne 4) est très dépendante du type de faute injectée. La technique de BIST donne une estimation précise du SINAD pour les différentes sources de bruit. Pour toutes les fautes liées au bruit, l'erreur est toujours plus petite que 1 dB. Lorsqu'il n'y a pas de faute injectée dans le modulateur, l'erreur du BIST est de 1.4 dB. Cette erreur est causée par la quantification de notre signal de référence et par la diminution de la puissance de la distorsion dans le réponse du BIST, puisque nous utilisons un stimulus d'amplitude réduite.

La dégradation du SINAD provoquée par le facteur de pertes de l'intégrateur (L_{LK}<1) est aussi détectée par la technique de BIST. La mesure est très précise pour des facteurs de pertes proches de 1 (L_{LK}=0.995 et L_{LK}=0.99), avec des erreurs plus petites que 1 dB. Pour des facteurs de pertes plus grands (L_{LK}=0.98 et L_{LK}=0.95), l'erreur est plus grande (jusque 4.06 dB) puisque le SINAD mesuré lors du BIST subit une dégradation plus forte. Deux causes sont à l'origine de cette erreur. La première cause est la nature différente du test. Le stimulus binaire contient le bruit de quantification sur les hautes fréquences qui est modulé sur la bande passante quand le facteur de pertes se dégrade. La deuxième cause est le délai que le facteur des pertes introduit sur le signal analogique à travers le modulateur. Le signal de référence est synchronisé avec un signal qui éprouve un délai théorique de z^{-2}. De très petites variations du délai vont désynchroniser les deux signaux et introduire une erreur dans le calcul du SINAD. La technique de BIST est donc très sensible au facteur de pertes, ce qui permet de détecter de manière très efficace les dégradations de L_{LK}.

L'erreur de mesure est, par contre, importante lorsqu'il y a des non-linéarités dans le modulateur qui produisent de la distorsion. A cause de l'atténuation du stimulus, la capacité de la technique à détecter la distorsion reste limitée. Ainsi, de grandes non-linéarités dans les capacités d'intégration (β_2=-0.02 % et β_3=-0.04 %) sont détectées par le BIST mais avec une grande erreur de précision (>16dB). Quand les non-linéarités de ces capacités sont plus petites (β_2=-0.002 % et β_3=-0.004 %) elles ne sont pas du tout détectées. La situation est similaire lorsque des fautes de saturation sont injectées à la sortie de l'intégrateur. Pour de larges saturations (V_{SAT}=±1.25), le BIST détecte la distorsion mais avec une erreur considérable (17 dB). Pour des saturations petites (V_{SAT}=±1.50) la distorsion n'est pas détectée.

Finalement, cette technique de BIST a une dernière limitation. Les non-linéarités des capacités d'échantillonnage ne peuvent pas être détectées à cause de la nature du stimulus de test. Puisqu'un train binaire est composé de seulement deux voltages, les coefficients α_2 et α_3 vont respectivement provoquer une variation de l'offset et du gain, mais ils ne vont pas introduire de distorsion quand nous appliquons un train binaire à l'entrée.

Après la comparaison avec un test en pleine échelle, nous constatons donc que la technique de BIST mesure bien le bruit et a une excellente capacité pour détecter la détérioration du facteur de pertes. Néanmoins, la capacité de mesure de distorsion est réduite.

Si maintenant nous comparons le BIST à un test réalisé avec un signal sinusoïdal atténué à -12 dBFS (colonne 5), nous remarquons de nouveau la précision de la mesure du bruit (erreur toujours plus petite que 0.70 dB) et le pouvoir de détection des dégradations du facteur de pertes. Quant à la distorsion, aucun des deux tests ne détecte ni les faibles non-linéarités (β_2=-0.002 %, β_3=-0.004 % et V_{SAT}=±1.50) ni les distorsions causées par les capacités d'échantillonnage (α_2 et α_3). Par contre, les fortes distorsions (β_2=-0.02 %, β_3=-0.04 % et V_{SAT}=±1.25) sont mieux détectées par le BIST. En conséquence, nous pouvons considérer la technique de BIST comme un test équivalent à celui réalise avec un signal sinusoïdal de -12 dBFS mais doté d'une capacité supérieure pour détecter les distorsions et le facteur de pertes.

Stimulus généré par un modulateur ΣΔ du 2ème ordre

Le tableau 4.2 montre les résultats obtenus avec un stimulus binaire d'ordre 2 qui ne demande aucune modification du filtre numérique de décimation. Le spectre de ce train binaire et du signal de référence, obtenu grâce à la réutilisation du filtre, ont été illustrés, respectivement, figures 4.15.b et 4.18.a.

Les résultats ne différent pas beaucoup du cas précédent. En comparant la technique de BIST et le test en pleine échelle (colonne 4), nous notons encore une fois la précision de la mesure de bruit (erreur plus petite que 1.1 dB) et une grande sensibilité au facteur des pertes. La détection des distorsions reste également limitée. Toutefois, quand nous étudions la comparaison avec le signal de test atténué (colonne 5), nous constatons une augmentation de l'erreur dans la mesure du bruit (jusque 3 dB). Cet accroissement de l'erreur est plus accentué pour des niveaux faibles de bruit, c'est-à-dire, pour des valeurs de SINAD élevées. La cause de cette perte de

(dB) **Non-Idealitées du ΣΔ Modulateur**	**SINAD** ***(-0.6 dBFS)*** **[A]**	**SINAD** ***(-12.6 dBFS)*** **[B]**	**SINAD** ***BIST*** **[C]**	**Erreur du BIST [C]-[A]**	**Erreur du BIST [C]-[B]**
Modulateur sans faute	96.24	98.39	95.56	-0.68	-2.83
Bruit KTC (C=1pF)	95.85	97.30	95.04	-0.81	-2.26
Bruit KTC (C=0.5pF)	94.60	95.63	94.16	-0.44	-1.47
Bruit KTC (C=0.1pF)	90.38	90.49	90.05	-0.33	-0.44
Bruit KTC (C=0.05pF)	87.70	87.83	87.47	-0.23	-0.36
Bruit KTC (C=0.01pF)	81.10	81.18	81.15	0.05	-0.03
Bruit thermique de l'opamp ($10\mu V_{rms}$)	95.99	96.86	94.91	-1.08	-1.95
Bruit thermique de l'opamp ($100\mu V_{rms}$)	80.39	80.37	80.36	-0.03	-0.01
$Bruit_{OPAMP}$ basses fréquences ($20\mu V_{rms}$)	95.14	95.96	94.34	-0.80	-1.62
$Bruit_{OPAMP}$ basses fréquences ($200\mu V_{rms}$)	79.10	79.10	79.13	0.03	0.03
Bruit voltage de référence ($50\mu V_{rms}$)	94.24	95.09	93.43	-0.81	-1.66
Bruit voltage de référence ($500\mu V_{rms}$)	77.39	77.30	77.31	-0.08	0.01
Perte du 1ème intégrateur (L_{LK}=0.995)	95.95	98.06	94.61	-1.34	-3.45
Perte du 1ème intégrateur (L_{LK}=0.99)	94.01	97.31	92.19	-1.82	-5.12
Perte du 1ème intégrateur (L_{LK}=0.98)	91.08	94.69	88.38	-2.70	-6.31
Perte du 1ème intégrateur (L_{LK}=0.95)	85.59	88.09	81.53	-4.06	-6.56
$C_{INTEGRATEUR}$ non-linéaire (β_2=-0.02%)	72.00	92.51	90.82	18.82	-1.69
$C_{INTEGRATEUR}$ non-linéaire (β_2=-0.002%)	90.74	97.98	95.38	4.64	-2.60
$C_{INTEGRATEUR}$ non-linéaire (β_3=-0.04%)	70.54	92.70	89.01	18.47	-3.69
$C_{INTEGRATEUR}$ non-linéaire (β_3=-0.004%)	91.31	98.39	95.63	-4.32	-2.76
$C_{ECHANTILLONAGE}$ non-linéaire (α_2=-0.02%)	77.67	96.62	95.82	18.15	-0.80
$C_{ECHANTILLONAGE}$ non-linéaire (α_3=-0.05%)	73.72	98.13	95.58	21.86	-2.55
V_{sat} (±1.50V à la place de ±1.65V)	72.34	97.85	95.70	23.36	-2.15
V_{sat} (±1.25V à la place de ±1.65V)	46.78	98.15	77.32	30.54	-20.83

Tableau 4.2 : Résultats de simulation pour un stimulus d'ordre 2

(dB) **Non-Idealitées du ΣΔ Modulateur**	**SINAD** *(-3.6 dBFS)* **[A]**	**SINAD** *(-15.6 dBFS)* **[B]**	**SINAD** ***BIST*** **[C]**	**Erreur du BIST [C]-[A]**	**Erreur du BIST [C]-[B]**
Modulateur sans faute	97.50	98.22	97.76	0.26	-0.46
Bruit KTC (C=1pF)	96.57	97.38	96.79	0.22	-0.59
Bruit KTC (C=0.5pF)	95.37	95.78	95.52	0.15	-0.26
Bruit KTC (C=0.1pF)	90.46	90.55	90.58	0.12	0.03
Bruit KTC (C=0.05pF)	87.92	87.98	87.86	-0.06	-0.12
Bruit KTC (C=0.01pF)	81.18	81.19	81.16	-0.02	-0.03
Bruit thermique de l'opamp ($10\mu V_{rms}$)	96.47	96.98	96.72	0.25	-0.26
Bruit thermique de l'opamp ($100\mu V_{rms}$)	80.39	80.39	80.35	-0.04	-0.04
$Bruit_{OPAMP}$ basses fréquences ($20\mu V_{rms}$)	95.16	96.07	95.47	0.31	-0.50
$Bruit_{OPAMP}$ basses fréquences ($200\mu V_{rms}$)	79.13	79.14	79.10	-0.03	-0.04
Bruit voltage de référence ($50\mu V_{rms}$)	94.45	95.07	94.72	0.27	-0.35
Bruit voltage de référence ($500\mu V_{rms}$)	77.35	77.30	77.30	-0.05	0.00
Perte du $1^{ème}$ intégrateur (L_{LK}=0.995)	97.13	98.13	95.84	-1.29	-2.29
Perte du $1^{ème}$ intégrateur (L_{LK}=0.99)	96.57	97.00	92.56	-4.01	-4.46
Perte du $1^{ème}$ intégrateur (L_{LK}=0.98)	93.53	94.70	87.54	-5.99	-7.16
Perte du $1^{ème}$ intégrateur (L_{LK}=0.95)	87.14	89.48	80.46	-6.68	-9.02
$C_{INTEGRATEUR}$ non-linéaire (β_2=-0.02%)	76.95	94.25	92.55	15.60	-1.70
$C_{INTEGRATEUR}$ non-linéaire (β_2=-0.002%)	95.68	98.34	97.53	1.66	-0.81
$C_{INTEGRATEUR}$ non-linéaire (β_3=-0.04%)	76.42	94.33	90.81	14.39	-3.52
$C_{INTEGRATEUR}$ non-linéaire (β_3=-0.004%)	95.25	98.70	97.91	2.66	-0.79
$C_{ECHANTILLONAGE}$ non-linéaire (α_2=-0.02%)	82.93	97.92	97.81	14.88	-0.11
$C_{ECHANTILLONAGE}$ non-linéaire (α_3=-0.05%)	80.50	98.11	97.32	16.82	-0.79
V_{sat} (±1.50V à la place de ±1.65V)	79.69	98.10	97.75	18.06	-0.35
V_{sat} (±1.25V à la place de ±1.65V)	54.69	98.25	96.12	41.43	-2.13

Tableau 4.3 : Résultats de simulation pour un stimulus multifréquence

précision est la qualité limitée du signal de référence utilisé pour l'analyse. Puisque nous ne modifions pas le filtre de décimation, le signal de référence obtenu a une qualité limitée à 106 dB dans la bande audio, tandis que la précision de la référence atteint le 114 dB lorsque nous modifions le filtre. Nous avons donc un compromis entre la précision et le surcoût en surface du BIST.

Stimulus multifréquence

Finalement, le tableau 4.3 présente les résultats obtenus avec un stimulus qui codifie deux signaux sinusoïdaux. Concrètement, nous avons utilisé le train binaire illustré figure 4.16.a et le signal de référence décrit sur la figure 4.19. Puisque ce stimulus est engendré avec un modulateur d'ordre 3, nous avons modifié le filtre de décimation.

La première colonne du tableau 4.3 correspond à un test effectué avec deux signaux sinusoïdaux purs. Afin d'éviter la saturation du convertisseur, ces signaux ont chacun une amplitude de 0.65 V_{DIFF}, ce qui correspond à une réduction de 3 dB dans le SINAD par rapport à un test monofréquence en pleine échelle. Ces 3 dB d'atténuation ont été corrigés sur le tableau 4.3. La deuxième colonne montre le SINAD obtenu avec un signal multifréquence auquel nous appliquons la même atténuation que le stimulus du BIST (-15 dBFS). Nous pouvons de nouveau constater une très bonne précision pour la mesure du bruit, avec une erreur maximale du BIST de 0.6 dB pour tous les cas. Une fois de plus, le BIST est le mode de test qui a une meilleure sensibilité au facteur de pertes. La capacitée de mesure de distorsion est aussi limitée mais le BIST a une meilleure capacité de détection de distorsion que le test multifréquence atténué.

4.8. CONCLUSIONS

Nous avons présenté dans ce chapitre une nouvelle technique de BIST qui permet de mesurer le rapport signal sur bruit avec distorsion (SINAD) d'un convertisseur Analogique/Numérique Sigma-Delta pour des applications audio. Un train binaire qui codifie un signal analogique de très haute précision dans la bande audio est utilisé comme stimulus de test. Ce train binaire est généré et optimisé au préalable par des simulations grâce à des modulateurs Sigma-Delta modélisés avec Matlab. Le stimulus est directement injecté à l'entrée du modulateur. Grâce à la réutilisation du circuit générateur des tensions de référence, la surface de blocs analogiques nécessaire pour la réalisation du BIST est très petite. Le même train binaire et le filtre de décimation numérique présent dans le convertisseur sont réutilisés pour générer un signal de référence. Ce signal nous permet d'effectuer sur puce l'algorithme de régression sinusoïdale (*sine-wave fitting*) qui nous donne une mesure du SINAD.

Nous avons employé la technique de BIST pour effectuer des tests mono-fréquences mais aussi multi-fréquences. Nous avons également utilisé des stimuli différents, générés par des modulateurs d'ordre 2 et 3. L'utilisation d'un stimulus d'ordre 3 nous permet d'améliorer la précision de la mesure, mais cela nous oblige aussi à modifier le filtre de décimation induisant, par conséquent, une augmentation du coût du BIST. Nous avons proposé trois différentes architectures pour le BIST, selon les ressources disponibles sur le circuit intégré. Le tableau 4.4 résume le surcoût en surface de la technique pour les différents cas dans une technologie CMOS 0.13 μm de STMicroelectronics. Le BIST est surtout efficace pour les convertisseurs stéréo ainsi

Surface (mm^2)	**Sans BIST**	**Mémoire Intégrée**		**Mémoire Rajoutée**		**Signaux Multiplexées**		**Stéréo**	
		Sans modifier le filtre de décimation	*En modifiant le filtre de décimation*	*Sans modifier le filtre de décimation*	*En modifiant le filtre de décimation*	*Sans modifier le filtre de décimation*	*En modifiant le filtre de décimation*	*Sans modifier le filtre de décimation*	*En modifiant le filtre de décimation*
Modulateur Analogique	0.89	0.89	0.89	0.89	0.89	0.89	0.89	0.89	0.89
Filtre Numérique	0.50	0.50	0.50	0.50	0.50	0.50	0.50	0.50	0.50
Plots	0.132	0.132	0.132	0.132	0.132	0.132	0.132	0.132	0.132
Modification Filtre Sinc	0	0	0.027	0	0.027	0	0.027	0	0.027
Modification Taille Chemins	0	0	0.042	0	0.042	0	0.042	0	0.042
3 Plots BIST	0	0.036	0.036	0.036	0.036	0.036	0.036	0.036	0.036
ROM 2252 bits	0	0.008	0.008	0.008	0.008	0.008	0.008	0.008	0.008
Bloc d'analyse	0	0.05	0.05	0.05	0.05	0.05	0.05	0.05	0.05
RAM 21394 bits	0	0	0	0.324	0.324	0	0	0	0
Multiplexage Signaux	0	0	0	0	0	0.45	0.45	0	0
Total	1.522	1.616	1.685	1.94	2.009	2.066	2.135	1.616	1.685
Surcoût BIST	**0 %**	**6.2 %**	**10.7 %**	**27.5 %**	**32.0 %**	**35.7 %**	**40.3 %**	**6.2 %**	**10.7 %**

Tableau 4.4 : Surcoût en surface du BIST

que pour les circuits qui disposent d'une mémoire intégrée. Dans ces deux cas, le surcoût total du BIST est de 6.2 %, si nous décidons de ne pas changer le filtre de décimation, ou bien de 10.7 % si nous modifions le filtre de décimation pour atteindre une meilleure précision. Puisque le BIST est complètement numérique, le surcoût en surface sera encore plus réduit pour les nouvelles technologies, où les blocs numériques sont de plus en plus petits.

Les résultats de simulation montrent une excellente précision du BIST pour mesurer le bruit du convertisseur. La technique détecte également très bien les dégradations du facteur de pertes du modulateur analogique. Par contre, la capacité pour détecter des distorsions reste limitée. En raison de l'atténuation du signal de test, les faibles non-linéarités n'apparaissent pas dans le BIST. De la même manière, à cause de la nature binaire du stimulus, les non-linéarités dans l'étage d'échantillonnage ne peuvent pas être détectées.

La technique de BIST est donc équivalente à un test standard réalisé avec un signal sinusoïdal atténué à -12 dB, mais elle dispose d'une meilleure capacité pour détecter les distorsions et la dégradation du facteur des pertes. Dans les applications où la mesure de la distorsion est importante, cette technique de BIST doit être complétée avec d'autres tests en pleine échelle. Par contre, dans des applications ou la spécification la plus importante est le rapport signal sur bruit (*Signal-to-Noise Ratio*, SNR) cette technique peut être suffisante. Ainsi, dans beaucoup d'applications audio, l'amplitude du signal est contrôlée au moyen de circuits PGA (Programmable Gain Amplifier) ou ALC (Automatic Level Control), présents en amont du convertisseur, pour éviter de dépasser les -20 dB (par rapport à la pleine échelle, -20dBFS) [Che06]. Dans ces applications la spécification la plus importante est le bruit, et cette technique de BIST est par conséquent tout a fait satisfaisante et suffisante pour s'assurer du fonctionnement correct du convertisseur.

CHAPITRE 5

Design d'un Modulateur Sigma-Delta Audio de 96-dB incorporant la Technique de BIST

5.1. INTRODUCTION

Dans le chapitre précédent, nous avons présenté une technique de BIST pour mesurer le SINAD de convertisseurs A/N pour des applications audio. Nous allons maintenant détailler le design des blocs analogiques d'un convertisseur Sigma-Delta qui incorpore cette technique rendant le circuit auto-testable. Nous allons nous concentrer sur les aspects de design du modulateur analogique et du circuit générateur des tensions de référence (*Voltage Bandgap Generator*) puisque le filtre de décimation numérique a été déjà décrit dans le chapitre 4.

Dans la première partie de ce chapitre nous présenterons l'architecture du modulateur analogique et nous calculerons sa dynamique en prenant en compte toutes les différentes sources de bruit existantes dans le circuit. Ensuite, nous détaillerons le design des deux blocs les plus importants qui définissent la précision du modulateur : l'amplificateur opérationnel différentiel et le circuit générateur des tensions de référence. La dernière partie du chapitre est consacrée à la description du reste des circuits du modulateur : le comparateur, le circuit générateur des phases de l'horloge et l'interface des signaux numériques avec le modulateur.

5.2. CONFIGURATION DU MODULATEUR ANALOGIQUE DU 2EME ORDRE

La figure 5.1 présente l'architecture utilisée pour la réalisation du modulateur analogique. Il s'agit d'une configuration typique du deuxième ordre [Bos88, Brand91] qui correspond aux modèles Matlab déjà présentés (figures 4.2 et 4.3). Nous avons choisi cette architecture parce qu'elle se montre très tolérante aux imperfections analogiques. D'autres configurations permettent d'obtenir de meilleures performances. C'est le cas, par exemple, des structures du 3ème ordre en cascade 2-1 [Rab97, DLR05], ou des configurations avec un comparateur et un CNA multibit [Med99, Yang03]. Ces architectures sont très sensibles aux erreurs de mésappariement (*mismatch*). Ainsi, des variations de gain entre les étages, ou des non-linéarités introduites par le CNA multibit dans la boucle de contre-réaction, peuvent réduire drastiquement la résolution du modulateur.

L'inconvénient d'utiliser un modulateur de 2ème ordre réside dans la nécessité d'avoir un rapport de sur-échantillonnage (*OverSampling Ratio*, OSR) très élevé pour aboutir à un SINAD de 96 dB dans la bande audio (équation 4.4). Dans notre cas, nous employons une horloge à 12.288 MHz, ce qui fixe l'OSR à 278 (équation 4.3). Cette vitesse élevée d'échantillonnage implique une consommation en courant très importante, mais notre but n'est pas de concevoir un modulateur

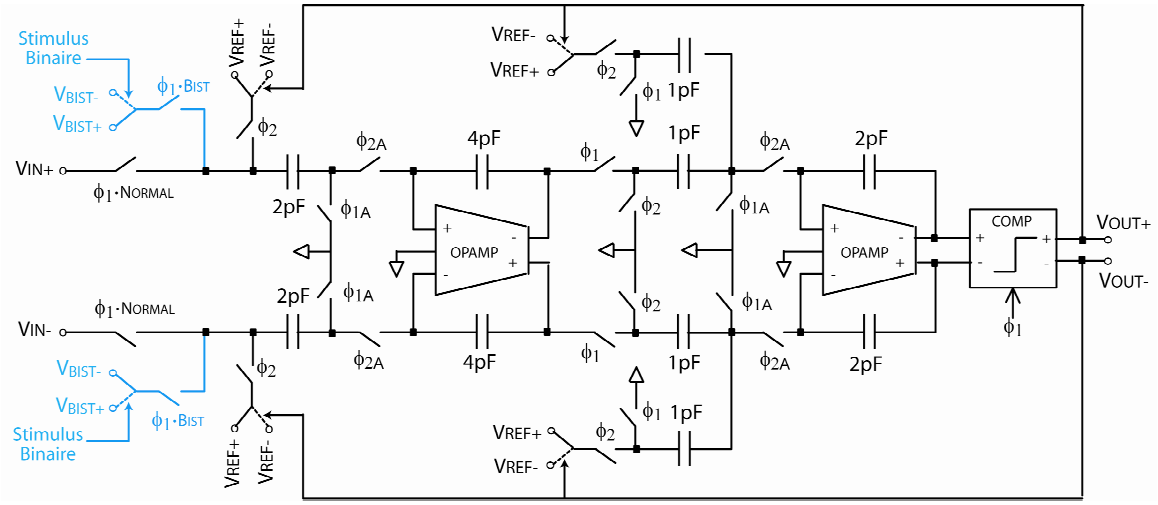


Figure 5.1. Architecture du modulateur d'ordre 2

de basse consommation mais de réaliser un convertisseur de grande précision pour valider la technique de BIST.

La configuration est complètement différentielle afin d'améliorer la rejection du bruit des alimentations et du substrat, ainsi que pour réduire les injections de charge des interrupteurs d'entrée qui peuvent introduire de la distorsion [Joh96]. Dans le premier étage, la taille des capacités d'échantillonnage est de 2 pF, tandis que la taille de ces capacités est égale à 1 pF dans le deuxième intégrateur. Cette réduction de taille est possible grâce à la mise en forme du bruit généré dans le deuxième étage. Nous utilisons également des capacités différentes dans le deuxième intégrateur pour échantillonner le signal et la tension de référence, tandis que dans le premier intégrateur, une seule capacité échantillonne les deux signaux afin d'optimiser et réduire le bruit. Toutes les capacités sont réalisées avec deux couches de métal (*metal-insulator-metal*, MIM) disponibles dans la technologie HCMOS9 de STMicroelectronics, afin d'éviter la distorsion typique des capacités en polysilicium.

Quatre phases différentes (ϕ_1, ϕ_2, $\phi_{1,INV}$ et $\phi_{2,INV}$) et non recouvrantes sont générées sur puce (section 5.6.2) à partir de l'horloge. Afin d'éviter l'injection de charges, deux phases additionnelles retardées (ϕ_{1A} et ϕ_{2A}) sont aussi créées à partir du même circuit. Les interrupteurs contrôlés par ϕ_1, ϕ_2 sont réalisés par des portes de transmission CMOS. Ces portes ont la longueur minimale (L=0.3μm) des transistors de double oxyde employés pour les blocs analogiques. La largeur des transistor est double dans le premier étage ($W_{CMOS_N,ET1}$=30μm, $W_{CMOS_P,ET1}$=60μm, $W_{CMOS_N,ET2}$=15μm, $W_{CMOS_P,ET2}$=30μm). Les interrupteurs contrôlés par ϕ_{1A} et ϕ_{2A} sont connectés en permanence à la masse analogique. Nous pouvons donc utiliser des portes de transmission constituées uniquement de transistors NMOS ($W_{NMOS,ET1}$=30μm, $W_{NMOS,ET2}$=15μm, L=0.3μm).

Afin de pouvoir injecter le stimulus binaire du BIST, nous avons rajouté un nouveau chemin identique à celui qui échantillonne les tensions de référence pour accomplir la contre-réaction. Puisque aucune capacité additionnelle n'est introduite, le bruit équivalent à l'entrée du modulateur (causé par le bruit KT/C et le bruit de l'amplificateur) n'est pas modifié. Nous verrons par la suite que les deux tensions nécessaires pour le BIST (V_{BIST}+ et V_{BIST}-) sont créées en réutilisant le circuit générateur des tensions de référence.

5.3. BUDGET ET CALCUL DU BRUIT

La résolution du modulateur est limitée par cinq sources principales de bruit : le bruit KT/C, le bruit équivalent de l'amplificateur, le bruit des tensions de référence, le bruit de quantification et la distorsion. Considérant que la pleine échelle (PE) du convertisseur est fixée à une amplitude différentielle de 1.4 V, nous pouvons calculer la puissance maximale de bruit tolérée dans la bande audio pour atteindre un SINAD de 96 dB :

$$P_{BRUIT,MAX} < \frac{P_{SIGNAL}}{10^{9.6}} = \frac{1.4^2 / 2}{10^{9.6}} = 246\,pV^2 \tag{5.1}$$

La conception du modulateur est réalisée de manière à avoir une puissance de bruit inférieure à 246 pV^2. Le tableau 5.1 montre les différentes contributions de bruit dans le modulateur. La contribution de bruit KT/C, bruit thermique, bruit en 1/f et bruit de la tension de référence, correspond principalement au premier étage. Grâce à la mise en forme du bruit qui a lieu dans le modulateur ΣΔ, le bruit du deuxième étage est négligeable.

Source de Bruit	Contribution en Puissance
Bruit KT/C	37.0 pV^2
Bruit de la tension de référence	12.1 pV^2
Bruit en 1/f de l'opamp	88.2 pV^2
Bruit thermique de l'opamp	46.1 pV^2
Bruit quantification + Distortion	55.2 pV^2
Total Inband Noise Power	238.6 pV^2

Tableau 5.1. Budget du Bruit

Le bruit KT/C [Fis82, Gob83] est calculé à une température de 100°C pour une entrée différentielle constituée d'une capacité de 2pF :

$$P_{BRUIT,KT/C} = \frac{4 \cdot k \cdot T}{C \cdot OSR} = \frac{4 \cdot 1.38 \cdot 10^{-23} \cdot 373K}{2 \cdot 10^{-12} \cdot 278} = 37\,pV^2 \tag{5.2}$$

Le bruit de la référence de tension provient principalement du bruit de basses fréquences (*flicker noise*) puisque le bruit thermique blanc est filtré par des larges capacités externes. A l'aide des simulations de bruit du circuit générateur des références de tension, réalisées à niveau de transistor (Cadence), nous pouvons calculer la puissance totale de bruit :

$$P_{BRUIT,BANDGAP} = 12.1pV^2 \tag{5.3}$$

Dans le cas de l'amplificateur différentiel, aussi bien le bruit de basses fréquences que le bruit thermique blanc contribuent au bruit total. Pour calculer les valeurs de ces deux contributions nous devons, dans un premier temps, étudier la configuration de l'intégrateur du premier étage. La figure 5.2 montre un schéma simplifié du premier amplificateur lors de la phase d'intégration ϕ_2.

La fonction de transfert qui nous permet de calculer le bruit à la sortie de l'amplificateur $V_{BRUIT,SORTIE,OP}$ à partir du bruit équivalent en entrée de l' amplificateur opérationnel $V_{BRUIT,EQUIV,OP}$ est :

$$\frac{V_{BRUIT,SORTIE,OP}}{V_{BRUIT,EQUIV,OP}} = \frac{1 + \frac{C_S}{C_I}}{1 + \frac{1 + \frac{C_S}{C_I}}{f_{OPAMP}} \cdot s} \tag{5.4}$$

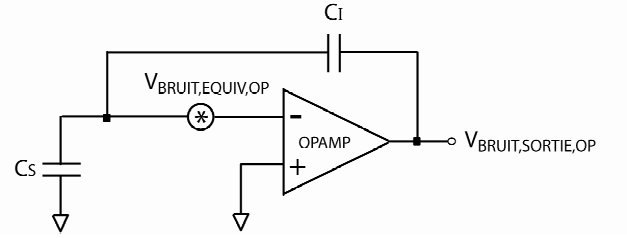


Figure 5.2. Configuration de l'amplificateur lors de la phase ϕ_2

où C_S et C_I sont, respectivement, les capacités d'échantillonnage (C_S=2pF) et d'intégration (C_I=4pF), et f_{OPAMP} est la fréquence gain-unité de l'amplificateur (402 MHz). Nous avons donc une fonction de transfert du bruit avec un gain $A_{BRUIT}=(1+C_S/C_I)$ et une constante de temps $\tau_{BRUIT}=(1+C_S/C_I)/f_{OPAMP}$. Le bruit de basses fréquences n'est pas affecté par cette constante de temps parce qu'il est centré autour du continu. Néanmoins, nous devons encore référencer ce bruit à l'entrée du modulateur. Puisque l'intégrateur offre un gain $A= C_I/C_S$ pour le signal d'entrée, la puissance du bruit de basses fréquences de amplificateur opérationnel référée à l'entrée du modulateur est :

$$P_{BRUIT\ ENTREE,FLICKER,OP}=\frac{P_{BRUIT,EQUIV,FLICKER,OP}\cdot\left(1+\frac{C_S}{C_I}\right)^2}{\left(\frac{C_I}{C_S}\right)^2}=P_{BRUIT,EQUIV,FLICKER,OP}\cdot\left(1+\frac{C_I}{C_S}\right)^2 \quad (5.5)$$

Sachant que le bruit équivalent de basses fréquences de l'amplificateur opérationnel, calculé avec des simulations à niveau transistor, est $P_{BRUIT,EQUIV,FLICKER,OP}$=9.8 pV^2 :

$$P_{BRUIT\ ENTREE,FLICKER,OP}=9.8pV^2\cdot 3^2=88.2pV^2 \quad (5.6)$$

Pour le calcul du bruit thermique blanc causé par l'amplificateur, nous devons prendre en compte la bande passante de celui-ci. D'après l'équation 5.4, la bande passante équivalente de l'amplificateur opérationnel peut être calculée comme [Raz00] :

$$BW_{EQUIV}=\frac{f_{OPAMP}}{1+C_S/C_I}\cdot\frac{\pi}{2} \quad (5.7)$$

ce qui nous permet de calculer la puissance du bruit thermique totale présente à la sortie de l'amplificateur :

$$P_{BRUIT,SORTIE,THERMIQUE,OP}=P_{BRUIT,EQUIV,THERMIQUE,OP}\cdot\left(1+\frac{C_S}{C_I}\right)^2\cdot\frac{f_{OPAMP}}{1+C_S/C_I}\cdot\frac{\pi}{2} \quad (5.8)$$

En prenant en compte maintenant que seule une partie du bruit tombe dans la bande audio :

$$P_{BRUIT,SORTIE,THERMIQUE,OP,AUDIO}=P_{BRUIT,EQUIV,THERMIQUE,OP}\cdot\left(1+\frac{C_S}{C_I}\right)\cdot\frac{f_{OPAMP}\cdot\pi/2}{OSR} \quad (5.9)$$

Enfin, la puissance de bruit thermique totale présente dans la bande audio est référée à l'entrée du modulateur :

$$P_{BRUIT\ ENTREE,THERMIQUE,OP}=P_{BRUIT,EQUIV,THERMIQUE,OP}\cdot\left(1+\frac{C_S}{C_I}\right)\cdot\frac{f_{OPAMP}\cdot\pi/2}{OSR}\cdot\left(\frac{C_I}{C_S}\right)^2 \quad (5.10)$$

Grâce à des simulations de bruit nous pouvons obtenir la densité spectrale du bruit thermique de l'amplificateur opérationnel $P_{BRUIT,EQUIV,THERMIQUE,OP}$= 3.4 aV^2/Hz =3.4·10^{-18} V^2/Hz. Le bruit thermique de l'amplificateur dans la bande audio référé à l'entrée du modulateur est, par conséquent, $P_{BRUIT\ ENTREE,\ THERMIQUE,OP}$=46.1 pV^2. Des longues simulations transitoires à niveau transistor nous permettent d'estimer la puissance du bruit de quantification en même temps que la distorsion ($P_{BRUIT\ QUANT+DISTORTION}$= =55.2 pV^2). La puissance totale de bruit dans la bande passante est alors égale à 238.6 pV^2, ce qui correspond à un SINAD de 96.14 dB.

Nous remarquons aussi que, dans le mode de BIST, une nouvelle source de bruit apparaît dans le circuit de la figure 5.1. En effet, le bruit contenu dans les tensions $\pm V_{BIST}$ est directement injecté dans le modulateur. Ces tensions sont obtenues avec le même circuit générateur des tensions de référence, mais elles ont des valeurs atténuées ($\Delta V_{BIST}=AT\cdot\Delta V_{REF}= AT\cdot 2.2\ V_{DIFF}$). Nous avons indiqué dans le chapitre précèdent (Section 4.4.3) que le signal codifié dans le stimulus de BIST doit être atténué de 12 dB par rapport au signal d'entrée qui donne le SINAD maximal (1.3 V_{DIFF}). Afin d'obtenir cette réduction, nous devons prendre en compte l'amplitude du signal contenu dans le stimulus (section 4.4.1). Ainsi, le stimulus d'ordre 2 encode une amplitude de 0.6 V tandis que le stimulus généré avec un modulateur d'ordre 3 codifie un signal d'amplitude 0.4 V. Pour atteindre une réduction de 12 dB, nous devons donc appliquer une atténuation différente selon l'ordre du stimulus :

$$AT_{ORDRE2}=\frac{0.25\cdot 1.3V_{DIFF}}{0.6\cdot 2.2V_{DIFF}}=0.25 \tag{5.11}$$

$$AT_{ORDRE3}=\frac{0.25\cdot 1.3V_{DIFF}}{0.4\cdot 2.2V_{DIFF}}=0.37 \tag{5.12}$$

où 2.2 V_{DIFF} correspond à la valeur crête à crête des voltages de référence du modulateur. La nouvelle contribution de bruit est en conséquence :

$$P_{BRUIT,BIST,ORDRE2}=P_{BRUIT,BANDGAP}\cdot AT^2_{ORDRE2}=12.1pV^2\cdot 0.25^2=0.75pV^2 \tag{5.13}$$

$$P_{BRUIT,BIST,ORDRE3}=P_{BRUIT,BANDGAP}\cdot AT^2_{ORDRE3}=12.1pV^2\cdot 0.37^2=1.66pV^2 \tag{5.14}$$

Dans les deux cas, la nouvelle source de bruit est négligeable.

5.4. DESIGN DE L'AMPLIFICATEUR OPERATIONNEL DIFFERENTIEL

Le design de l'amplificateur opérationnel différentiel qui fait partie des deux intégrateurs du modulateur analogique (figure 5.1) est présenté par la suite. Pour avoir un modulateur de grande dynamique, les contraintes du design sont très fortes. Ainsi, nous avons besoin d'un amplificateur avec un bruit (blanc mais aussi en basses fréquences) équivalent en entrée très réduit, et une grande dynamique de sortie (proche des tensions d'alimentation) pour atteindre un SINAD de 96 dB dans une technologie qui offre des tensions d'alimentations aussi faibles que 3.3 V pour les blocs analogiques. De la même manière, nous avons besoin d'un gain DC très élevé (plus grand que 100 dB), pour réduire le facteur des pertes et supprimer la distorsion [Bran91]. Finalement, le choix d'une architecture d'ordre 2, fait pour des raisons de robustesse, implique l'utilisation d'une horloge rapide (12.288 MHz) et, par conséquent, d'un amplificateur avec une bande passante très large pour charger les capacités très rapidement. Si ces capacités ne sont pas chargées rapidement, nous pourrions rencontrer un problème de corrélation résiduelle entre le bruit de quantification et le signal.

Pour satisfaire toutes ces exigences, nous avons choisi une configuration à deux étages qui nous permet d'atteindre, en même temps, un gain important, une grande dynamique de sortie et

une vitesse très élevée [Hog96]. Une configuration classe-AB en sortie nous a permis d'obtenir une bande passante de plus de 400 MHz. En contre partie, nous avons une forte consommation de courant. Dans notre application, la spécification de courant n'est pas importante puisque notre objectif est de valider un BIST dans un convertisseur de très haute dynamique, et non de concevoir un modulateur de basse consommation. C'est aussi pour cette raison que nous avons utilisé le même amplificateur pour les deux étages du modulateur. Habituellement, un amplificateur avec des performances plus réduites est utilisé dans le deuxième étage pour réduire la consommation totale de courant.

L'architecture de l'amplificateur opérationnel, présentée sur la figure 5.3, est constituée de quatre blocs principaux. Un premier bloc génère toutes les tensions de polarisation (*bias voltages*) nécessaires pour le reste des circuits et déclenche le fonctionnement du circuit (*start up*) après la connexion de l'alimentation. Le circuit d'amplification différentiel, composé de deux étages, amplifie le signal différentiel d'entrée V^+_{IN}-V^-_{IN} et génère la sortie différentielle V^+_{OUT}-V^-_{OUT}= $=A_V\cdot(V^+_{IN}-V^-_{IN})$. La tension de référence du mode commun de chacun des deux étages, est fixée par un circuit de contrôle du mode commun. Le circuit qui régule la tension du mode commun du premier étage est réalisé en temps continu. Le deuxième est conçu en temps discret à l'aide de capacités commutées.

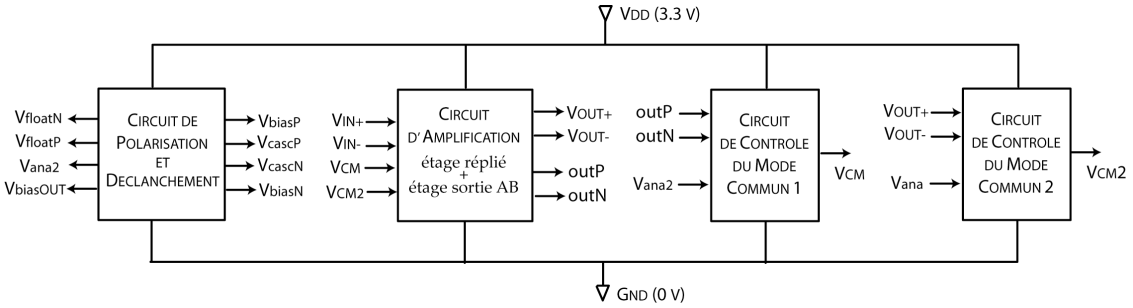


Figure 5.3. Architecture de l'amplificateur opérationnel

5.4.1. Amplificateur différentiel à 2 étages, configuration classe-AB en sortie

L'architecture du circuit d'amplification est montrée sur la figure 5.4. Le premier étage est formé d'une structure cascode repliée (*folded cascode*) dont le gain peut être estimé de la façon suivante [Raz00] :

$$A_{V1} \cong g_{m1}\cdot\left\{\left(r_{O5}\cdot g_{m5}\cdot r_{O6}\right)\left\|\left(r_{O4}\cdot g_{m4}\cdot\left[r_{O3}\left\|\left(r_{O1}\cdot g_{m1}\cdot r_{O2}\cdot\right)\right.\right]\right)\right.\right\} \tag{5.15}$$

Le deuxième étage est une configuration de sortie classe AB avec ses deux transistors, M_9 (NMOS) et M_{10} (PMOS), configurés en étage source commune. Cette opération simultanée (*push-pull operation*) permet de doubler la transconductance effective de l'étage de sortie, en éloignant le pôle non-dominant w_{PND} qui est donné par [Rab97]:

$$w_{PND} = \frac{\left(g_{m9}+g_{m10}\right)}{C_L} \tag{5.16}$$

où C_L est la capacité qui charge la sortie de l'amplificateur. Ce pôle w_{PND} est très important parce qu'il limite la bande passante de l'amplificateur opérationnel. Un autre avantage de la classe AB réside dans le fait que seul le *slew-rate* du premier étage limite la performance de l'amplificateur. Le gain de l'étage de sortie est :

$$A_{V2} \cong \left(g_{m9}+g_{m10}\right)\cdot\left\{r_{O9}\left\|r_{O10}\right\|r_{O11}\left\|r_{O12}\right\|\right\} \tag{5.17}$$

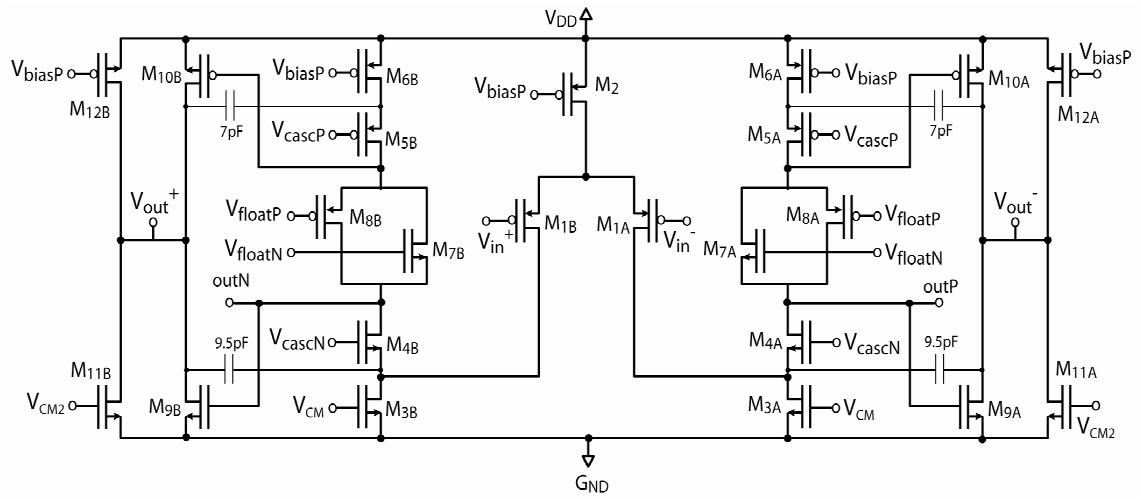


Figure 5.4. Configuration de l'amplificateur différentiel à deux étages

Le gain total du circuit est donc $A_V=A_{V1}\cdot A_{V2}$=100.6 dB. Afin d'obtenir une opération en classe AB, une cellule flottante composée des transistors M_7 et M_8, est rajoutée sur la branche repliée [Hog94, Lan98]. Cette cellule génère une chute de tension continue constante qui nous permet de polariser les transistors M_9 et M_{10}. Avec un choix correct des tensions de polarisation VfloatN et VfloatP, l'impédance équivalente de la cellule, vu entre ses extrêmes, est très proche de zéro et négligeable par rapport à l'impédance de sortie des transistors M_4 et M_5. De plus, grâce à sa caractéristique flottante, la cellule n'introduit pas de bruit thermique additionnel. Par conséquent, la fonctionnalité et les performances du premier étage ne sont pas modifiées par l'introduction des transistors M_7 et M_8.

Le schéma de compensation de Miller, c'est-à-dire, la connexion des capacités de compensation aux drains de M_4 et M_5, nous oblige à utiliser des valeurs de capacités énormes pour avoir une marge de phase suffisant (>65°). C'est pourquoi nous avons utilisé la méthode de compensation d'Ahuja [Ahu83, Rib84] qui permet de réduire la taille des capacités mais aussi d'améliorer la bande passante de l'amplificateur. Dans une configuration classe AB en sortie, cette méthode consiste à relier les capacités de compensation aux drains des transistors M_3 et M_6 [Yav04]. En utilisant des capacités de compensation de valeur C_{C1}=9.5pF et C_{C2}=7pF et la taille de transistors indiquée dans le tableau 5.2, nous aboutissons à une bande passante de 402 MHz avec une marge de phase de 66.75° (figure 5.5).

	W/L x(0.3μm/0.35μm)		**W/L** x(0.3μm/0.35μm)
M_1	18900/1	**M_7**	200/1
M_2	27000/2.5	**M_8**	540/1
M_3	18000/3.3	**M_9**	7800/1
M_4	4000/1	**M_{10}**	22000/1
M_5	10800/1	**M_{11}**	2000/1
M_6	32400/3.3	**M_{12}**	5000/1

Tableau 5.2. Taille des transistors du circuit d'amplification

Le calcul du bruit équivalent en entrée de l'amplificateur est effectué en prenant en considération deux spécificités. Premièrement, le bruit du deuxième étage ramené à l'entrée est négligeable grâce au gain du premier étage A_{V1}. Deuxièmement, ni les transistors en cascode M_4 et M_5, ni la source de courant créée par le transistor M_2 ne contribuent au bruit [Raz00]. En

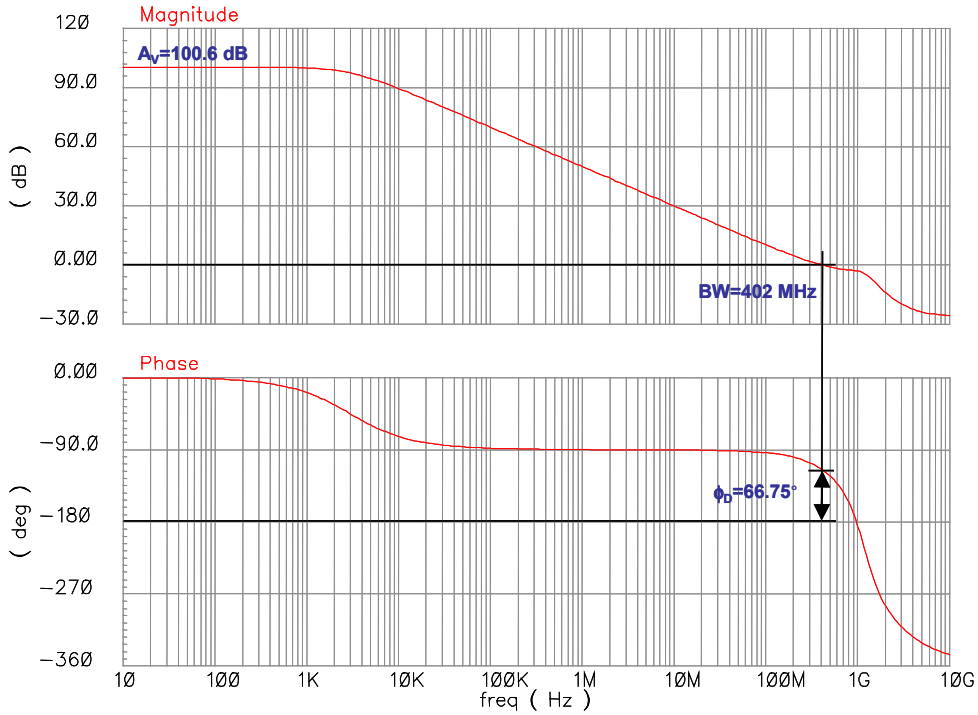


Figure 5.5. Diagramme de Bode du gain différentiel de l'amplificateur

conséquence, seul le bruit causé par les transistors M_1, M_3 et M_6, est pris en compte pour le calcul du bruit thermique et en 1/f (bruit en basses fréquences) équivalent en entrée de l'amplificateur opérationnel :

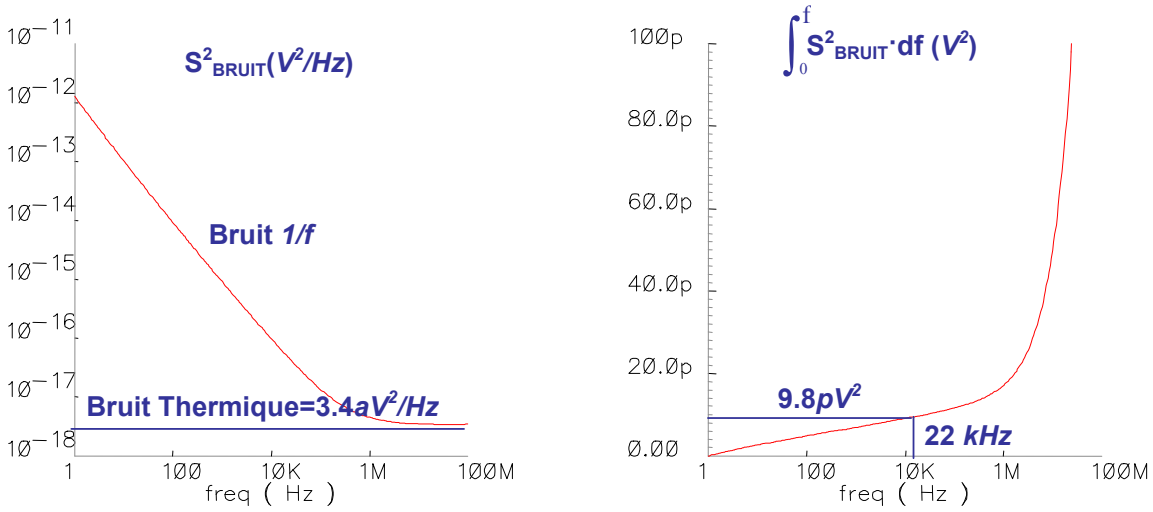
$$\overline{V^2_{bruit,entrée}} = 8 \cdot k \cdot T \cdot \left(\frac{2}{3 \cdot g_{m1}} + \frac{2 \cdot g_{m3}}{3 \cdot g^2_{m1}} + \frac{2 \cdot g_{m6}}{3 \cdot g^2_{m1}} \right) + \frac{2 \cdot K_P}{C_{OX} \cdot W_1 \cdot L_1 \cdot f} + \\ + \frac{2 \cdot K_N}{C_{OX} \cdot W_3 \cdot L_3 \cdot f} \cdot \frac{g^2_{m3}}{g^2_{m1}} + \frac{2 \cdot K_P}{C_{OX} \cdot W_6 \cdot L_6 \cdot f} \cdot \frac{g^2_{m6}}{g^2_{m1}} \qquad (5.18)$$

La figure 5.6.a et 5.6.b montrent, respectivement, la puissance spectrale du bruit en fonction de la fréquence et le bruit 1/f total en fonction de la bande passante, obtenus grâce à des simulations de bruit au niveau transistor avec Cadence. Comme nous avions déjà indiqué dans la section 5.3, la puissance de bruit dans la bande audio due au bruit 1/f est égale à 9.8 pV^2. La puissance de bruit blanc est égale à 3.4 aV^2, et nous permet de calculer la puissance de bruit thermique repliée dans la bande audio selon l'équation 5.9.

5.4.2. Circuits de contrôle du mode commun

Premier étage

Le contrôle du mode commun du premier étage est réalisé avec le circuit proposé par Duque-Carrillo [Duq93] et représenté sur la figure 5.7. Les tensions de sortie du premier étage *outP* et *outN* sont comparées avec un voltage de référence V_{ana2}. Des variations sur la valeur de la tension commune *(outP+ outN)/2* se traduisent par un changement de la tension V_{CM} pour compenser et rétablir la valeur moyenne attendue V_{ana2}. Cette configuration a un impact minimal sur la distorsion de l'amplificateur [Duq93]. En utilisant la taille des transistors décrite dans le tableau 5.3, nous obtenons un gain de boucle en mode commun de 69.05 dB, et la bande passante est égale à 54.71 MHz avec une marge de phase de 69.05°. La plage de tension



(a) (b)

Figure 5.6. (a) Puissance spectrale du bruit équivalent en entrée de l'opamp. (b) Puissance totale du bruit 1/f en fonction de la bande passante

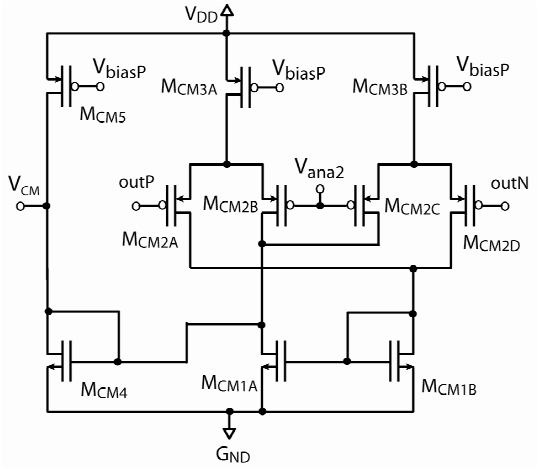


Figure 5.7. Configuration du circuit de control du mode commun du 1er étage

	W/L x(0.3μm/0.35μm)
M_{CM1}	960/1.6
M_{CM2}	1080/1
M_{CM3}	2590/1.6
M_{CM4}	1000/1
M_{CM5}	1500/1

Tableau 5.3. Taille des transistors du mode commun du 1er étage

outP/*outN* pour laquelle le circuit travaille correctement est restreinte, à cause du V_{TH} nécessaire pour saturer les paires différentielles formées par les transistors M_{CM2}. Cela ne pose pas de problème dans notre cas puisque les variations de la tension de sortie du premier étage sont très réduites. Par contre, nous ne pouvons pas utiliser une telle configuration pour contrôler le mode commun du deuxième étage, puisque V_{OUT} peut être très proche des tensions d'alimentation.

Deuxième étage

Un circuit en capacités commutées (figure 5.8) contrôle le mode commun du deuxième étage. L'architecture, proposé par Castello [Cast85] et largement utilisée dans les circuits différentiels en temps discret [Cho03], n'imposant pas de limitation aux amplitudes des signaux différentiels V_{OUT}^{+} et V_{OUT}^{-}. De plus, cette configuration est très linéaire et moins gourmande en courant que les architectures en temps continu. Tous les interrupteurs ont été réalisés avec des transistors NMOS (W_{NMOS}=7.5μm et L_{NMOS}=0.35μm) sauf les interrupteurs connectés à V_{OUT},

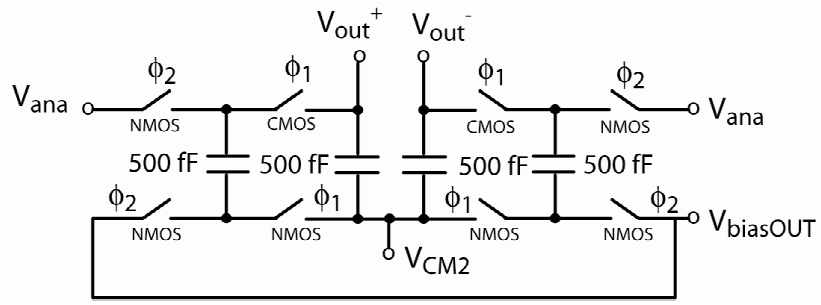


Figure 5.8. Configuration du circuit de control du mode commun du 2ème étage

effectués avec des portes de transmission CMOS (W_{CMOS_N}=7.5μm, W_{CMOS_P}=15μm et L_{CMOS}=0.35μm). Une variation de $(V_{OUT}^{+}+V_{OUT}^{-})/2$ sur la tension de référence (V_{ana}=1.65V) produit une modification de V_{CM2}, qui contrôle la grille des transistors M_{11} et corrige la variation. La tension $V_{biasOUT}$ est générée par le circuit de polarisation.

Contrôle du mode commun par le substrat

Pendant ces travaux de thèse nous avons aussi conçu un circuit qui permet de fixer le mode commun des circuits différentiels à travers le substrat. Nous ne nous sommes pas servis de cette architecture pour la conception du convertisseur audio mais, pour sa nouveauté, nous la présentons ici.

Le contrôle de la tension commune des amplificateurs différentiels nécessite un circuit qui détecte le mode commun du signal $(V_P+V_N)/2$. Dans les circuits en temps continu, ce détecteur peut être réalisé avec deux schémas différents : un diviseur résistif ou bien une paire différentielle [Duq90, Duq93]. L'emploi d'un diviseur nécessite des résistances linéaires de grande valeur afin de ne pas diminuer le gain de l'amplificateur opérationnel, ce qui prend beaucoup de surface en silicium. Nous avons déjà observé que l'utilisation d'une paire différentielle réduit la dynamique ou la plage de tensions de l'étage de l'amplificateur. Une alternative pour résoudre ces inconvénients est la conception d'un schéma en capacités commutées comme, par exemple, celui que nous avons employé pour le deuxième étage de notre amplificateur (figure 5.8). Par contre, dans beaucoup des applications en temps continu, cette solution ne peut pas être appliquée.

Pour faire face à la réduction des tensions d'alimentation dans les nouvelles technologies CMOS, une nouvelle stratégie de design analogique, recourt, pour conduire le signal analogique, à l'utilisation du quatrième terminal du transistors CMOS, le substrat [Bla98, Las00, Sto02, Chat04, Chat05]. Ainsi, suivant la même philosophie, nous proposons un circuit qui contrôle le mode commun des amplificateurs différentiels à travers le substrat.

La figure 5.9 présente un amplificateur d'un seul étage, en configuration typique cascode repliée, où le contrôle de la tension commune de la sortie est effectué avec un circuit en temps continu, dont le détecteur du mode commun est réalisé à l'aide d'une paire différentielle et la conduction du signal par le substrat (*bulk-driven differential pair*). En effet, la sortie de l'amplificateur opérationnel $V_{OUT}\pm$ est amenée au substrat des transistors PMOS $M_{7A\text{-}B}$, qui composent l'étage d'entrée du circuit du mode commun. Les terminaux grille et drain de ces deux transistors sont tous les deux connectés à la masse. Les transistors $M_{7A\text{-}B}$ sont en conséquence toujours saturés puisque leurs grilles sont connectées à la masse. Nous ne perdons donc pas V_{TH} dans la plage de tensions de sortie et la dynamique de l'amplificateur est améliorée. Lorsque nous

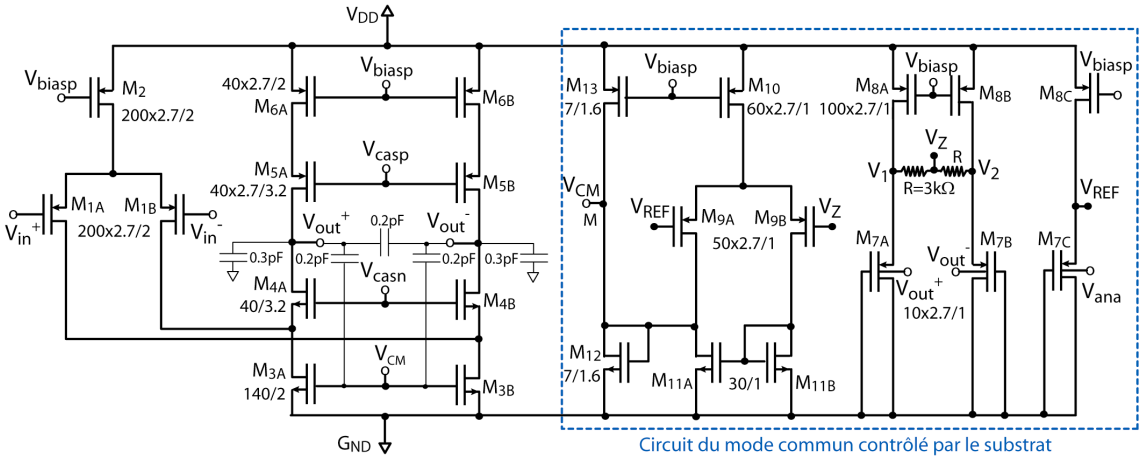


Figure 5.9. Amplificateur différentiel avec le control du mode commun par le substrat

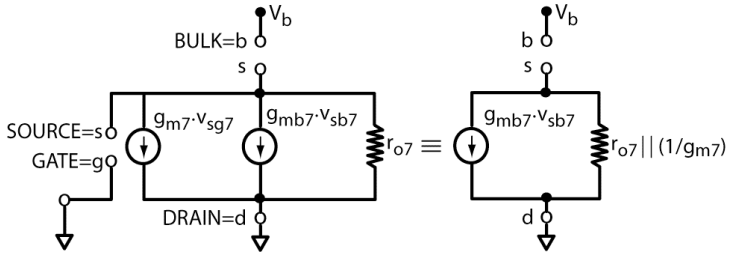


Figure 5.10. Modèle en petit signal des transistors M_{7A-B}

étudions le modèle en petit signal des transistors M_{7A-B} (figure 5.10), nous pouvons calculer, en négligeant l'effet de la résistance R :

$$\frac{V_1}{V_{out}^+} = \frac{V_2}{V_{out}^-} \cong \frac{\eta_7}{1+\eta_7} \qquad avec \quad \eta_7 = \frac{\gamma}{2\cdot\sqrt{2\cdot\Phi_F + V_{BS,7}}} \tag{5.19}$$

où η est le rapport entre la transconductance de la grille (g_m) est celle du terminal substrat (g_{mb}). γ et Φ_F sont des constantes fixées par la technologie. Des variations de la valeur de tension de mode commun vont éloigner la valeur $V_Z=(V_1+V_2)/2$ de la valeur de référence V_{REF}. Les transistors M_{9-13} vont amplifier cette différence pour générer la tension de sortie du circuit de mode commun V_{CM}. Cette tension commande la grille des transistors M_{3A-B} et, par conséquent, régule le courant qui passe à travers l'étage de sortie de l'amplificateur et compense la modification de la tension continue à la sortie de l'amplificateur opérationnel. Le gain du mode commun en boucle ouverte est :

$$A_{CM} \cong \frac{\eta_7}{1+\eta_7}\cdot\frac{g_{m9}}{g_{m12}}\cdot g_{m3}\cdot\left\{\left(r_{o5}\cdot g_{m5}\cdot r_{o6}\right)\left\|\left(r_{o4}\cdot g_{m4}\cdot\left[r_{o3}\left\|r_{o1}\right.\right]\right)\right.\right\} \tag{5.20}$$

A cause de la dépendance de η_7 avec $V_{BS,7}$, l'amplificateur a une conduction légèrement supérieure pour les signaux élevés (proches de V_{DD}) par rapport aux signaux faibles (proches de G_{ND}). Cependant, cela n'introduit pas de distorsion dans le signal différentiel et la non-linéarité reste très réduite.

La réponse fréquentielle du circuit de mode commun est limitée par le nœud M. L'utilisation de capacités Miller entre le nœud N et la sortie nous permet de réaliser la compensation du boucle de mode commun avec des valeurs très petits de capacités (0.2 pF).

Spécification	Valeur
A_{CM}	85 dB
GBW_{CM}	79.5 MHz
Marge de phase ϕ_{CM}	69.2°
Plage dynamique de sortie	0.16 V_{DD} - 0.91 V_{DD}
THD de l'Opamp + Circuit CM ($A_{D,gain}$=1, V_{DD}=1.8 V)	-77.07 dB (0.014%) pour Amp=2.4 Vp-p @ 1kHz -68.18 dB (0.039%) pour Amp=2.8 Vp-p @ 1kHz
Courant du mode commun	350 µA

Tableau 5.4. Performance du circuit de control du mode commun par le substrat

Le tableau 5.4 résume les performances du circuit de contrôle du mode commun par le substrat. La dynamique de sortie est très grande, proche des tensions d'alimentation et est uniquement limitée par les transistors en cascode M_{4A-B} et M_{5A-B}. La consommation et la distorsion restent petites tout en obtenant des valeurs de gain et de bande passante élevées.

Nous n'avons pas utilisé ce circuit pour contrôler le mode commun de notre amplificateur différentiel. Pour le premier étage, nous n'avons pas besoin d'une plage de tension importante parce que *outP* et *outN* subissent des variations très petites. Pour le deuxième étage, le circuit présenté sur la figure 5.8 s'avère plus adapté pour une structure en classe AB. Toutefois, ce schéma a déjà été utilisé dans d'autres applications [Pre05].

5.4.3. Circuits de polarisation et déclenchement

La figure 5.11 montre le schéma qui génère toutes les tensions de polarisation nécessaires et utilisées dans le reste des circuits. Un premier circuit de polarisation [Joh96], nous permet de créer les tensions V_{biasN}, V_{cascN}, V_{cascP} et V_{biasP}, tout en stabilisant les transconductances des transistors de l'amplificateur. En effet, cette configuration rend les transconductances des transistors indépendants de la tension d'alimentation et des variations de la température et du procès. Cela est très important parce que toutes les spécifications de l'amplificateur opérationnel sont fixées par les rapports entre les transconductances des différents transistors. Avec cette stabilisation, ces rapports ne dépendent que des paramètres géométriques [Ste90]. L'utilisation des transistors cascode (M_2, M_3, M_6, M_7, M_{10} et M_{13}) améliore la rejection du bruit de l'alimentation.

Le deuxième circuit de polarisation s'occupe de la génération des tensions V_{floatN}, V_{floatP}, V_{ana2} et$V_{biasOUT}$. Les valeurs des tensions V_{floatN}, V_{floatP} ainsi que la dimension des transistors $M_{15\text{-}21}$

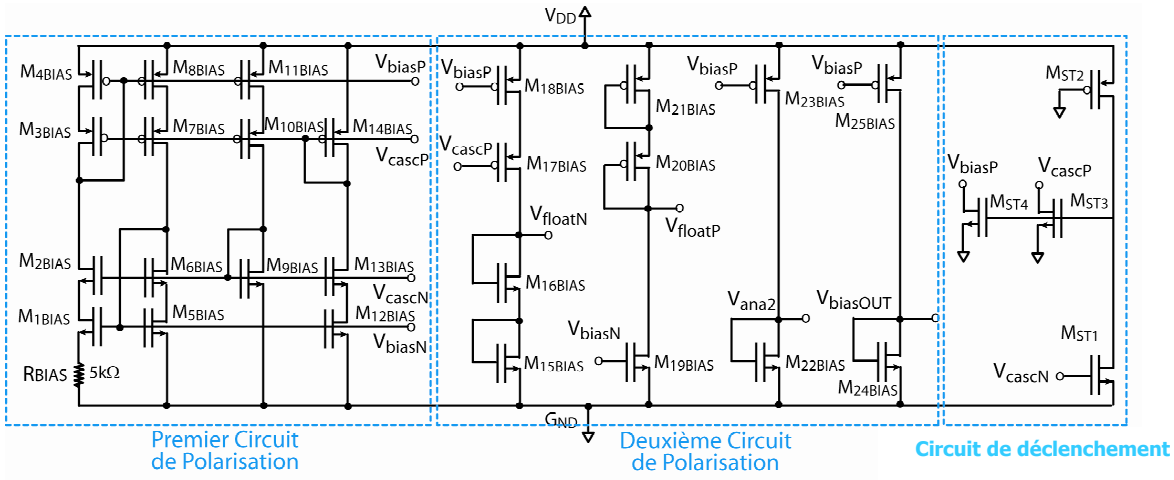


Figure 5.11. Circuits de polarisation et déclanchement

	W/L x(0.3μm/0.35μm)		W/L x(0.3μm/0.35μm)
$\mathbf{M_{B1}}$	40/1	$\mathbf{M_{B15,16}}$	10/1
$\mathbf{M_{B2,6,13}}$	10/1.6	$\mathbf{M_{B19}}$	30/1
$\mathbf{M_{B3,7,10}}$	27/1.6	$\mathbf{M_{B20,21}}$	280/5
$\mathbf{M_{B4,8,11}}$	27/1	$\mathbf{M_{B22}}$	120/3
$\mathbf{M_{B5,12}}$	10/1	$\mathbf{M_{B23}}$	80/1
$\mathbf{M_{B9}}$	2.5/1.6	$\mathbf{M_{B24}}$	110/3
$\mathbf{M_{B14}}$	7.5/1.6	$\mathbf{M_{B25}}$	160/1
$\mathbf{M_{B15,16}}$	10/1	$\mathbf{M_{ST,1,3,4}}$	10/1
$\mathbf{M_{B17,18}}$	270/3	$\mathbf{M_{ST,2}}$	2.7/20

Tableau 5.5. Taille des transistors du circuit de polarisation

	Cas Typique	Cas Rapide	Cas Lent
$\mathbf{V_{biasP}}$	2.671 V	2.739 V	2.602 V
$\mathbf{V_{cascP}}$	2.393 V	2.477 V	2.303 V
$\mathbf{V_{cascN}}$	1.053 V	954 mV	1.161 V
$\mathbf{V_{biasN}}$	740 mV	665 mV	815 mV
$\mathbf{V_{floatN}}$	1.850 V	1.604 V	2.101 V
$\mathbf{V_{floatP}}$	1.550 V	1.695 V	1.402 V
$\mathbf{V_{ana2}}$	750 mV	697 mV	804 mV
$\mathbf{V_{biasOUT}}$	850 mV	791 mV	910 mV

Tableau 5.6. Voltages de polarisation pour les différents cas du procès

sont très importantes pour un bon fonctionnement de l'étage classe AB en sortie. Les tableaux 5.5 et 5.6 montrent, respectivement, la taille des transistors du circuit de polarisation et les valeurs des tensions de polarisation obtenues dans le cas typique mais aussi dans les deux cas lent et rapide du procès (*slow corner* et *fast corner*).

Finalement un circuit de déclenchement est ajouté [Joh96] pour empêcher au circuit de rester, après la connexion des alimentations, dans un état stable où tous les courants sont nuls.

5.4.4. Performances

Le tableau 5.7 présente les performances de l'amplificateur opérationnel pour les différents cas du procès. Le gain, la bande passante et la marge de phase du mode différentiel (A_D, GBW_D et f_D) et du mode commun du premier étage (A_{CM1}, GBW_{CM1} et f_{CM1}) sont calculés en boucle ouverte. Les mesures de rejection au bruit des alimentations (PSRR+ et PSRR-) et aux variations du mode commun de l'entrée (CMRR), sont calculées en considérant une mésappariement (*mismatch*) des transconductances de la paire différentielle Δg_{m1}=0.1% comme suit :

$$PSRR+ \cong \frac{A_D}{\Delta V_{SORTIE}\Big|_{\Delta VDD=1V\,(AC)}}\Bigg|_{\Delta g_{ml}=0.1\%} \tag{5.21}$$

$$PSRR- \cong \frac{A_D}{\Delta V_{SORTIE}\Big|_{\Delta GND=1V\,(AC)}}\Bigg|_{\Delta g_{ml}=0.1\%} \tag{5.22}$$

$$CMRR \cong \frac{A_D}{\Delta V_{SORTIE}\Big|_{\Delta VIN+=\Delta VIN-=1V\,(AC)}}\Bigg|_{\Delta g_{ml}=0.1\%} \tag{5.23}$$

Spécification	Cas Typique	Cas Rapide	Cas Lent
A_D	100.6 dB	98.45 dB	102.3 dB
GBW_D	402 MHz	299 MHz	565 MHz
ϕ_D	66.75°	72.55°	52.62°
A_{CM1}	69.05 dB	69.32 dB	68.78 dB
GBW_{CM1}	54.71 MHz	51.02 MHz	54.97 MHz
ϕ_{CM1}	69.05°	69.32°	68.78°
Slew Rate	238 V/µs	179 V/µs	307 V/µs
Bruit 1/f total (BW=1Hz ÷22kHz)	9.8 pV^2	9.8 pV^2	9.8 pV^2
Puissance spectrale du bruit thermique	3.4 aV^2/Hz	4.2 aV^2/Hz	2.8 aV^2/Hz
PSRR+ (Δg_{m1}=0.1%)	106.4 dB	120.3 dB	100.4 dB
PSRR- (Δg_{m1}=0.1%)	122.1 dB	113.6 dB	112.7 dB
CMRR (Δg_{m1}=0.1%)	117.9 dB	111.6 dB	135.9 dB
Consommation	73 mA	95 mA	55 mA
Surface	0.24 mm^2		

Tableau 5.7. Spécifications de l'opamp pour les différents cas du procès

La variation du gain de l'amplificateur en fonction de la tension de sortie $A_V=f(V_{OUT})$ a été aussi étudiée. Ce paramètre est important parce que la diminution du gain pour des tensions de sortie proches des alimentations, peut induire des distorsions importantes, notamment pour des larges signaux en entrée du modulateur. La figure 5.12.a montre le gain de l'amplificateur opérationnel en fonction de la tension à la sortie. Nous pouvons observer que, grâce à la configuration en deux étages, le gain reste très élevé même pour des valeurs proches de l'alimentation (plus de 80 dB jusque 3V). La figure 5.12.b nous permet de modéliser cette dépendance en représentant la tension de sortie en fonction de la tension d'entrée. Au moyen d'une interpolation, nous pouvons faire une approximation de cette courbe par une équation qui modélise la non-linéarité de l'amplificateur. Cette équation a été employée dans notre modèle Matlab-Simulink (figure 4.3) afin d'inclure cet effet sur la performance du modulateur.

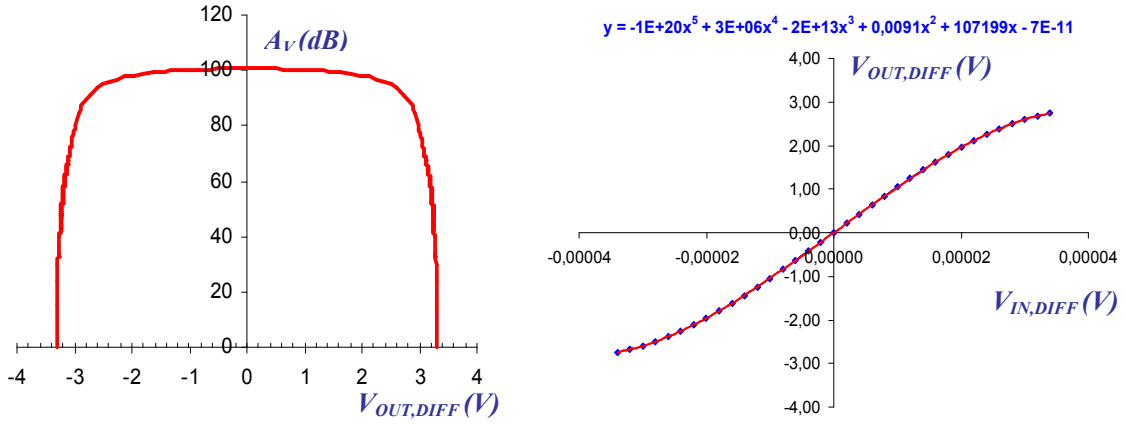


Figure 5.12. (a) Gain de l'opamp en fonction de la tension à la sortie
(b) Voltage de sortie en fonction de la tension d'entrée

5.5. DESIGN DU GENERATEUR DES TENSIONS DE REFERENCE

Avec l'amplificateur opérationnel, le circuit générateur de la référence de tension (*voltage bandgap*) est le bloc le plus important dans la conception d'un modulateur ΣΔ analogique. Tout le

bruit couplé aux tensions de référence va être directement injecté sur l'entrée du modulateur. Même si une capacité extérieure peut filtrer le bruit thermique généré par ce circuit, nous devons encore limiter son bruit en basses fréquences (1/f). Pour la même raison, la rejection du circuit au bruit de l'alimentation est aussi une spécification à prendre en compte. Un autre paramètre important du circuit est sa capacité à charger les capacités d'échantillonnage rapidement (phase ϕ_2). De nouveau, cette spécification peut être satisfaite à l'aide d'une capacité extérieure de grande valeur. Finalement, afin d'éviter des variations du gain du convertisseur causées par des changements de température, nous devons générer une tension dont la valeur est indépendante de la température (*bandgap*).

5.5.1. Architecture du générateur des tensions de référence

Il est bien connu que la tension qui apparaît sur la jonction *pn* d'une diode, polarisée en direct par un courant constant, présente un coefficient de température négative, c'est-à-dire, une augmentation de la température produit une diminution de la tension [Raz00] :

$$\frac{\partial V_{PN}}{\partial T} \approx -1\,mV/°C \tag{5.24}$$

De la même manière, deux diodes de taille différente et polarisées avec le même courant I_O (figure 5.13), engendrent une différence de tension qui est proportionnelle à la température :

$$\Delta V_{PN} = V_{PN1} - V_{PN2} = V_T \cdot \ln\frac{I_O}{I_S} - V_T \cdot \ln\frac{I_O}{m \cdot I_S} = V_T \cdot \ln m \tag{5.25}$$

$$\frac{\partial \Delta V_{PN}}{\partial T} = \frac{\partial}{\partial T}\left(V_T \cdot \ln m\right) = \frac{\partial}{\partial T}\left(\frac{k \cdot T}{q} \cdot \ln m\right) = \frac{k}{q} \cdot \ln m \tag{5.26}$$

où k est la constante de Boltzmann, (k=1.38·10^{-23} J/K), q est la charge électrique d'un électron (q=1.602·10^{-19} C) et m est le rapport entre les surfaces des deux diodes ($m=A_{D2}/A_{D1}$). Ces deux résultats (équations 5.24 et 5.26) peuvent être utilisés pour générer une tension avec un coefficient de température nul. En effet, si nous additionnons la tension d'une jonction *pn* et la différence de tension entre deux diodes de surface différente, nous pouvons obtenir une tension indépendante de la température. Cette stratégie est habituellement employée grâce au schème décrit sur la figure 5.14 [Kui73, Mic84, Ban99, Wal00, Broo94]. L'amplificateur opérationnel conduit à l'égalité des tensions V_a et V_b. Puisque $V_b=V_{PN1}$, le courant qui traverse la résistance R_1 est $(V_{PN1}-V_{PN2})/R_1$ et la valeur de la tension V_{REF} est donnée par :

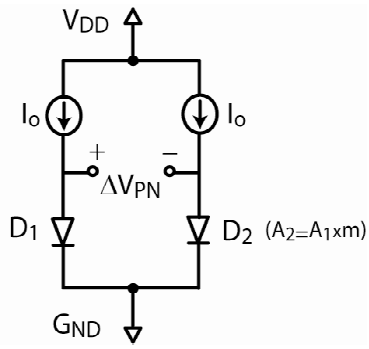


Fig. 5.13. Différence de tension entre deux diodes de taille différente.

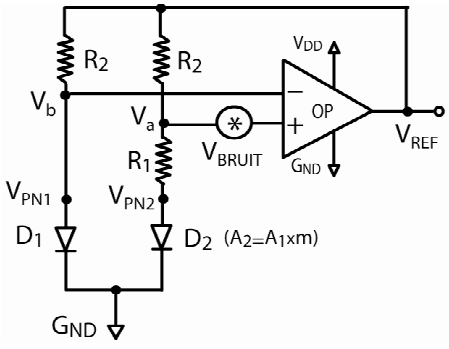


Fig. 5.14. Génération d'une tension avec un coefficient de température nul.

$$V_{REF} = V_{PN2} + (V_{PN1} - V_{PN2}) \cdot \left(\frac{R_1 + R_2}{R_1} \right) = V_{PN2} + V_T \cdot \ln m \cdot \left(1 + \frac{R_2}{R_1} \right) \tag{5.27}$$

Le coefficient de température est donc calculé de la façon suivante :

$$\frac{\partial V_{REF}}{\partial T} = \frac{\partial V_{PN2}}{\partial T} + \frac{\partial V_T}{\partial T} \cdot \ln m \cdot \left(1 + \frac{R_2}{R_1} \right) \approx -1\,mV/K + \frac{k}{q} \cdot \ln m \cdot \left(1 + \frac{R_2}{R_1} \right) \tag{5.28}$$

En choisissant des valeurs appropriées pour le rapport de résistances R_2/R_1 et pour le rapport de tailles des diodes m, nous pouvons atteindre une tension V_{REF} indépendante des variations de température. Toutefois, le circuit de la figure 5.14 n'est pas applicable dans notre cas pour deux raisons. Premièrement, nous cherchons à générer une tension de référence différentielle (V_{REF}^{+}-V_{REF}^{-}). Deuxièmement, le bruit équivalent en entrée de l'amplificateur est amplifié par $(1+R_2/R_1)$, constante dont la valeur est habituellement égale ou plus grande que cinq [Raz00] afin de générer une tension de référence élevée. Le bruit thermique de l'amplificateur opérationnel peut être éliminé à l'aide de capacités extérieures qui vont réduire la bande passante. Par contre, le bruit 1/f, qui est très important dans les amplificateurs CMOS, ne peut pas être évité. Nous avons donc cherché une nouvelle configuration qui nous permettra de générer une tension de référence différentielle, indépendante de la température et avec un bruit en basses fréquences réduit. La figure 5.15 montre l'architecture qui nous permet de satisfaire toutes ces spécifications. Il aurait aussi été possible d'utiliser une architecture en capacités commutées pour la génération des tensions de référence [Nic91]. Nous avons choisi une configuration en temps continu pour simplifier la conception.

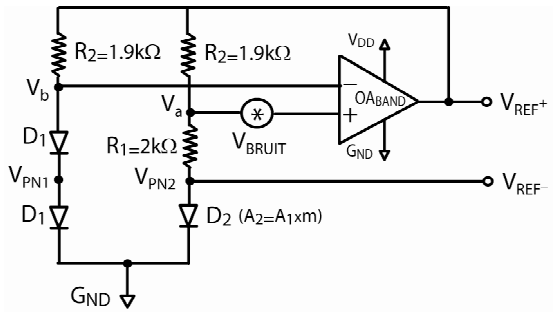


Figure 5.15. Génération d'une tension différentielle indépendante à la température

La tension de référence différentielle est déterminée par :

$$\Delta V_{REF} = V_{REF}^{+} - V_{REF}^{-} = (V_A - V_{PN2}) \cdot \left(\frac{R_1 + R_2}{R_1} \right) = (2 \cdot V_{PN1} - V_{PN2}) \cdot \left(1 + \frac{R_2}{R_1} \right)$$

$$\Delta V_{REF} = (V_{PN1} + (V_{PN1} - V_{PN2})) \cdot \left(1 + \frac{R_2}{R_1} \right) = (V_{PN1} + V_T \cdot \ln m) \cdot \left(1 + \frac{R_2}{R_1} \right) \tag{5.29}$$

ce qui nous permet d'obtenir une valeur de tension élevée $(\Delta V_{REF}=2.2V)$, avec une constante $(1+R_2/R_1)=1.95$ plus petite que dans le cas antérieur et, par conséquent, un bruit en 1/f réduit. Le coefficient de température de cette tension est calculé comme suit :

$$\frac{\partial \Delta V_{REF}}{\partial T} = \left(1 + \frac{R_2}{R_1} \right) \cdot \frac{\partial}{\partial T} (V_{PN1} + V_T \cdot \ln m) \approx \left(1 + \frac{R_2}{R_1} \right) \cdot \left(-1\,mV/K + \frac{k}{q} \cdot \ln m \right) \tag{5.30}$$

Afin d'avoir un coefficient de température nul $(\partial \Delta V_{REF}/\partial T=0)$, m doit être fixé autour de 100000, ce qui est possible en concevant une diode D_2 composée de 64 diodes en parallèle,

chacune d'elles avec une surface 40x40 fois la surface de D_1 (m=40x40x64=102400). La figure 5.16 montre le comportement en température du circuit. Le coefficient de température est, pour toute la plage de températures comprises entre -100 °C et 100 °C, plus petit que 490 ppm/°C.

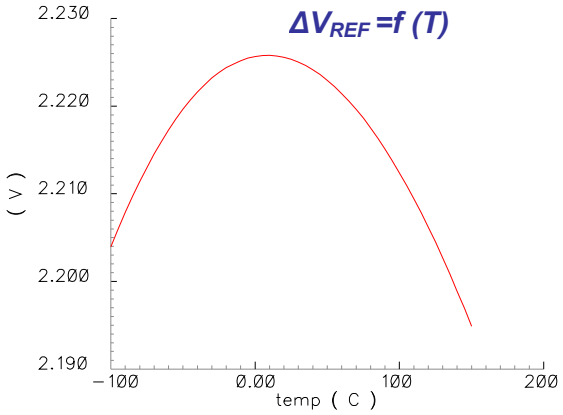


Figure 5.16. Dépendance du voltage de référence différentiel avec la température

Cette architecture, tout comme celle de la figure 5.14, nous permet aussi de rejeter le bruit des alimentations, grâce au gain de l'amplificateur opérationnel : plus le gain de l'amplificateur opérationnel est grand, plus la tension différentielle de référence est insensible au bruit d'alimentation. Les tensions de référence ne peuvent pas, par contre, être directement utilisées pour charger les capacités d'échantillonnage. Nous devons employer deux suiveurs de tension pour procurer les pics de courant nécessaires lors de la charge des capacités commutées. De plus, la réponse de ces deux suiveurs de tension doit être rapide pour être capable de charger complètement les capacités d'échantillonnage lors de la phase ϕ_2. Afin de faciliter la conception de ces suiveurs (et ainsi réduire leur surface), nous allons utiliser une capacité extérieure C_A=47 μF qui sert à charger rapidement les capacités commutées et limite de plus la chute de tension provoquée par les pics de courant. Les spécifications de bande passante et de *slew rate* des suiveurs sont, en conséquence, beaucoup moins importantes.

La figure 5.17 montre l'architecture complète du circuit générateur des tensions de référence. Le même circuit est réutilisé pour générer les tensions de référence additionnelles qui sont nécessaires pour appliquer la technique de BIST. Ainsi, V_{BIST}^+ et V_{BIST}^- sont engendrés grâce

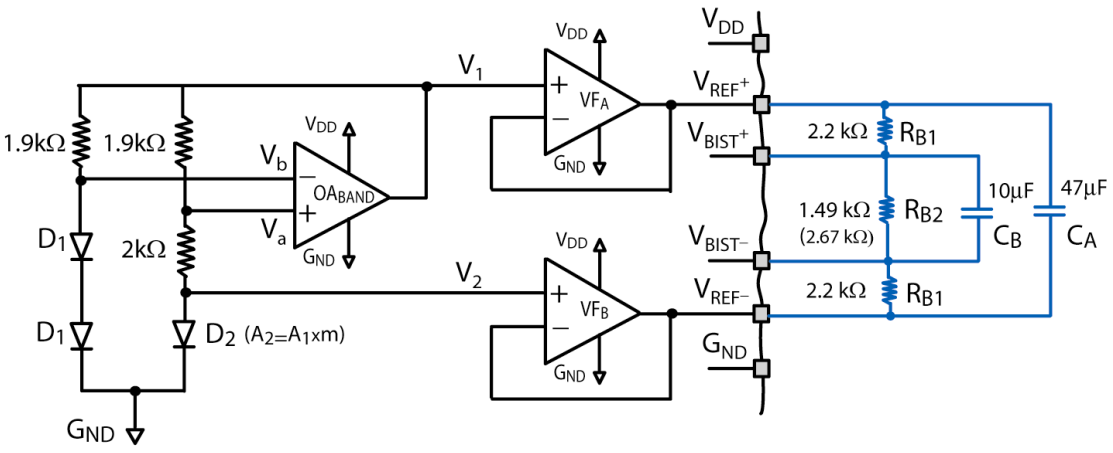


Figure 5.17. Architecture du circuit générateur des voltages de référence

aux résistances externes R_{B1} et R_{B2}. Ces deux résistances, jointes à la résistance équivalente R_{EQ} de l'étage d'entrée du modulateur, forment un diviseur de tension qui nous permet d'injecter un stimulus binaire d'amplitude atténuée Les valeurs de tension du train binaire sont fixées par :

$$\Delta V_{BIST} = V_{BIST}^{+} - V_{BIST}^{-} = \Delta V_{REF} \cdot \left(\frac{R_{B2} \| R_{EQ}}{2 \cdot R_{B1} + R_{B2} \| R_{EQ}} \right) \tag{5.31}$$

où la valeur de R_{EQ} peut être calculée en observant que l'entrée du modulateur est composée de deux capacités commutées de 2 pF en série (figure 5.1) :

$$R_{EQ} = \frac{1}{f_{FHORLOGE} \cdot C_{ENTREE}/2} = \frac{1}{12288\ kHz \cdot 1pF} \approx 80k\Omega \tag{5.32}$$

Afin de calculer les valeurs des résistances R_{B1} et R_{B2}, nous devons utiliser les équations 5.11 et 5.12, qui nous indiquent quelle est l'atténuation que doivent subir les trains binaires du BIST pour obtenir une réduction de 12 dB sur le signal de test :

$$AT_{ORDRE2,3} = \frac{\Delta V_{BIST}}{\Delta V_{REF}} = \left(\frac{R_{B2} \| 80k\Omega}{2 \cdot R_{B1} + R_{B2} \| 80k\Omega} \right) \tag{5.33}$$

Lorsque le stimulus est d'ordre 2, nous utilisons une résistance R_{B2}=1.49 kΩ, tandis que quand le stimulus est généré par un modulateur d'ordre 3, nous employons une résistance R_{B2}=2.67 kΩ. Dans les deux cas, la valeur de la résistance R_{B1} est de 2.2 kΩ. La capacité C_B=10 μF est nécessaire pour éviter les chutes de tensions causées par les pics de courant lors de la charge des capacités commutées. Si nous choisissons des valeurs de résistances plus petites, le courant de sortie des suiveurs de tensions augmente. Par contre, si nous utilisons des résistances plus grandes, la constante de temps formée par la résistance R_{B2} et la capacité C_B s'élève. Cette constante de temps est importante parce qu'après la connexion des alimentations, nous devons attendre la stabilisation complète ($T_{STAB} \approx 10 \cdot \tau = 10 \cdot R_{B2} \cdot C_B$) de la tension de référence. Dans le test industriel standard des convertisseurs A/N, nous devons aussi attendre un temps de stabilisation similaire, ou même plus grand, pour charger toutes les capacités de la carte de test [IC1, IC2 et IC3]. Nous allons maintenant détailler la conception de l'amplificateur et des suiveurs de tension du circuit générateur des tensions de référence.

5.5.2. Design de l'amplificateur opérationnel du générateur

La figure 5.18 montre l'architecture de l'amplificateur opérationnel utilisé dans la conception du circuit générateur des références. Afin d'obtenir un gain élevé et un bruit en basses fréquences très réduit, nous avons de nouveau choisi un amplificateur à deux étages avec une configuration classe AB en sortie [Hog94]. A la différence du circuit de la figure 5.4, la sortie de l'amplificateur n'est pas différentielle et nous n'avons pas besoin de contrôler le mode commun. Le tableau 5.8 montre les dimensions des transistors qui permettent d'obtenir un gain de 99.4 dB et une puissance totale de bruit de 1.72 pV^2 dans la bande audio. La bande passante de l'amplificateur opérationnel est égale à 16 MHz avec une marge de phase de 62° et une consommation totale de 2.6 mA.

5.5.3. Design des suiveurs de tension du générateur

Le design des deux suiveurs de tension utilisés pour générer les tensions de références est décrit figure 5.19. Ces deux amplificateurs n'ont pas de spécification de vitesse parce que les deux circuits sont compensés par de larges capacités extérieures, qui réduisent considérablement leur

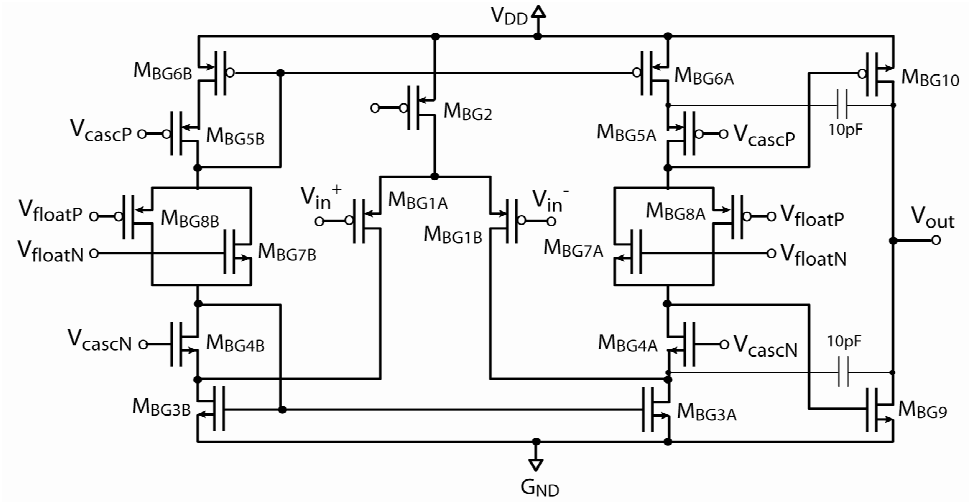


Figure 5.18. Amplificateur opérationnel du circuit générateur

	W/L x(0.3μm/0.35μm)		**W/L** x(0.3μm/0.35μm)
$\mathbf{M_{BG1A,B}}$	43200/1	$\mathbf{M_{BG6A,B}}$	1690/25
$\mathbf{M_{BG2}}$	400/1	$\mathbf{M_{BG7A,B}}$	200/1
$\mathbf{M_{BG3A,B}}$	5625/25	$\mathbf{M_{BG8A,B}}$	540/1
$\mathbf{M_{BG4A,B}}$	3000/1.6	$\mathbf{M_{BG9}}$	1000/1
$\mathbf{M_{BG5A,B}}$	8100/1	$\mathbf{M_{BG10}}$	2700/1

Tableau 5.8. Taille des transistors de l'amplificateur opérationnel du générateur

bande passante. Néanmoins, leurs spécifications de gain et de bruit en 1/f sont très importantes pour conserver, respectivement, une bonne réjection du bruit de l'alimentation et une puissance de bruit en basses fréquences minime. C'est pourquoi nous avons choisi pour les deux circuits une configuration typique à deux étages, avec une structure cascode sans repliement et une configuration classe A en sortie. Le tableau 5.9 présente les dimensions des transistors des deux circuits. Le premier amplificateur offre un gain en boucle ouverte de 83.7 dB et une puissance de bruit dans la bande audio de 4.7 pV^2 pour une consommation totale de 1.44 mA. Le deuxième suiveur présente un gain et une consommation très similaires (83.3 dB et 1.37 mA respectivement) avec une puissance de bruit plus petite (2.8 pV^2).

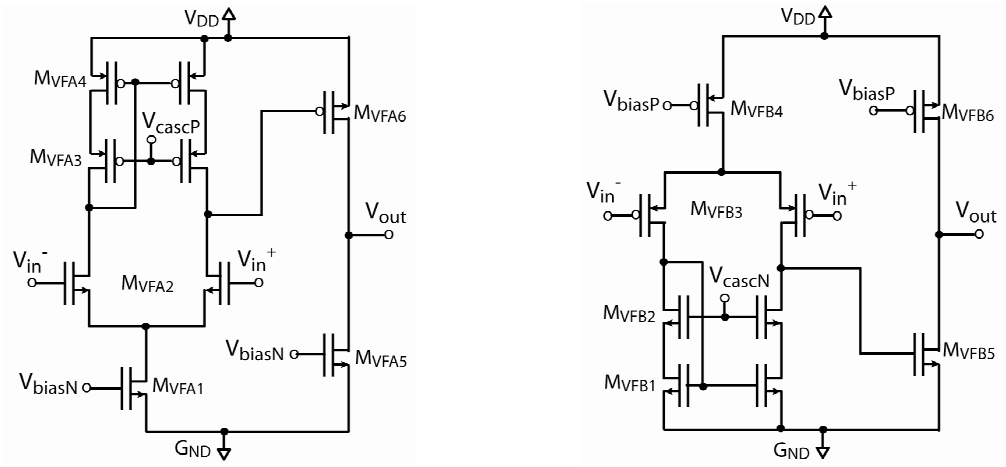


Fig. 5.19. Premier (a) et deuxième (b) suiveurs de tension du circuit générateur

	W/L x(0.3μm/0.35μm)		W/L x(0.3μm/0.35μm)
M_{VFA1}	300/3	M_{VFB1}	1125/15
M_{VFA2}	42000/1.4	M_{VFB2}	1000/2
M_{VFA3}	2700/2	M_{VFB3}	30000/1
M_{VFA4}	1350/10	M_{VFB4}	1215/3
M_{VFA5}	1600/3	M_{VFB5}	2400/3
M_{VFA6}	4320/3	M_{VFB6}	6480/3

Tableau 5.9. Taille des transistors des suiveurs de tension du générateur

5.5.4. Performances

Le tableau 5.10 résume les performances obtenues pour le circuit générateur des tensions de référence. Le bloc occupe une surface de 0.31 mm² avec une consommation totale de 5.4 mA. Grâce aux capacités externes, seul le bruit en 1/f contribue à la puissance totale de bruit dans la bande d'audio (12.1 pV²). Le bruit provenant de l'alimentation est fortement atténué à la sortie du circuit, avec une rejection minimale de 73.5 dB. Le temps de stabilisation du circuit après la connexion des alimentations est de 150 ms.

Spécification	Valeur
$\partial\Delta V_{REF}/\partial T$ (-100°C ÷ 100°C)	490 ppm/°C
Bruit 1/f total (BW=1Hz ÷ 22kHz)	12.1 pV^2
Temps de stabilisation	150 ms
PSRR+ ($\partial\Delta V_{REF}/\partial V_{DD}$)	73.5 dB
PSRR- ($\partial\Delta V_{REF}/\partial G_{ND}$)	76.3 dB
Consommation	5.4 mA
Surface	0.31 mm^2

Tableau 5.10. Performance du générateur des voltages de références

5.6. AUTRES ELEMENTS DU CIRCUIT

5.6.1. Comparateur

Grâce à la mise en forme du bruit produit dans le modulateur, les erreurs du comparateur vont être filtrées par un filtre passe-haut de deuxième ordre. Les spécifications d'offset et d'hystérésis du comparateur ne sont pas donc très restrictives. C'est pourquoi nous pouvons utiliser une configuration simple et sans préamplification à l'entrée, dont le schéma est présenté sur la figure 5.20 [Yuk85, Med99]. La sortie du 2ème intégrateur est échantillonnée pendant la phase ϕ_1. Lorsque V_{IN}^+ est plus grand que V_{IN}^-, l'entrée R de la bascule RS est à niveau haut (R=1, S=0) et V_{OUT}^+ vaut 3.3 V. Au contraire, quand V_{IN}^+ est plus petit que V_{IN}^-, l'entrée R reste au niveau bas (R=0, S=1) ce qui comporte une sortie V_{OUT}^+ égale à 0 V. Une fois que la phase ϕ_1 passe au niveau bas, le comparateur est régénéré grâce aux transistors M_{CP5} et M_{CP6}, ce qui fait que les deux entrées de la bascule restent au niveau bas (R=0 et S=0) et l'état antérieur est conservé. Le tableau 5.11 montre les tailles des transistors du comparateur.

5.6.2. Générateur des phases de l'horloge

Les quatre phases de l'horloge (ϕ_1, ϕ_2, $\phi_{1,INV}$ et $\phi_{2,INV}$), nécessaires pour effectuer la commutation des capacités du modulateur (figure 5.1), sont crées à partir de l'horloge principale

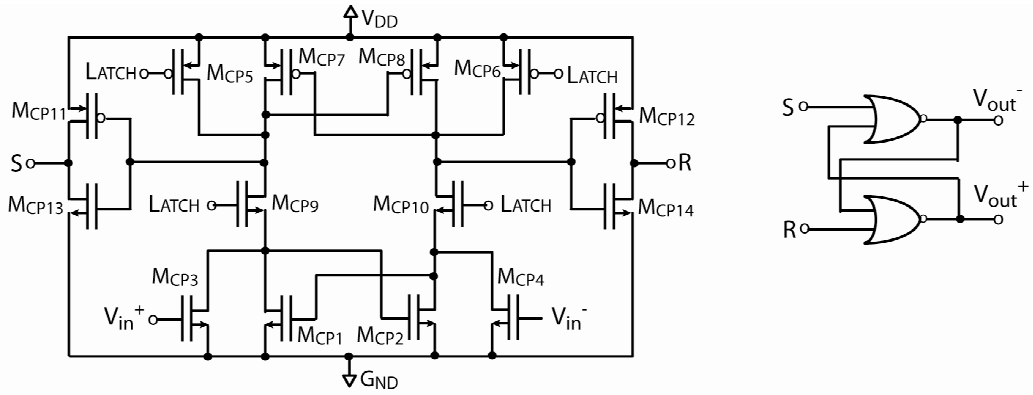


Figure 5.20. Architecture du comparateur

	W/L x(0.3μm/0.35μm)		W/L x(0.3μm/0.35μm)
$M_{CP,1-2,3-4}$	12/6	$M_{CP,11-12,13-14}$	5/1
$M_{CP,5-6}$	32/6	$M_{NOR,NMOS}$	10/1
$M_{CP,7-8,9-,10}$	5/1	$M_{NOR,PMOS}$	27/1

Tableau 5.11. Taille des transistors du comparateur

grâce au circuit décrit figure 5.21 [Marq98]. Le délai introduit par la chaîne des inverseurs empêche le recouvrement des signaux ϕ_1 et ϕ_2. Ainsi, lorsque la phase ϕ_1 passe à niveau bas, la phase ϕ_2 reste collée à zéro pendant un laps de temps ($\Delta t1+\Delta t2$) avant de passer à niveau haut. Les inverseurs ont été conçus pour obtenir un temps de non-recouvrement égal à 5% de la période de l'horloge (4 ns). Puisque la phase d'intégration requiert plus de temps que la phase d'échantillonnage pour compléter le transfert de charge [DLR05], nous choisissions une phase ϕ_2 plus longue (67.5% de la période de l'horloge) que la phase ϕ_1 (27.5%). Deux phases additionnelles ϕ_{1A} et ϕ_{2A} sont générées à partir du même circuit pour éviter l'injection de charges non-linéaires des interrupteurs [Joh96]. En effet, si les interrupteurs contrôlés par ϕ_{1A} et ϕ_{2A} se ferment avant, la charge, contenue dans les canaux des transistors et transférée aux capacités, ne dépend pas du signal d'entrée parce que ces interrupteurs sont toujours connectés à la masse

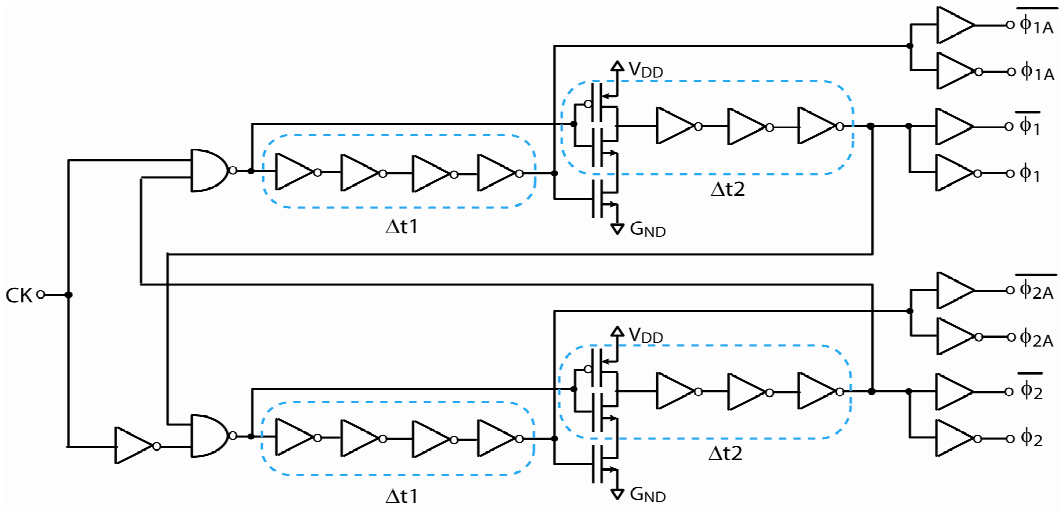
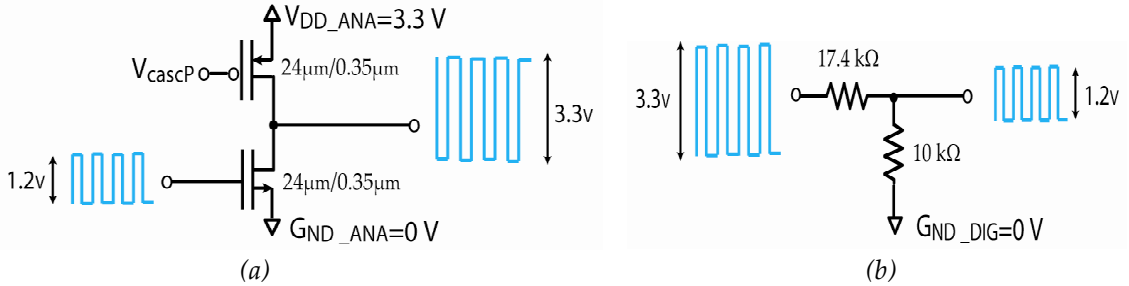


Figure 5.21. Architecture du circuit générateur des phases de l'horloge

analogique. Les phases ϕ_{1A} et ϕ_{2A} doivent donc avancer leurs flancs descendants par rapport à leurs homologues ϕ_1 et ϕ_2. Afin de profiter au maximum de la période d'horloge, les flancs de montée peuvent rester synchronisés. Sur la figure 5.21, les phases ϕ_{1A} et ϕ_{2A} présentent une avance de Δt_2 sur leurs flancs de descente. Si Δt_1 et Δt_2 sont égaux, les flancs de montée de ϕ_1 et ϕ_{1A} ont lieu en même temps.

5.6.3. Interface du bloc analogique avec les signaux numériques

Dans la technologie HCMOS9 de STMicroelectronics, tous les blocs numériques ont une tension d'alimentation V_{DD_DIG}=1.2V. Par contre, les blocs analogiques de notre convertisseur ont été conçus avec une alimentation analogique de V_{DD_ANAG}=3.3V pour améliorer la dynamique du modulateur. Nous devons donc élever la tension des trois signaux numériques qui arrivent au modulateur (horloge, stimulus et signal du contrôle du BIST) de 1.2 V à 3.3 V. La figure 5.22.a montre le circuit qui réalise cette tâche. Cette configuration très simple inverse et amplifie le signal d'entrée au prix d'une consommation de 300 μA lorsque la sortie est en niveau bas. De la même manière, la sortie numérique V_{OUT} générée par le modulateur doit être atténuée de 3.3 V à 1.2 V avant d'arriver au premier étage du filtre de décimation. Cela est réalisé grâce au diviseur de tension illustré sur la figure 5.22.b. Quand le signal est en niveau haut, un courant de 120 μA traverse les résistances.



(a) *(b)*

Fig. 5.22. Interfaces des signaux numériques avec le modulateur analogique

5.7. CONCLUSIONS

Dans ce chapitre nous avons détaillé la conception d'un modulateur analogique de deuxième ordre qui atteint une dynamique de 96 dB. Ce modulateur incorpore un nouveau chemin sur son étage d'entrée afin d'injecter un train binaire et pouvoir appliquer la technique de BIST présentée dans le chapitre antérieur. Une étude des différentes sources de bruit présentes dans le modulateur a été effectuée. La conception de l'amplificateur opérationnel différentiel, qui constitue le bloc principal du modulateur, a été détaillée, ainsi que les circuits qui contrôlent ses tensions de mode commun. Nous avons également présenté le design d'un circuit qui génère une tension différentielle indépendante de la température et insensible au bruit des alimentations. Enfin, la conception des autres circuits qui constituent le modulateur (le comparateur, le générateur de phases et l'interface avec les signaux numériques) a aussi été présentée.

La consommation totale du modulateur (153 mA) est très élevée à cause de l'architecture choisie pour le modulateur. Une configuration d'ordre plus grand permettrait l'utilisation d'une horloge moins rapide et réduirait, en conséquence, la consommation. Cependant, notre objectif n'est pas de concevoir un modulateur de basse consommation mais de réaliser un convertisseur

analogique/numérique de haute précision auto-testable. L'architecture de 2ème ordre se montre très tolérante aux imperfections de fabrication.

Le circuit générateur des tensions de référence est réutilisé pour engendrer les tensions de BIST, nécessaires pour l'injection du stimulus binaire atténué. Seuls trois plots additionnels (pour les tensions V_{BIST}^{+}, V_{BIST}^{-} et le signal de contrôle *BISTMODE*) doivent être rajoutés dans la partie analogique. En conséquence, le surcoût en surface analogique du BIST est très petit (0.036 mm²) en comparaison avec la surface totale du modulateur (0.89 mm² sans les plots), dont le layout est présenté sur la figure 5.23.

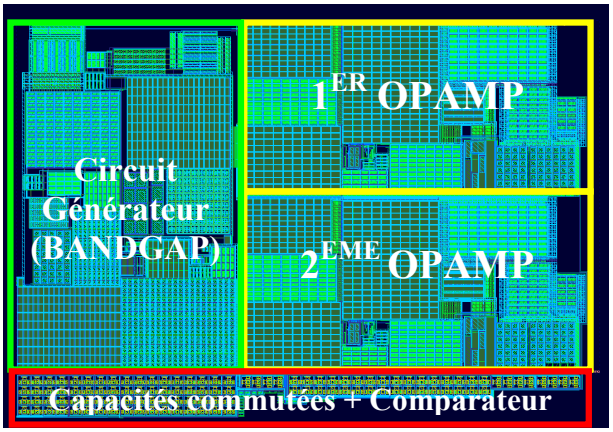


Figure 5.23. Layout du modulateur analogique

CHAPITRE 6

Résultats Expérimentaux

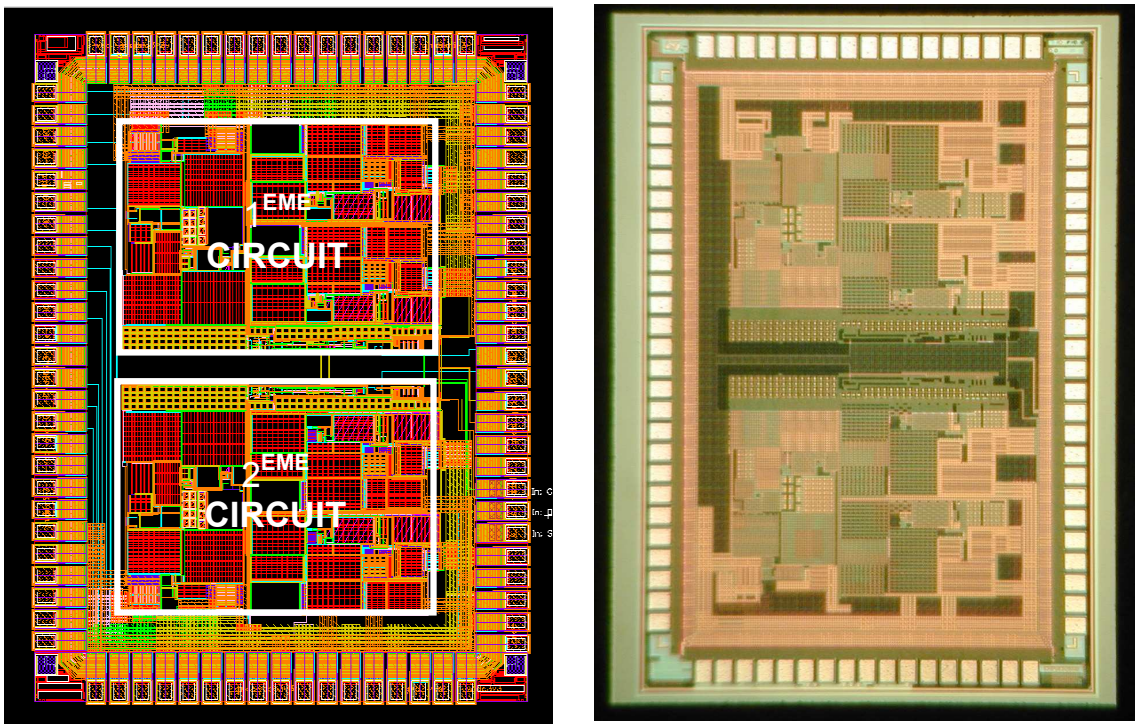
6.1. INTRODUCTION

Afin de valider sur silicium la technique de BIST proposée dans ces travaux de thèse, nous avons réalisé un prototype dans une technologie CMOS 0.13 μm de STMicroelectronics. Ce démonstrateur contient tous les blocs analogiques du convertisseur analogique/numérique auto-testable. Les blocs numériques sont émulés lors du test avec Matlab. Dans ce chapitre, nous présentons ce prototype ainsi que la carte de test et l'instrumentation utilisée pour effectuer les mesures expérimentales. Ensuite, nous abordons la caractérisation du convertisseur. Enfin, nous comparons les résultats du test conventionnel avec les résultats obtenus avec la technique de BIST.

6.2. PROTOTYPE REALISE

La figure 6.1 montre le démonstrateur conçu dans la technologie HCMOS9 (0.13 μm) de STMicroelectronics avec 6 niveaux de métaux. Cette technologie mixte utilise une alimentation de 1.2 V pour les cellules numériques, mais elle permet aussi d'alimenter les blocs analogiques avec une tension de 3.3 V, grâce à l'utilisation de transistors (GO2), qui ont une épaisseur d'oxyde supérieure. Ce prototype a été fabriqué grâce au service CMP (*Circuits Multi Projets*), service du CNRS permettant aux universités et instituts de recherche de fabriquer des circuits à bas prix en partageant une plaquette entre plusieurs concepteurs.

Ce démonstrateur contient le modulateur analogique et le circuit générateur (*bandgap*) de tensions de référence du convertisseur A/N Sigma-Delta, dont la conception a été détaillée dans le chapitre précédent. Le filtre de décimation numérique n'a pas été intégré sur silicium, mais des modèles de Matlab nous permettent d'émuler complètement sa fonctionnalité. La puce contient deux circuits identiques à ceux présentés au préalable sur la figure 5.23. La surface de chacun de ces circuits est de 0.89 mm². La surface totale du démonstrateur est de 4.07 mm² (1.69 mm x 2.41 mm). Le reste de la surface (2.29 mm²) est dû principalement au nombre plots (86), nécessaires dans ce prototype pour supporter le courant de consommation du circuit. Si le procédé est centré, nous attendons un courant total environt 305 mA. Le boîtier choisi pour ce prototype est un CQFP (*Ceramic Quad Flat Package*) de 100 pins, ce qui est une excellente solution pour les circuits analogiques. Ce boîtier est monté en surface (SM, *Surface Mounted*) et introduit beaucoup moins de parasites que d'autres boîtiers comme, par exemple, le PGA (*Pin Grid Array*) qui est plus approprié pour les circuits numériques.



(a) *(b)*

Fig. 6.1. Layout (a) et photo (b) du prototype

La seule différence entre les deux circuits intégrés sur la puce est la possibilité de régler, depuis l'extérieur, les quatre tensions de polarisation V_{floatN}, V_{floatP}, V_{ana2} et $V_{biasOUT}$ dans le deuxième circuit. Ces tensions permettent principalement de contrôler le mode commun du premier et deuxième étage des deux amplificateurs opérationnels différentiels (Section 5.4.2) du modulateur analogique. Dans le cas d'une déviation du procès, nous aurons la possibilité de varier ces tensions pour améliorer les performances du convertisseur.

Chacun des deux circuits est conçu pour pouvoir recevoir deux entrées différentielles différentes : soit un signal analogique audio, soit un stimulus binaire (Figure 5.1). Grâce au pin de contrôle *BISTMODE*, nous pouvons passer d'un mode à l'autre et comparer ainsi les résultats. La sortie de chacun des circuits est le train binaire généré à la sortie du modulateur analogique. Ce signal numérique peut être ensuite traité avec Matlab. Seules les trois entrées numériques du démonstrateur (clock, stimulus et contrôle du BIST) et les deux sorties numériques (out_1 et out_2) utilisent des plots numériques, qui travaillent à une tension de 1.2 V. Les autres entrées sont analogiques avec une tension maximale de 3.3 V. Afin d'avoir les meilleures performances, et d'éviter le couplage de bruit généré par les signaux numériques sur les blocs analogiques, nous avons scindé la couronne de plots en deux morceaux isolés. L'un d'eux contient uniquement les entrées et sorties numériques, et l'autre comporte tous les alimentations et entrées analogiques. La séparation des alimentations et des masses analogique et numérique n'est pas effectuée seulement à niveau de la couronne de plots mais également dans tout le layout du circuit et de la carte de test.

Tel que nous l'avons décrit dans le chapitre précédent, un circuit de *bandgap* engendre dans la puce les tensions de référence nécessaires pour le convertisseur. Grâce à l'utilisation de quelques composants passifs extérieurs (Section 5.5.1), les tensions de référence additionnelles, nécessaires pour l'application du BIST, peuvent être aussi générées à partir de ce circuit. Ainsi, deux nouveaux plots sont inclus (par circuit) dans le prototype. Comme nous l'avons décrit dans

le chapitre précédent, une capacité de découplage de 10 µF doit être placée entre ces deux plots dans la carte de test. Lors de la réalisation du layout du circuit, il est extrêmement important de bien isoler et séparer les tensions de références, générées par le circuit du *bandgap*, du train binaire obtenu à la sortie du modulateur. Un couplage entre ces deux signaux peut introduire de la distorsion dans la bande passante du convertisseur [Nor96]. Pour l'application de la technique de BIST, nous devons également séparer les tensions de référence atténuées, utilisées pour le BIST, du stimulus binaire d'entrée.

6.3. Carte de Test

La réalisation d'une carte de test, spécialement dédiée à chaque puce, est nécessaire pour le test de convertisseurs analogique/numérique Sigma-Delta, afin de ne pas dégrader les performances du circuit. Pour la conception et fabrication de cette carte, l'aide des ingénieurs de STMicroelectronics Dimitri Goguet et Christian Badard a été essentielle. Une photo de cette carte est présentée en figure 6.2.

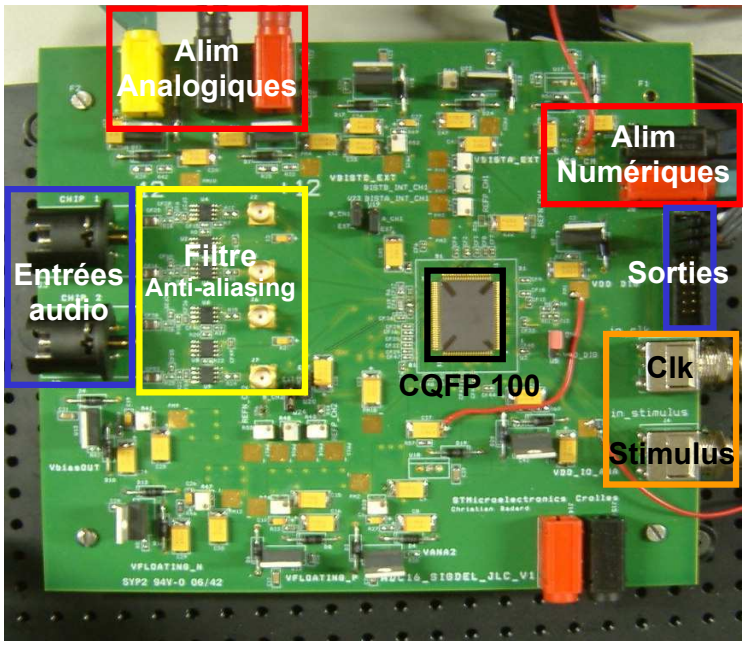


Fig. 6.2. Photo de la carte de test

La connexion de l'instrumentation avec les entrées analogiques différentielles du modulateur est effectuée grâce à un étage d'entrée composé d'un filtre anti-repliement (*anti-aliasing*). Ce filtre permet d'éliminer le bruit des hautes fréquences qui pourrait se replier dans la bande passante du convertisseur. La figure 6.3 montre un schéma simplifié de ce filtre. Le filtre passe-haut composé par la capacité C_1 et la résistance R_1, a une fréquence de coupure f_1=2 Hz, ce qui nous permet de découpler la valeur de tension continue du signal d'entrée, et l'adapter au mode commun du modulateur (V_{CM}). Le filtre passe-bas composé par R_2, R_3, C_2 et C_3, introduit deux pôles sur les fréquences f_2=101 kHz et f_3=268 kHz.

Toutes les alimentations du prototype et les tensions extérieures de polarisation du deuxième CAN Sigma-Delta sont générées grâce à des régulateurs *LM317*. La figure 6.4 décrit la configuration employée pour ces composants. L'utilisation de ces régulateurs permet d'atténuer le bruit de l'alimentation d'au moins 65 dB [IC4] et de générer une valeur de tension qui, selon les spécifications du composant *LM317*, est déterminée de la manière suivante :

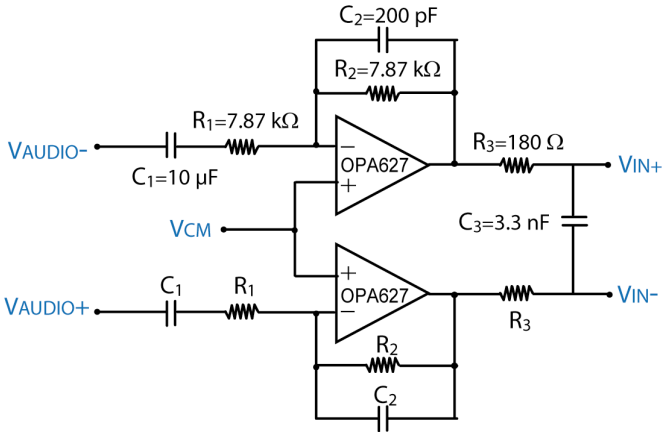


Fig. 6.3. Schéma simplifié du filtre anti-aliasing

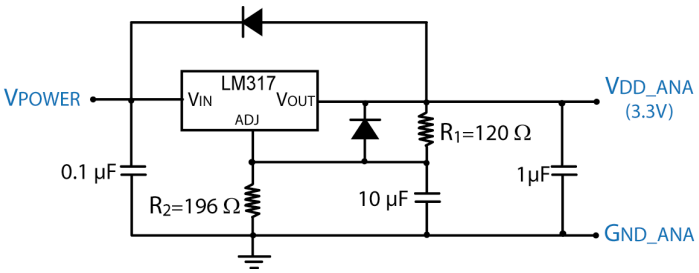


Fig. 6.4. Configuration du régulateur pour générer V_{DD_ANA}

$$V_{OUT}=1.25\cdot\left(1+\frac{R_2}{120\Omega}\right) \tag{6.1}$$

Pour les tensions V_{CM}, V_{floatN}, V_{floatP}, V_{ana2} et $V_{biasOUT}$, nous remplaçons R_2 par un potentiomètre afin de pouvoir régler ces tensions. Pour obtenir des valeurs plus petites que 1.25V, un diviseur résistif additionnel est utilisé à la sortie du régulateur. Afin de pouvoir réaliser des comparaisons, nous avons ajouté la possibilité de générer, avec des régulateurs extérieurs, les tensions de références atténuées nécessaires pour le BIST. Dans cette carte expérimentale, nous pouvons donc générer ces tensions depuis l'extérieur ou bien les engendrer à partir du *bandgap* interne.

Pour les entrées numériques, nous avons choisi des connecteurs BNC, alors que les sorties binaires sont récupérées au moyen de connecteurs à picot. Les entrées audio analogiques et différentielles sont injectées dans le filtre anti-repliement à travers des connecteurs XLR. Afin d'optimiser les performances, nous utilisons entre la masse et toutes les alimentations du circuit, deux capacités de découplage : une petite capacité de 0.1 µF en céramique, située le plus près possible de la puce, et une plus grande capacité de 10 µF en tantale, placée près du régulateur. Tous les dispositifs utilisés dans la carte de test sont montés en surface, à l'exception des diodes et des régulateurs.

6.4. Environnement de Test

Pour l'exécution du test, nous avons utilisé plusieurs équipements du laboratoire RF-AMS à ST-Crolles. Pour son utilisation, l'aide de l'ingénieur de test, Dimitri Goguet, a été, de nouveau, indispensable pour mener à bout toutes les mesures. Le tableau 6.1 liste tous les instruments employés lors du test.

FONCTIONNALITE	INSTRUMENT
Alimentation	Rhode & Schwartz BGPT35
Multimètre	Keithley 2700 Integra Series DMM
Oscilloscope	Tectronix TDS3054
Génération des signaux analogiques audio	Audio Precision System two cascade plus 2722 – Dual domain
Génération des stimuli numériques et de l'horloge	Tektronix -DG2020 Pattern Generation
Acquisition des trains binaires	Tektronix -DG2020 Logic Analyser

Tableau 6.1. Liste des équipements utilisés lors du test

Pour le mode de test standard, nous utilisons comme stimulus de test le signal analogique différentiel généré par l'instrumentation d'audio précision (Figure 6.5.a). Le train binaire est capturé au moyen de l'analyseur logique Tektronix. Ce même instrument est utilisé pour générer une horloge à 12.2 MHz. Nous prenons 368640 bits de la sortie du modulateur, ce qui correspond à un temps de test de 30 ms. Une fois que le train binaire est sauvegardé en mémoire, nous transférons les données à Matlab, où nous pouvons émuler le filtre de décimation numérique. Dans ce mode, la résolution du convertisseur est calculée avec l'algorithme de régression sinusoïdale à quatre variables (fréquence, amplitude, phase et offset) [IEEE94]. Nous ne pouvons pas utiliser l'algorithme à trois variables (amplitude, phase et offset), parce que d'infimes variations sur la fréquence d'entrée peuvent causer une mauvaise évaluation du SINAD du convertisseur. Pour effectuer ce calcul, nous prenons à la sortie du filtre de décimation 563 points.

Pour le mode BIST, l'équipement audio n'est pas utilisé. Un seul instrument (Tektronix) est employé pour générer l'horloge et le stimulus du BIST, ainsi que pour récupérer les échantillons à la sortie du modulateur. Dans ce mode, le stimulus binaire est aussi mémorisé et envoyé au filtre de décimation, afin de générer un signal de référence synchronisé avec la réponse (Figure 6.5.b). Le calcul du SINAD du convertisseur est effectué en utilisant ce signal de référence, selon la méthode expliquée dans le chapitre 4. Afin de réaliser ce calcul, nous prenons

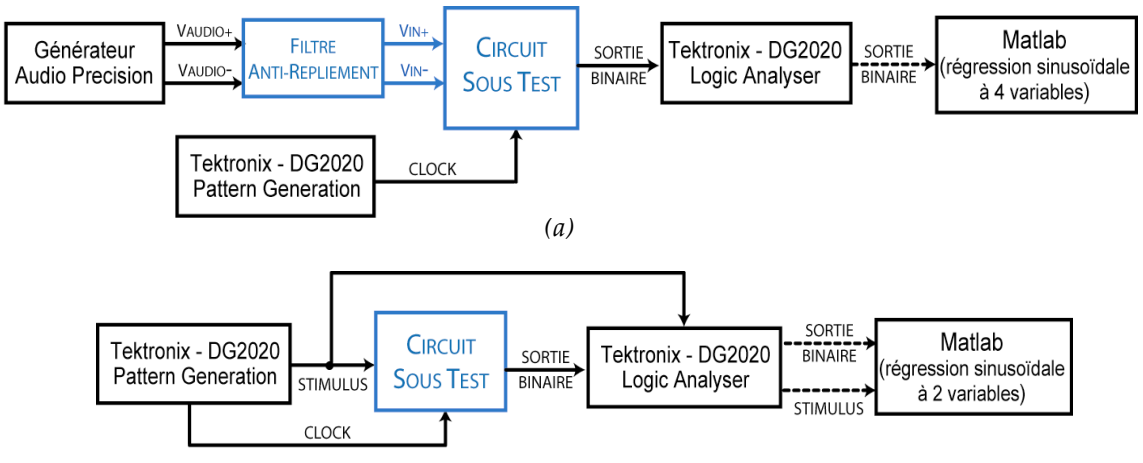


Fig. 6.5. Configuration du test en (a) mode de test standard, et (b) mode BIST

de nouveau 563 échantillons à la sortie du filtre de décimation.

6.5. RESULTATS DE TEST

Notre première mesure est la consommation de courant du prototype. Bien évidemment, la consommation dépend des valeurs des tensions de polarisation (V_{CM}, V_{floatN}, V_{floatP}, V_{ana2} et $V_{biasOUT}$) du deuxième circuit, réglables dans notre carte de test. Lorsque nous choissions pour ces tensions les valeurs attendues pour le cas typique du procès (tableau 5.6 : V_{CM}=1.65 V, V_{floatN}=1.85 V, V_{floatP}=1.55 V, V_{ana2}=750 mV et $V_{biasOUT}$=850 mV) nous mesurons un courant total de 240 mA. Nous attendions un courant de 305 mA pour un procédé typique, et de 233 mA pour un procédé lent. Nous pouvons donc conclure que le silicium n'est pas centré mais proche du cas lent.

Nous observons que le premier circuit, sans les tensions de polarisation réglables, n'est pas fonctionnel. Quand nous effectuons le test standard avec un signal audio, nous récupérons à la sortie un train binaire, mais le signal d'entrée n'est pas codifié. Le résultat est le même quand nous utilisons comme signal de test un stimulus binaire. Le décentrage du procédé a donc eu un impact très important sur la fonctionnalité du circuit. Nous pouvons donc conclure que l'architecture de l'amplificateur opérationnel, utilisé dans les deux intégrateurs du convertisseur, n'est pas assez tolérante aux déviations du procédé.

Heureusement, nous avons pu régler les tensions de polarisation du deuxième circuit pour compenser la déviation du procédé. Comme nous le montrons par la suite, avec les valeurs de tension suivantes (V_{CM}=1.70 V, V_{floatN}=1.892 V, V_{floatP}=1.213 V, V_{ana2}=450 mV et $V_{biasOUT}$= 912 mV), le deuxième convertisseur atteint une résolution de plus de 15 bits.

6.5.1. Caractérisation du convertisseur

Dans un premier temps, nous avons caractérisé le convertisseur avec un test standard (environnement décrit sur la figure 6.5.a), sans utiliser le BIST. La figure 6.6 montre le SINAD du

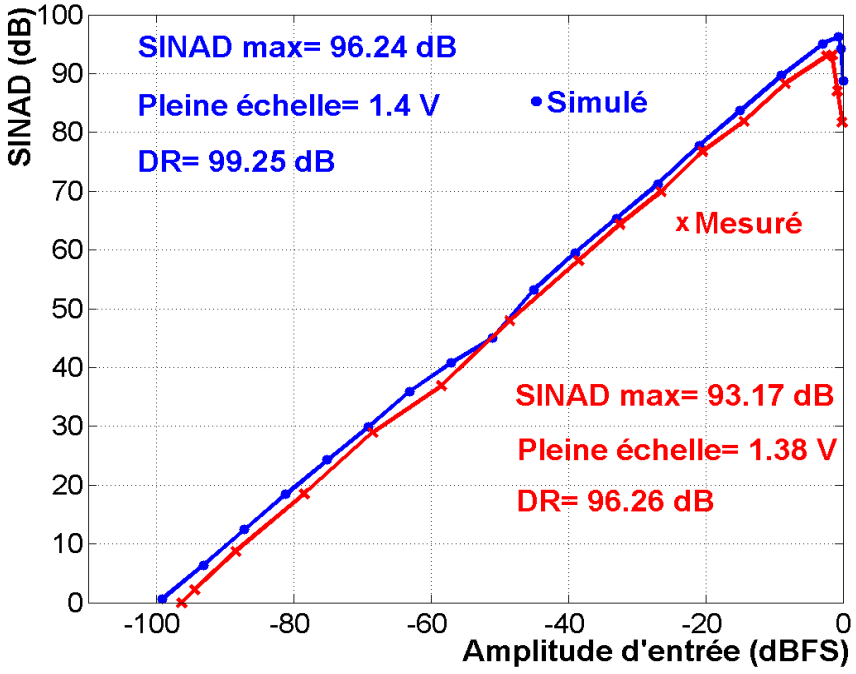


Fig. 6.6. SINAD du convertisseur en fonction de l'amplitude

convertisseur en fonction de l'amplitude du signal d'entrée quand l'on utilise un signal sinusoïdal à 5.4 kHz. Les valeurs de SINAD, obtenues de manière expérimentale, sont comparées avec les résultats attendus par simulation, que nous avions déjà décrits sur la figure 4.10. Le SINAD maximal mesuré est de 93.17 dB, face aux 96.24 dB attendus par simulation. Cette valeur est obtenue pour une amplitude $A_{SINAD,MAX}$=1.166 V. La pleine échelle est la même que prévue (PE=1.38 V) mais la plancher de bruit du convertisseur a augmenté de 3.38 dB. La dynamique du convertisseur a diminué de 3 dB (DR=96.26 dB), face aux 99.25 dB attendus par simulation. Le nombre effectif de bits est $ENOB_{MESURE}$=15.18 bits. Nous n'avons donc perdu que 0.6 bits de résolution. Cette petite détérioration de performances peut être expliquée, de manière très raisonnable, par la déviation du procédé et des non-idéalités qui n'ont pas été prises en compte dans notre modèle, comme par exemple, la gigue de l'horloge du test.

La figure 6.7 montre le SINAD obtenu pour des signaux d'entrée à différentes fréquences, depuis 30 Hz jusqu'aux 23 kHz. L'amplitude du signal d'entrée est fixée à 0.82 V_{DIFF} (-3 dB par rapport à l'amplitude qui donne le SINAD maximal $A_{SINAD,MAX}$=1.166 V). Le convertisseur se montre fonctionnel dans toute la bande d'audio, avec une réduction moyenne de 3.9 dB par rapport aux résultats de simulation.

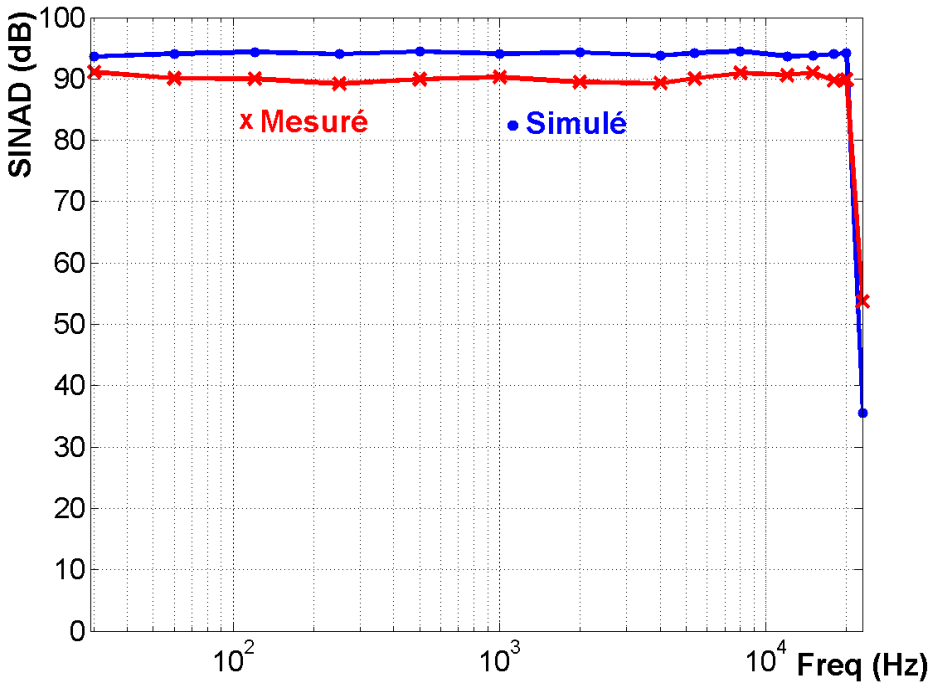


Fig. 6.7. SINAD du convertisseur en fonction de la fréquence du signal

6.5.2. Caractérisation de la technique de BIST

Nous avons ensuite procédé à la comparaison de notre technique de BIST avec la méthode de test standard. La figure 6.8 montre les résultats obtenus lorsque nous mesurons le SINAD du convertisseur avec le BIST en utilisant un stimulus d'ordre 3, aussi bien pour la génération du stimulus que pour l'analyse de la réponse du CAN. La fréquence fondamentale du signal est la même dans les deux tests : *f=5.4 kHz*. Les tensions du BIST, nécessaires pour l'injection du stimulus binaire, ont été générées en réutilisant le circuit de *bandgap*, qui engendre les tensions de référence du modulateur. Le résultat obtenu est le même lorsque nous utilisons des régulateurs extérieurs.

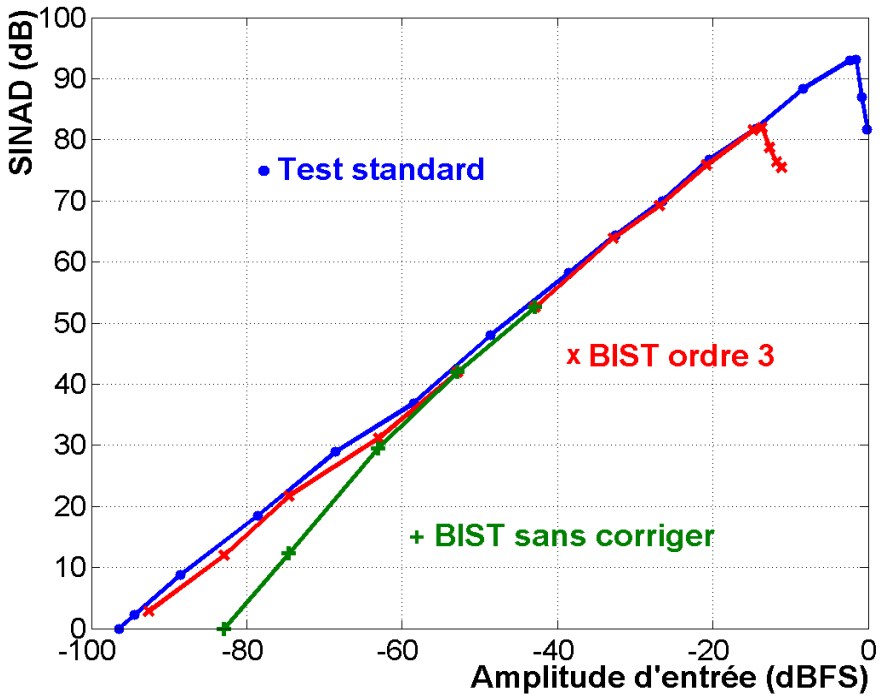


Fig. 6.8. SINAD obtenu avec le BIST et un stimulus d'ordre 3

Afin d'obtenir la figure 6.8, nous avons généré des stimuli binaires qui codifient des signaux sinusoïdaux avec des amplitudes différentes. Quand nous avons réalisé cette manipulation, nous avons observé deux phénomènes. Premièrement, si nous introduisons un délai de deux cycles d'horloge afin de synchroniser le signal de référence avec la réponse, nous obtenons des valeurs de SINAD plus petits que 60 dB dans tous les cas. Cette limitation est résolue si nous utilisons un délai de trois périodes d'horloge. En effet, le comparateur du modulateur analogique échantillonne le signal et introduit un délai additionnel que nous n'avions pas considéré dans notre modèle. Deuxièmement, pour des stimuli qui codifient des amplitudes de signal plus petites que 1 mV, l'erreur est grande. Elle est causée par la dégradation de la qualité du signal de référence pour des stimuli d'amplitude réduite. Pour éviter cette limitation, nous avons corrigé le coefficient à la sortie du filtre sinus cardinal (figure 4.6.b), et nous avons multiplié sa valeur par 64. Cette modification, très facile à effectuer, permet d'augmenter la précision du signal de référence et, en conséquence, d'améliorer les résultats du BIST.

Sur la figure 6.8 nous pouvons observer que, une fois ces deux phénomènes ont été corrigés, l'erreur ou différence entre le SINAD mesuré avec la méthode de test standard et le SINAD mesuré avec notre technique de BIST est très réduite. Comme prévu par les simulations, pour des amplitudes au-delà de –12 dBFS, le stimulus binaire cause la saturation du modulateur analogique et la valeur du SINAD diminue. Dans les autres cas, l'erreur est toujours plus petite que 2 dB. De plus, pour des valeurs de SINAD comprises entre 40 dB et 82 dB, la précision de la mesure est très élevée, avec une erreur inférieure à 1 dB.

La figure 6.9 présente les résultats obtenus avec le BIST quand nous utilisons un stimulus d'ordre 2 et que nous n'effectuons aucune modification sur le filtre de décimation. Comme prévu de nouveau par les simulations, l'erreur est plus grande, allant jusqu'aux 3 dB. Cette erreur est causée principalement par la diminution de la précision du signal de référence. En effet, si nous générons le même stimulus mais nous utilisons un signal de référence idéal (BIST-génération sur la figure 6.9), l'erreur est limitée à moins de 1 dB.

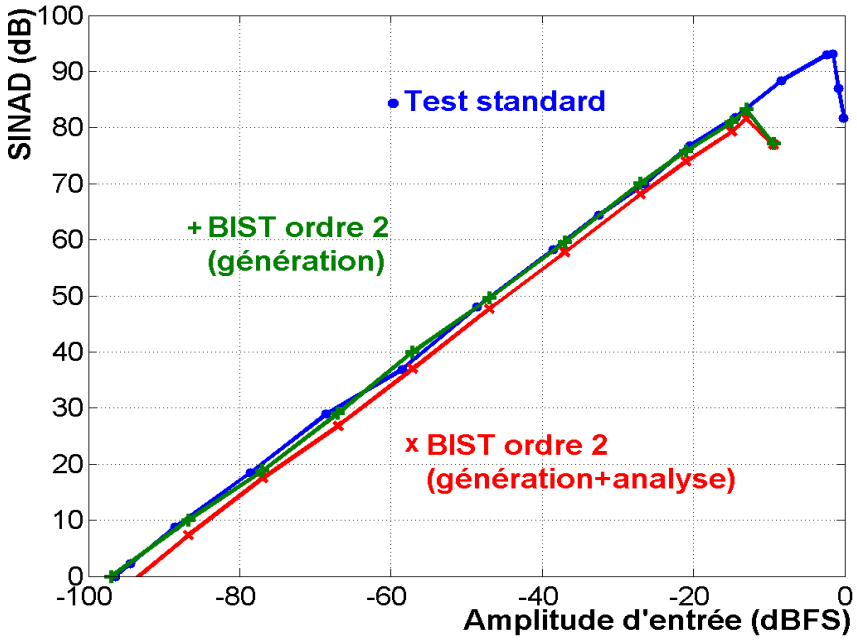


Fig. 6.9. SINAD obtenu avec le BIST et un stimulus d'ordre 2

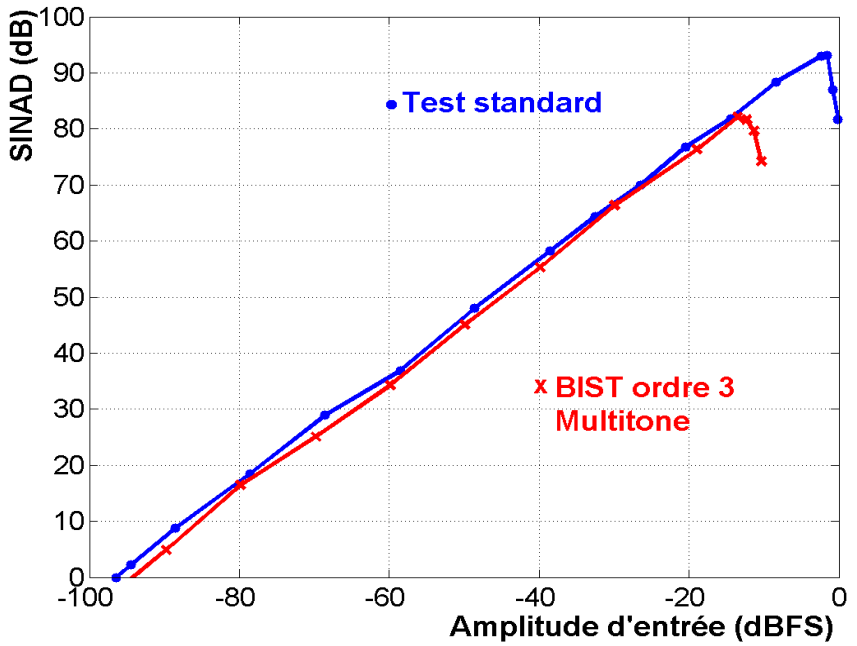


Fig. 6.10. SINAD obtenu avec le BIST et un stimulus multifréquence d'ordre 2

Finalement, la figure 6.10 montre les valeurs du SINAD mesurées avec le BIST quand le stimulus binaire codifie un signal multifréquence de deux tons. Les résultats sont très similaires aux autres cas, avec une erreur maximale de 2 dB.

Les résultats expérimentaux présentés dans les figures 6.8, 6.9 et 6.10 confirment les résultats obtenus par simulation. La précision du BIST est excellente, avec une erreur de mesure toujours inférieure à 3 dB et limitée à moins de 1 dB lorsque nous utilisons un stimulus d'ordre 3. Afin d'évaluer la capacité de la technique de BIST pour détecter la dégradation de performances du convertisseur, nous avons essayé d'injecter des non-idéalités dans le circuit. Dans ce but, nous

avons varié les tensions de polarisation réglables. Malheureusement, la grande sensibilité du modulateur à ces tensions produit une instabilité lorsque nous modifions légèrement leurs valeurs. Cela nous a empêché d'effectuer ces manipulations.

6.6. CONCLUSIONS

Dans ce chapitre, nous avons présenté le prototype que nous avons conçu et fabriqué afin de valider la technique de BIST proposée dans ces travaux de thèse. Toutes les parties analogiques du convertisseur sont intégrées dans ce circuit. Les blocs numériques ont été émulés à l'aide de Matlab. Nous avons aussi décrit la carte et l'environnement de test dans lequel nous avons effectué toutes les mesures.

La caractérisation du convertisseur a montré que l'architecture utilisée pour les amplificateurs différentiels du modulateur analogique n'est pas tolérante aux variations du procédé. Nous avons choisi, pour cet amplificateur, une configuration en deux étages afin d'atteindre une bande passante élevée. Cela est nécessaire pour pouvoir utiliser un sur-échantillonnage (OSR) important et obtenir, avec un modulateur d'ordre 2, 16 bits de précision dans la bande audio. Une configuration d'ordre supérieur pour le modulateur permettrait de réduire l'OSR et, par conséquent, la bande passante de l'amplificateur et la consommation en courant du circuit.

Cependant, grâce au réglage de plusieurs tensions de polarisation, nous avons obtenu une précision de 15.18 bits dans le deuxième circuit du prototype. En utilisant une méthode de test standard, nous avons caractérisé la dynamique (*DR*=96.26 dB) et la pleine échelle (*PE*=1.38 V) du convertisseur. Le circuit fournit une très haute résolution dans toute la bande audio. Le circuit de *bandgap*, générateur des tensions de référence, se montre aussi complètement fonctionnel. Il génère une tension différentielle de 2.2 V, avec un niveau de bruit très bas. De plus, il a été réutilisé pour générer les tensions de référence du BIST, nécessaires pour injecter le stimulus binaire dans le modulateur.

De manière expérimentale, nous avons déterminé que le délai subi par le signal dans le modulateur analogique est de 3 cycles d'horloge. Cela est très important pour synchroniser les deux signaux : réponse du CAN et signal de référence. Nous avons comparé la technique de BIST avec le test standard. Les résultats expérimentaux ont montré une excellente corrélation entre les deux tests. L'erreur est toujours plus petite que 2 dB quand nous utilisons pour le BIST un stimulus d'ordre 3, soit mono-fréquence, soit multifréquence. Le test conventionnel et le BIST mesurent le même SINAD pour des amplitudes allant jusqu'à –10 dBFS. Dans le cas particulier d'un stimulus d'ordre 3 mono-fréquence, l'erreur est limitée à 1 dB pour des SINAD compris entre 40 dB et 82 dB. Lorsque nous utilisons un stimulus d'ordre 2, l'erreur est plus élevée, comme prévu par les résultats de simulation, à cause de la perte de précision du signal de référence.

Les résultats expérimentaux montrent que la technique de BIST a une excellente capacité pour mesurer le SINAD et, en conséquence, pour détecter la dégradation de la performance des convertisseurs Sigma-Delta. A cause de l'instabilité du convertisseur lors des modifications des tensions de polarisation, nous n'avons pas réussi à injecter des non-linéarités. Par simulation, nous avons observé que cette technique de BIST est capable de détecter toutes les fautes, à l'exception des non-idéalités qui produisent de la distorsion. Il faudrait, comme travail à effectuer dans le futur, bâtir un plan d'expérimentation plus exhaustif pour s'assurer que cette technique de BIST détecte toutes ces fautes.

CHAPITRE 7

Conclusions et Travaux Futurs

Au moment où nous avons entamé ces travaux de thèse, il n'y avait pas de solution complète qui permette d'effectuer le test intégré de convertisseurs de haute résolution. Ceci est dû à plusieurs ***causes*** :

- Nous avons besoin d'un stimulus de test de très haute qualité. Réaliser le test d'un convertisseur de signal de 16-bits exige d'utiliser un signal de test de plus de 18-bits de précision. Générer sur la puce elle-même un tel signal analogique demande un surcoût en surface trop élevé.

- La performance des convertisseurs audio ΣΔ est déterminée par ses paramètres dynamiques : le SNR, le THD et notamment le SINAD. Ces paramètres ne peuvent être calculés qu'avec des ressources numériques importants. Si ces ressources ne sont pas disponibles dans le circuit, la réalisation de l'analyse sur la puce est trop coûteuse.

Dans ce mémoire de thèse, nous ***proposons*** une technique d'auto test pour les convertisseurs analogiques/numériques Sigma-Delta qui permet de mesurer le SINAD du convertisseur. Cette stratégie est basée sur deux principes:

- Nous utilisons comme stimulus de test un train binaire périodique. Ce train est obtenu au préalable à l'aide des simulations et il codifie un signal sinusoïdal de très grande précision dans la bande passante du modulateur. Dans un convertisseur Sigma-Delta, un tel stimulus peut être très facilement injecté sur son entrée.

- Pour l'analyse de la réponse du CAN, nous réutilisons le même stimulus binaire ainsi que le filtre de décimation présent dans le convertisseur. Cela nous permet de générer sur la puce un signal de référence de haute précision. Nous pouvons, en conséquence, réaliser une régression sinusoïdale et calculer le SINAD du circuit de manière très efficace.

Cette stratégie de test intégré se montre très intéressante pour les convertisseurs de haute résolution, notamment pour les convertisseurs d'audio. Les ***atouts*** de cette technique de BIST sont les suivants :

- Avec cette méthode de test, nous pouvons mesurer avec une très grande précision (moins d'un dB d'erreur) le plancher de bruit du convertisseur. Ce paramètre est essentiel pour les convertisseurs Sigma-Delta et, à notre connaissance, il n'existe aucune technique de BIST permettant de déterminer le bruit du convertisseur sans disposer d'un DSP dans le circuit.

- Le coût en surface du BIST représente seulement 10.7 % de la surface totale du convertisseur. Cela est valable aussi bien pour les convertisseurs stéréo que pour les circuits disposant d'une mémoire intégrée dans le system. La plupart des circuits ajoutés pour le BIST sont numériques. Cela est très approprié pour les convertisseurs ΣΔ, pour lesquels le principe de base est de réserver les plus grandes difficultés de la conception à la partie numérique. De plus, puisque les circuits numériques sont de plus en plus petits dans les nouvelles technologies, le surcoût en surface du BIST peut être encore plus réduit dans les convertisseurs futurs.

- Le temps de test n'est que de 30 ms. Nous n'avons pas besoin d'utiliser d'équipements de précision ni pour la génération d'un signal analogique de haute qualité, ni pour échantillonner et analyser la réponse du CAN. Le coût du test est, en conséquence, énormément réduit. De plus, le temps de préparation de l'environnement de test est également amplement réduit.

- Cette technique a été appliquée à un convertisseur de 16-bits constitué d'un modulateur ΣΔ de $2^{ème}$ ordre. La stratégie est, toutefois, complètement compatible pour d'autres configurations.

Cette proposition de BIST présente, en revanche, une ***limitation***. Nous ne pouvons pas mesurer avec précision la distorsion du convertisseur. La cause de cette limitation est l'utilisation d'un stimulus binaire qui doit être atténué pour éviter la saturation du modulateur lors du test. Puisque nous utilisons un signal de test qui est atténué de 12 dB par rapport à la pleine échelle (0 dBFS) du convertisseur, nous ne pouvons pas détecter la distorsion qui peut apparaître lorsque nous avons un signal de plus grande amplitude.

Pour des applications audio où nous pouvons assurer que le signal d'entrée ne va jamais dépasser les –12 dBFS, cette technique de test peut valider complètement la fonctionnalité du convertisseur. Pour d'autres applications, où le signal d'entrée peut aller au-delà de –12 dBFS, nous devons effectuer des tests additionnels pour mesurer la distorsion du circuit. Dans ce but nous pouvons, par exemple, utiliser plusieurs valeurs de voltage DC placées tout au long de la pleine échelle. Notre objectif dans ce test additionnel n'est pas de mesurer le bruit ou la précision du convertisseur, mais seulement sa distorsion lorsque nous avons une entrée à pleine échelle. Nous n'avons donc pas besoin d'utiliser de stimuli de grande précision et, en conséquence, le coût de ce test additionnel est limité.

Nous remarquons aussi que notre stratégie de test intégré est complémentaire à celle présentée dans [Roy02]. Dans cette dernière méthode, l'utilisation d'un signal exponentielle en forme d'escalier permet de mesurer l'amplitude du $2^{ème}$ et $3^{ème}$ harmoniques avec une précision de plus de 13 bits. Par contre, la mesure du bruit n'est pas possible. Nous constatons donc que les deux techniques se complètent. Notre technique permet de mesurer le plancher de bruit du convertisseur, et la technique proposée dans [Roy02] calcule la distorsion du circuit avec un signal en pleine échelle. Le tableau 7.1 présente une ***comparaison*** de notre proposition de BIST avec la technique présentée dans [Roy02], ainsi qu'avec les méthodes conventionnelles utilisées dans l'industrie pour le test de convertisseurs de signal. Nous pouvons observer que notre technique est au moins aussi performante que les autres quant au temps de test. Avec un surcoût en surface du BIST qui ne représente que 10.7% de la surface totale du convertisseur, nous pouvons calculer le SINAD du CAN sans utiliser d'équipements de précision qui sont onéreux. Le coût du test est, par conséquent, très réduit.

Méthode de Test	Nombre de points	Temps de Test	Caractéristiques principales
Histogramme	>655360	>13.65 s	Trop long pour un CAN ΣΔ
Test FFT 1 (cohérent)	~2048~ (typique)	0.04 s	- Nécessite une synchronisation parfaite entre la fréq. du stimulus et celle d'échantillonnage
Test FFT 2 (non cohérent)	~32768~ (typique)	0.68 s	- Utilisation de fenêtres pour réduire l'effet des pertes spectrales
Test avec des Filtres Numériques	~14400~	0.3 s	Filtres numériques de bande passante étroite nécessitent longtemps pour stabiliser
Régression sinusoïdale avec 3 variables (fréquence cohérente)	~1024~	0.02 s	- Nécessite une synchronisation parfaite entre la fréq. du stimulus et celle d'échantillonnage - Habituellement non disponible dans l'instrumentation
Régression sinusoïdale avec 4 variables (fréquence non cohérente)	~1024~	>0.02 s	- Temps additionnel nécessaire pour la convergence de l'algorithme - Habituellement non disponible dans l'instrumentation
[Roy02]	2048	0.04 s	Surcoût = ND Mesure de la distorsion
Ce travail	563	0.03 s	Surcoût = 10.6 % Mesure du bruit

Tableau 7.1. Comparaison de méthodes de test pour des convertisseurs de signal

Les résultats obtenus par simulation ont été ***validés par silicium***. Nous avons conçu et réalisé un prototype en technologie CMOS 0.13 μm de STMicroelectronics qui contient tous les blocs analogiques du convertisseur. Ce démonstrateur donne des très bons résultats :

- Le convertisseur atteint un SINAD maximal de 93.17 dB. Cela équivaut à une résolution de 15.18 dB, face aux 15.76 bits attendus par simulation. Ce résultat est excellent pour une configuration de $2^{ème}$ ordre.

- La caractérisation de la technique de BIST montre une erreur inférieure à 1 dB lorsqu'un stimulus d'ordre 3 est utilisé. Quand nous utilisons un stimulus d'ordre 2, l'erreur est plus grande, allant jusqu'aux 3 dB. L'utilisation d'un stimulus d'ordre 3 et la modification du filtre de décimation sont donc préférables, même si le surcoût en surface est plus élevé : 10.7 % pour 6.2 % lorsque nous utilisons un stimulus d'ordre 2 sans modifier le filtre de décimation.

- La réutilisation du circuit générateur des voltages de référence (*Bandgap*), permet de générer les voltages nécessaires pour le BIST. De manière expérimentale, nous avons observé que les résultats obtenus sont les mêmes que si ces voltages étaient générés à l'aide des régulateurs extérieurs.

Des ***travaux futurs*** restent à accomplir autour de cette technique d'auto test :

- La réalisation d'un modèle Matlab plus complet du modulateur analogique afin d'évaluer la qualité de la méthode de test en évitant les simulations transitoires à niveau transistor. L'importance du temps de test nécessaire pour ces simulations fait que, à l'heure actuelle, nous ne pouvons pas valider cette stratégie à niveau transistor.

- La mise en place d'une expérimentation plus exhaustive pour s'assurer que cette technique de BIST détecte toutes ces fautes, à l'exception des non-idéalités qui produisent de la distorsion. La couverture de fautes, le rendement du test, le nombre de circuits défaillants qui passent le test, etc., déterminent la qualité du test. Ils ne peuvent être estimés que lors d'un test de production complet.

- L'intégration du filtre de décimation sur silicium permettrait de valider de manière expérimentale tous les blocs numériques, et de connaître le surcoût en surface total du BIST avec plus de précision.

- L'étude de compatibilité de cette technique de BIST avec la méthode proposée dans [Roy02] et leur intégration sur le même circuit.

Bibliographie

[Ada02] F. ADAMO, F. ATTIVISSIMO, N. GIAQUINTO AND M. SAVINO. "FFT Test of A/D Converters to Determine the Integral Nonlinearity", *IEEE Transactions on Instrumentation and Measurement*, Vol. 51, No. 5, pp. 1050-10524, Oct. 2002.

[Ahu83] B. AHUJA. "An Improved Frequency Compensation Technique for CMOS Operational Amplifiers", *IEEE Journal of Solid-State Circuits*, Vol. 18, No. 6, pp. 629-633, Dec. 1983.

[Ale01] F. ALEGRIA, P. ARPAIA, A.M. DA CRUZ SERRA AND P. DAPONTE. "ADC Histogram Test by Triangular Small-Waves", in *Proc. IEEE Instrumentation and Measurement Technology Conference*, Budapest, Hungary, pp. 1690-1695, May 2001.

[Ara94] K. ARABI, B. KAMINSKA AND J. RZESZUT. "A New Built-In Self-Test Approach for Digital-to-Analog and Analog-to-Digital Converters", in *Proc. IEEE/ACM International Conference on Computer Aided Design*, San Jose, USA, pp. 491-494, Nov. 1995.

[Ara96] K. ARABI AND B. KAMINSKA. "Oscillation-Test Strategy for Analog and Mixed-Signal Integrated Circuits", in *Proc. IEEE VLSI Test Symposium*, Princeton, USA, pp. 476-482, Apr.-May 1996.

[Ara97a] K. ARABI AND B. KAMINSKA. "Efficient and Accurate Testing of Analog-to-Digital Converters Using Oscillation-Test Method", in *Proc. IEEE European Design and Test Conference*, Paris, France, pp. 348-352, Mar. 1997.

[Ara97b] K. ARABI AND B. KAMINSKA. "Testing Analog and Mixed-Signal Integrated Circuits Using Oscillation-Test Method", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 16, No. 7, pp. 745-753, Jul. 1997.

[Ara97c] K. ARABI AND B. KAMINSKA. "Oscillation Built-In Self-Test (OBIST) Scheme for Functional and Structural Testing of Analog and Mixed-Signal Integrated Circuits", in *Proc. IEEE International Test Conference*, Washington, USA, pp. 786-795, Nov. 1997.

[Ara98a] K. ARABI AND B. KAMINSKA. "Design for Testability of Embedded Integrated Operational Amplifiers", *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 4, pp. 573-581, Apr. 1998.

[Ara98b] K. ARABI, B. KAMINSKA AND M. SAWAN. "On Chip Testing Data Converters Using Static Parameters", *IEEE Transactions on Very Large Scale Integration Systems*, Vol. 6, No. 3, pp. 409-419, Sep. 1998.

[Ara99] K. ARABI AND B. KAMINSKA. "Oscillation-Test Methodology for Low-Cost Testing of Active Analog Filters", *IEEE Transactions on Instrumentation and Measurement*, Vol. 48, No. 4, pp. 798-806, Aug. 1999.

[Aza01a] F. AZAÏS, S. BERNARD, Y. BERTRAND, X. MICHEL AND M.RENOVELL. "A low-cost adaptive generator for analog BIST applications", in *Proc. IEEE VLSI Test Symposium*, Marina del Rey, USA, pp. 266-271, Mar.-Apr. 2001.

[Aza01b] F. AZAÏS, S. BERNARD, Y. BERTRAND AND M.RENOVELL. "A Low-Cost BIST architecture for Linear Histogram Testing of ADCs", *Journal of Electronic Testing: Theory and Applications*, Vol. 17, No. 2, pp. 139-147, Apr. 2001.

[Aza01c] F. AZAÏS, S. BERNARD, Y. BERTRAND AND M.RENOVELL. "Optimizing Sinusoidal Histogram Test for Low Cost ADC BIST", *Journal of Electronic Testing: Theory and Applications*, Vol. 17, No. 3-4, pp. 255-266, Jun-Aug. 2001.

[Azi96] P.M. AZIZ, H.V.SORENSEN AND J. VAN DER SPIEGEL. "An overview of Sigma-Delta converters", *IEEE signal processing magazine*, Vol. 13, No. 1, pp. 61-84, Jan. 1996.

[Ban99] H. BANBA, H. SHIGA, A. UMEZAWA, T. MIYABA, T. TANZAWA. S. ATMUSI AND K. SAKUI, "A CMOS Bandgap Reference Circuit with Sub-1-V Operation", *IEEE Journal of Solid-State Circuits,* Vol. 34, No. 5, pp. 670-674, May. 1999.

[Bla98] B.J. BLALOCK, P.E. ALLEN AND G.A. RINCON-MORA. "Designing 1-V OP Amps Using Standard Digital CMOS technology", *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 45, No. 7, pp. 769-780, Jul. 1998.

[Bas98] J. BASÍLIO SIMÕES, C.F.M. LOUREIRO, J. LANDECK AND C.M.B.A. CORREIA. "Testing high-resolution digitizers using conventional signal sources", *Measurement Science and Technology Journal*, Vol. 9, No. 1, pp. 6-11, Jan. 1998.

[Ber01] S. BERNARD. *"Test Intégré pour Convertisseurs Analogique/Numériques"*, Ph.D. dissertation, Université Montpellier II, Montpellier, France, Apr. 2001.

[Ber03a] S. BERNARD, F. AZAÏS, Y. BERTRAND AND M.RENOVELL. "On-Chip Generation of Ramp and Triangle-Wave Stimuli for ADC BIST", *Journal of Electronic Testing: Theory and Applications*, Vol. 19, No. 4, pp. 469-479, Aug. 2003.

[Ber03b] S. BERNARD, M. COMTE, F. AZAÏS, Y. BERTRAND AND M. RENOVELL "A New Methodology for ADC Test Flow Optimization", in *Proc. IEEE International Test Conference*, Charlotte, USA, pp. 201-206, Sep.-Oct. 2003.

[Ber04] S. BERNARD, M. COMTE, F. AZAÏS, Y. BERTRAND AND M. RENOVELL. "Efficiency of Spectral-Based ADC Test Flows to Detect Static Errors", *Journal of Electronic Testing: Theory and Applications*, Vol. 20, No. 3, pp. 257-267, Jun. 2004.

[Bos88] B.E. BOSER AND B.A. WOOLEY. "The Design of Sigma-Delta Modulation Analog-to-Digital Converters", *IEEE Journal of Solid-State Circuits*, Vol. 23, No. 6 pp. 1298-1308, Dec. 1988.

[Bou04] A. BOUNCEUR, S. MIR AND E. SIMEU. "Optimisation of digitally coded test vectors for mixed-signal components", *in Conference on Design of Circuits and Integrated Systems*, Bordeaux, France, pp. 895-900, Nov. 2004.

[Bou06a] A. BOUNCEUR, S. MIR, L. ROLINDEZ AND E. SIMEU. "A CAT platform for analogue and mixed-signal test evaluation and optimization", in *Digest of Papers IEEE European Test Symposium*, Southampton, UK, pp. 217-222, May. 2006.

[Bou06b] A. BOUNCEUR, S. MIR, E. SIMEU AND L. ROLINDEZ. "On the accurate estimation of test metrics for multiple analogue parametric deviations", in *IEEE International Mixed-Signals Testing Workshop*, Edinburgh, UK, pp. 19-26, Jun. 2006.

[Bou06c] A. BOUNCEUR, S. MIR, E. SIMEU AND L. ROLINDEZ. "CAT platform for analogue and mixed-signal test evaluation and optimization", in *IFIP VLSI-SoC*, Nice, France, Oct. 2006.

[Bra95] A.H. BRATT, A.M.D. RICHARDSON, R.J.A. HARVEY AND A.P. DOREY. "A Design-For-Test Structure for Optimising Analogue and Mixed Signal IC Test", in *Proc European Design and Test Conference*, Paris, France, pp. 24-33, Mar. 1995.

[Bran91] B.P. BRANDT, D.E. WINGARD AND B.A. WOOLEY. "Second-order Sigma-Delta Modulation for Digital-Audio Signal Acquisition", *IEEE Journal of Solid-State Circuits*, Vol. 26, No. 4, pp. 618-627, Apr. 1991.

[Bro01] A.M. BROSA AND J. FIGUERAS. "Digital Signature Proposal for Mixed-Signal Circuits", *Journal of Electronic Testing: Theory and Applications*, Vol. 17, No. 5, pp. 385-393, Oct. 2001.

[Broo94] T.L. BROOKS AND A.L WESTWICK. "A Low-Power Differential CMOS Bandgap Reference", *IEEE International Solid-State Circuits Conference*, San Francisco, USA, pp. 248-249, Feb. 1994.

[Bur00] M. BURNS AND G.W. ROBERTS. *"An Introduction to Mixed-Signal IC Test and Measurement"*, Oxford University Press, New York, USA, pp. 720, 2000.

[Car98] L. CARRO, M. NEGREIROS. "Efficient Analog Test Methodology Based on Adaptive Algorithms", in *Proc. ACM/IEEE Design Automation Conference*, San Francisco, USA, pp. 32-37, Jun. 1998.

[Car00] L. CARRO, E.COTA, M. LUBASZEWSKI, Y. BERTRAND, F. AZAÏS AND M. RENOVELL. "TI-BIST: a Temperature Independent Analog BIST for Switched-Capacitor Filters", in *Proc. IEEE Asian Test Symposium*, Taipei, Taiwan, pp. 78-83, Dec. 2000.

[Cas03] L. CASSOL, O. BETAT, L. CARRO AND M. LUBASZEWSKI. "The ΣΔ-BIST Method Applied to Analog Filters", *Journal of Electronic Testing: Theory and Applications*, Vol. 19, No. 1, pp. 13-20, Feb. 2003.

[Cast85] R. CASTELLO AND P.G. GRAY. "A High-Performance Micropower Switched-Capacitor Filter", *IEEE Journal of Solid-State Circuits*, Vol. 20, No. 6, pp. 1122-1131, Dec. 1985.

[Cha93] A. CHATTERJEE. "Concurrent error Detection and Fault-Tolerance in Linear Analog Circuits Using Continuous Checksums", *IEEE Transactions on Very Large Scale Integration Systems*, Vol. 1, No. 2, pp. 138-150, Jun. 1993.

[Chat04] S. CHATTERJEE, Y. TSIVIDIS AND P. KINGET. "0.5-V Bulk-Input Fully Differential Operational Transconductance Amplifier", in *Proc. IEEE European Solid-State Circuits Conference,* Leuven, Belgium, pp. 147-150, Sep. 2004.

[Chat05] S. CHATTERJEE, Y. TSIVIDIS AND P. KINGET. "0.5-V Analog Circuit Techniques and Their Application in OTA and Filter Design", *IEEE Journal of Solid-State Circuits,* Vol. 40, No. 12, pp. 2373-2387, Dec. 2005.

[Che06] Private communication. D. CHESNEAU, ST-Grenoble, France, Aug. 2006.

[Cor04] F. CORSI, C. MARZOCCA, G. MATARRESE, A. BASCHIROTTO AND S. D'AMICO. "Pseudo-random Sequence Based Tuning System for Continuous-time Filters", in *Proc. IEEE Design, Automation and Test in Europe Conference*, Paris, France, pp. 94-99, Feb. 2004.

[Cho03] O. CHOKSI AND L.R. CARLEY. "*Analysis of Switched-Capacitor Common-mode Feedback Circuit*", *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 50, No. 12, pp. 906-917, Dec. 2003.

[Cot00] E. COTA, L. CARRO, M. RENOVELL, M. LUBASZEWSKI, F. AZAÏS AND Y. BERTRAND. "Reuse of Existing Resources for Analog BIST of a Switch Capacitor Filter", in *Proc. IEEE Design, Automation and Test in Europe Conference*, Paris, France, pp. 226-230, Mar. 2000.

[Dha04] A. DHAYNI, S. MIR AND L. RUFER. "MEMS Built-In-Self-Test Using MLS", in *Proc. IEEE European Test Symposium*, Ajaccio, France, pp. 66-71, May 2004.

[Dha06] A. DHAYNI, S. MIR AND L. RUFER. "Pseudorandom Functional BIST for MEMS – A Case Study", in *Proc. IEEE International Mixed-Signal Testing Workshop*, Edinburgh, UK, pp. 143-149, Jun. 2006.

[DLR05] J.M. DE LA ROSA, S. ESCALERA, B. PÉREZ-VERDÚ, F.MEDEIRO, O. GUERRA, R. DEL RÍO AND A. RODRÍGUEZ-VAZQUEZ, "A CMOS 110-dB@40-kS/s Programmable-Gain Chopper Stabilized Third-Order 2-1 Cascade Sigma-Delta Modulator for Low-Power High-Linearity Automotive Sensor ASICs", *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 11, pp. 2246-2264, Nov. 2005.

[Doe84] J. DOERNBERG, H.S. LEE AND D.A. HODGES. "Full-Speed Testing of A/D Converters", *IEEE Journal of Solid-State Circuits*, Vol. SC-19, No. 6, pp. 820-827, Dec. 1984.

[Duf97a] B. DUFORT AND G.W. ROBERTS. "Optimized Periodic Sigma-Delta Bitstreams for Analog Signal Generation", in *Proc. Midwest Symposium on Circuits and Systems*, Sacramento, USA, pp. 289-292, Aug. 1997.

[Duf97b] B. DUFORT AND G.W. ROBERTS. "Signal Generation Using Periodic Single and Multi-bit Sigma-Delta Modulated Streams", in *Proc. IEEE International Test Conference*, Washington D.C., USA, pp. 396-405, Nov. 1997.

[Duf98] B. DUFORT AND G.W. ROBERTS. "Arbitrary Band-Limited Pulse Generation for Built-In Self-Test Applications", in *Proc. IEEE International Symposium on Circuits and Systems*, Monterey, USA, pp. 284-287, Jun. 1998.

[Duf99] B. DUFORT AND G.W. ROBERTS. "On-Chip Analog Signal Generation for Mixed-Signal Built-In Self-Test", *IEEE Journal of Solid-State Circuits*, Vol. 34, No. 3, pp. 318-330, Mar. 1999.

[Duf00] B. DUFORT AND G.W. ROBERTS. "Increasing the Performance of Arbitrary Waveform Generators Using Periodic Sigma-Delta Modulated Streams", *IEEE Transactions on Instrumentation and Measurement*, Vol. 49, No. 1, pp. 188-199, Feb. 2000.

[Duq90] P.M. VANPETERGHEM AND J.F. DUQUE-CARRILLO. "A General Description of Common-Mode Feedback in Fully-Differential Amplifiers", in *Proc. IEEE International Symposium on Circuits and Systems*, New Orleans, USA, pp. 3209-3212, 1990.

[Duq93] J.F. DUQUE-CARRILLO. "Control of the Common-mode Component in CMOS Continuous-Time Fully Differential Signal Processing", in *Analog Integrated Circuits and Signal Processing 4*, pp. 131-140, 1993.

[Ehs96] M. EHSANIAN, B. KAMINSKA AND K. ARABI. "A New Digital Test Approach for Analog-to-Digital Converter Testing", in *Proc. IEEE VLSI Test Symposium*, Princeton, USA, pp. 60-65, Apr.-May 1996.

[Ehs98] M. EHSANIAN, B. KAMINSKA AND K. ARABI. "A New On-Chip Digital BIST for Analog-to-Digital Converters", in *Microelectronics and Reliability Journal*, Vol. 38, No. 3, pp. 409-420, Mar. 1998.

[Fee91] O. FEELY AND L.O. CHUA. "The effect of Integration Leak in Σ-Δ Modulation", *IEEE Transactions on circuits and systems*, Vol. 38, No. 11, pp. 1293-1305, Nov. 1991.

[Fis82] J.H. FISCHER. "Noise Sources and Calculation Techniques for Switched Capacitor Filters", *IEEE Journal of Solid-State Circuits*, Vol. 17, No. 4, pp. 742-752, Aug. 1982.

[Fra96] F. FRANCESCONI, V. LIBERALI, M. LUBASZEWSKI AND S. MIR. "Design of High-Performance Band-Pass Sigma-Delta Modulator with Concurrent Error Detection", in *Proc. IEEE International Conference on Electronics, Circuits and Systems*, pp. 1202-1205, Rodos, Greece, Oct. 1996.

[Fri97] A. FRISCH AND T. ALMY. "HABIST: Histogram-based Analog Built In Self Test", in *Proc. IEEE International Test Conference*, Washington D.C., USA, pp. 760-767, Nov. 1997.

[Geo02] K. GEORGOPOULOS, M. BURBIDGE, A. LECHNER, A. RICHARDSON AND D. DE VENUTO. *"Review of Test Strategies and Resources used in High-Resolution Interface Testing"*, Project TAMES-2, Deliverable 1.1, http://www.imse.cnm.es/tames2/, 2002.

[Gob83] C.A. GOBET AND A. KNOB. "Noise Analysis of Switched Capacitor Networks", *IEEE Transactions on circuits and systems*, Vol. 30, No. 1, pp. 37-43, Jan. 1983.

[Haf00a] M. HAFED AND G.W. ROBERTS. "A Stand-Alone Integrated Excitation/Extraction System for Analog BIST Applications", in *Proc. IEEE Custom Integrated Circuits Conference*, Orlando, USA, pp. 83-86, May 2000.

[Haf00b] M. HAFED, N. ABASKHAROUN AND G.W. ROBERTS. "A Stand-Alone Integrated Test Core for Time and Frequency Domain Measurements", in *Proc. IEEE International Test Conference*, Atlantic City, USA, pp. 1031-1040, Oct. 2000.

[Haj98a] A. HAJJAR AND G.W. ROBERTS. "A Multi-Pass A/D Conversion Technique for Extracting On-Chip Analog Signals", in *Proc. IEEE International Symposium on Circuits and Systems*, Monterey, USA, Vol. 2, pp. 280-283, May-Jun. 1998.

[Haj98b] A. HAJJAR AND G.W. ROBERTS. "A High Speed and Area Efficient On-Chip Analog Waveform Extractor", in *Proc. IEEE International Test Conference*, Washington D.C., USA, pp. 688-697, Oct. 1998.

[Har94] R. HARJANI AND B. VINNAKOTA. "Analog Circuit Observer Blocks", in *Proc. IEEE VLSI Test Symposium*, Princeton, USA, pp. 258-263, Apr. 1994.

[Has98] I.H.S. HASSAN, K. ARABI AND B. KAMINSKA. "Testing Digital to Analog Converters Based on Oscillation-Test Strategy Using Sigma-delta Modulation", in *Proc. IEEE International Conference on Computer Design: VLSI in Computer and Processors*, Austin, USA, pp. 40-46, Oct. 1998.

[Hat93] A.A. HATZOPOULUS, S. SISKOS AND J.M. KONTOLEON. "A Complete Scheme of Built-In Self-Test (BIST) Structure for Fault Diagnosis in Analog Circuits and Systems", *IEEE Transactions on Instrumentation and Measurement*, Vol. 42, No. 3, pp. 689-694, Jun. 1993.

[Hau95] X. HAURIE AND G.W. ROBERTS. "Arbitrary-Precision Signal Generation for Bandlimited Mixed-Signal Testing", in *Proc. IEEE International Test Conference*, Washington D.C, USA, pp. 78-86, Oct. 1995.

[Hau98] X. HAURIE AND G.W. ROBERTS. "Arbitrary-Precision Signal Generation for Mixed-Signal Built-In-Self-Test", *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 45, No. 11, pp. 1425-1432, Nov. 1998.

[Haw96] E.M. HAWRYSH AND G.W. ROBERTS. "An Integration of Memory-Based Analog Signal Generation into Current DFT Architectures", in *Proc. International Test Conference*, Washington D.C, USA, pp. 528-537, Oct. 1996.

[Hog94] R. HOGERVORST, J.P. TERO, G.H. ESCHAUZIER AND J.H. HUIJSING. "A Compact Power-Efficient 3V CMOS Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries", *IEEE Journal of Solid-State Circuits*, Vol. 29, No. 12, pp. 1505-1513, Dec. 1994.

[Hog96] R. HOGERVORST, K.J. DE LANGEN AND J.H. HUIJSING. "Low-Power Low-Voltage VLSI Operational Amplifier Cells", in *Designing Low Power Digital Systems, Emerging Technologies*, Atlanta, USA, pp. 19-47, 1996.

[Hon02] H.C. HONG, J.L. HUANG, K.T. CHENG AND C.W. WU. "On-chip Analog Response Extraction with 1-Bit Σ-Δ Modulators", in *Proc. IEEE Asian Test Symposium*, Guam, USA, pp. 49-54, Nov. 2002.

[Hon03] H.C. HONG, J.L. HUANG, K.T. CHENG, C.W. WU AND D.M. KWAI. "Practical Considerations in Applying ΣΔ Modulation-Based Analog BIST to Sampled-Data Systems", *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 50, No. 9, pp. 553-565, Sep. 2003.

[Hua00a] J.L. HUANG AND K.T. CHENG. "A Sigma-Delta Modulation Based BIST Scheme for Mixed-Signal Circuits", in *Proc. Asia and South Pacific Design Automation Conference,* Yokohama, Japan, pp. 605-610, Jan. 2000.

[Hua00b] J.L. HUANG, C.K. ONG AND K.T. CHENG. "A BIST Scheme for On-Chip ADC and DAC Testing", in *IEEE Design, Automation and Test in Europe Conference*, Paris, France, pp. 216-220, Mar. 2000.

[Hua00c] J.L. HUANG AND K.T. CHENG. "Testing and Characterization of the One-Bit First-Order Delta-Sigma Modulator for On-Chip Analog Signal Analysis", in *Proc. IEEE International Test Conference*, Atlantic City, USA, pp. 1021-1030, Oct. 2000.

[Hua03] F. HUANG, X. SHEN, X. ZOU AND C. CHEN. "Analog signal generator for BIST of wideband IF signals bandpass sigma-delta modulator", in *Microelectronics Journal,* Vol. 34, pp. 85-91, 2003.

[Hue92] J.L. HUERTAS, D. VÁZQUEZ AND A. RUEDA. "On-line testing of switched-capacitor filters", in *Proc. IEEE VLSI Test Symposium*, New Jersey, USA, pp. 102-106, Apr. 1992.

[Hue93] J.L. HUERTAS, A. RUEDA AND D. VÁZQUEZ. "Testable Switched-Capacitor Filters", *IEEE Journal of Solid-State Circuits*, Vol. 28, No. 7, pp. 719-724, July 1993.

[Hue99] G. HUERTAS, D. VÁZQUEZ, A. RUEDA AND J.L. HUERTAS. "Effective Oscillation-Based Test for application to a DTMF Filter Bank", in *Proc. IEEE International Test Conference*, Piscataway, USA, pp. 549-555, Sep. 1999.

[Hue02a] G. HUERTAS, D. VÁZQUEZ, E.J. PERALÍAS, A. RUEDA AND J.L. HUERTAS. Oscillation-based test in oversampling ΣΔ modulators", in *Microelectronics Journal,* Vol. 33, pp. 799-806, 2002.

[Hue02b] G. HUERTAS, D. VÁZQUEZ, E.J. PERALÍAS, A. RUEDA AND J.L. HUERTAS. "Practical Oscillation-Based Test of Integrated Filters", *IEEE Design and Test of Computers*, pp. 64-72, Nov.-Dec. 2002.

[Hue03] G. HUERTAS, D. VÁZQUEZ, A. RUEDA AND J.L. HUERTAS. "Oscillation-based test in bandpass oversampling A/D converters", in *Microelectronics Journal,* Vol. 34, pp. 927-936, 2003.

[IC1] ANALOG DEVICES, AD1871. *"Stereo Audio, 24-bit, 96 kHz, Multibit Σ–Δ ADC"*, www.analog.com, 2005.

[IC2] PHILIPS SEMICONDUCTORS, UDA1361TS. *"96 kHz Sampling 24-bit Stereo Audio ADC"*, www.philips.com, 2005.

[IC3] TEXAS INSTRUMENTS, PCM1804. *"Full Differential Analog Input 24-bit, 192-kHz Stereo A/D Converter"*, www.ti.com, 2005.

[IC4] STMICROELECTRONICS, LM117/LM217/LM317. *"1.2V to 37V Voltage Regulator"*, www.stmicroelectronics.com, 2004.

[IEEE94] IEEE STD. 1057-1994. *"IEEE Standard for Digitizing Waveform Recorders"*, IEEE Press, Dec. 1994.

[IEEE00] IEEE STD. 1241-2000. *"IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters"*, IEEE Press, Jun. 2001.

[Joh96] D.A. JOHNS AND K.W. MARTIN. *"Analog integrated circuit design*". John Wiley & Sons, Inc., Nov. 1996.

[Kha95] S. KHALED, B. KAMINSKA, B. COURTOIS AND M. LUBASZEWSKI. "Frequency-based BIST for analog circuit testing", in *Proc. IEEE VLSI Test Symposium*, Princeton, USA, pp. 54-59, Apr.-May 1995.

[Kol93] V. KOLARIK, M. LUBASZEWSKI AND B. COURTOIS. "Towards Self-Checking Mixed-Signal Integrated Circuits", in *Proc. IEEE European Solid-State Circuits Conference*, Seville, Spain, pp. 202-205, Sep. 1993.

[Kol95] V. KOLARIK, S. MIR, M. LUBASZEWSKI AND B. COURTOIS. "Analog Checkers with Absolute and Relative Tolerances", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 14, No. 5, pp. 607-612, May 1995.

[Kri92] S. KRISHNAN, S. SAHLI AND C.L. WEY. "Test Generation and Concurrent Error Detection in Current-Mode A/D Converters", in *Proc. International Test Conference*, Baltimore, USA, pp. 312-320, Sep. 1992.

[Kui73] K.E. KUIJ, "A Precision Reference Voltage Source", *IEEE Journal of Solid-State Circuits,* Vol. 8, No. 3, pp. 222-226, Jun. 1973.

[Lan98] K.J. DE LANGEN AND J.H. HUIJSING. "Compact Low-Voltage Power-Efficient Operational Amplifier Cells for VLSI", *IEEE Journal of Solid-State Circuits,* Vol. 33, No. 10, pp. 1482-1496, Oct. 1998.

[Las00] K. LASANEN, E. RAISANEN-ROUTSALAINEN AND J. KOSTAMOVAARA. "A 1-V 5μW CMOS-Opamp with Bulk-Driven Input Transistors", *IEEE Midwest Symposium on Circuits and* Systems, Lansing, USA, No. 10, pp. 1038-1041, Aug. 2000.

[Leg03] G. LEGER AND A. RUEDA. "Simple BIST for Integrator Leak in Second-order Double-loop Sigma-Delta Modulators", in *Proc. IEEE International Mixed-Signal Testing Wor*kshop, Seville, Spain, pp. 53-57, Jun. 2003.

[Leg04a] G. LEGER AND A. RUEDA. "A Digital Test for First-Order ΣΔ Modulators", in *Proc. IEEE Design, Automation and Test in Europe Conference*, Paris, France, pp. 706-707, Feb. 2004.

[Leg04b] G. LEGER AND A. RUEDA. "Digital Test for the Extraction of Integrator Leakage in First- and Second-order ΣΔ Modulators", in *IEE Proc.- Circuits Devices Systems*, Vol. 151, No. 4, Aug. 2004.

[Leg04c] G. LEGER AND A. RUEDA. "Digital Diagnosis of Settling Error in ΣΔ Modulators", in *Proceedings of the XIX Conference on Design of Circuits and Integrated Systems, DCIS*, Bordeaux, France, pp. 195-200, Nov. 2004.

[Leg05] G. LEGER AND A. RUEDA. "A Digital BIST for Amplifier Parametric Faults in ΣΔ Modulators", in *Proc. IEEE International Mixed-Signal Testing Workshop*, Cannes, France, pp. 22-28, Jun. 2005.

[Leg06] G. LEGER AND A. RUEDA. "Experimental Validation of a Fully Digital BIST for Cascaded ΣΔ Modulators", in *IEEE European Test Symposium*, Southampton, UK, pp. 131-136, May. 2006.

[Lib96] V. LIBERALI, F. MALOBERTI AND M. STRAMESI. "ADC characterisation using the code density test method with deterministic sampling", in *Proc. IEEE International Mixed-Signal Testing Workshop*, Quebec City, Canada, pp. 113-118, May. 1996.

[Lof96] K. LOFSTROM. "Early Capture for Boundary Scan Timing Measurements", in *Proc. International Test Conference*, Washington D.C, USA, pp. 417-422, Oct. 1996.

[Lu93] A. LU, G.W. ROBERTS, AND D. JOHNS. "A High-Quality Analog Oscillator Using Oversampling D/A Conversion Techniques", in *Proc. IEEE International Symposium on Circuits and Systems,* Chicago, USA, Vol. 2, pp. 1298-1301, May 1993.

[Lu94a] A. LU, G.W. ROBERTS, AND D. JOHNS. "A High-Quality Analog Oscillator Using Oversampling D/A Conversion Techniques", *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 41, No. 7, pp. 437-444, Jul. 1994.

[Lu94b] A. LU AND G.W. ROBERTS. "An Analog Multi-tone Signal Generator for Built-in-Self-Test Applications", in *Proc. IEEE International Test Conference*, Washington, USA, pp. 650-659, Oct. 1994.

[Lu98] A. LU AND G.W. ROBERTS. "An Oversampling-Based Analog Multitone Signal Generator", *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 45, No. 3, pp. 391-394, Mar. 1994.

[Lub95] M. LUBASZEWSKI, S. MIR, A. RUEDA AND J.L. HUERTAS. "Concurrent Error Detection in Analog and Mixed-Signal Integrated Circuits", in *Proc. IEEE Midwest Symposium on Circuits and Systems*, Vol. 2, pp. 1151-1156, Aug. 1995.

[Lub96] M. LUBASZEWSKI, S. MIR AND L. PULZ. "ABILBO: Analog BuILt-in Block Observer", in *IEEE International Conference on Computer-Aided Design*, San Jose, USA, pp. 600-603, Nov. 1996.

[Lub98] M. LUBASZEWSKI, M. RENOVELL, S. MIR, F. AZAÏS AND Y. BERTRAND. "A Built-In Multi-Mode Stimuli Generator for Analogue and Mixed-Signal Testing", in *IEEE Brazilian Symposium on Integrated Circuit Design*, Buzios, Brazil, pp. 175-178, Sep.-Oct. 1998.

[Lub00] M. LUBASZEWSKI, S. MIR, V. KOLARIK, C. NIELSEN, B. COURTOIS. "Design of Self-Checking Fully Differential Circuits and Boards", *IEEE Transactions on Very Large Scale Integration Systems*, Vol. 8, No. 2, pp. 113-128, Apr. 2000.

[Mah87] M. MAHONEY. "Tutorial: DSP-based testing of analog and mixed-signal circuits", IEEE Computer Society Press, Washington DC, 1987.

[Mal03] P. MALCOVATI, S. BRIGATI, F. FRANCESCONI, F. MALOBERTI, P. CUSINATO AND A. BASCHIROTTO. "Behavioral Modeling of Switched-Capacitor Sigma-Delta Modulators", in *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, Vol. 50, No. 3, pp. 352-364, Mar. 2003.

[Mar02] C. MARZOCCA AND F. CORSI. "Mixed-Signal Circuit Classification in a Pseudo-Random Testing Scheme", *Journal of Electronic Testing: Theory and Applications,* Vol. 18, No. 3, pp. 333-342, Jun. 2002.

[Marq98] A.M. MARQUES, V. PELUSO, M.S.J. STEYAERT AND W. SANSEN, "A 15-bit Resolution 2-MHz Nyquist Rate ΣΔ ADC in a 1-µm CMOS Technology", *IEEE Journal of Solid-State Circuits,* Vol. 33, No. 7, pp. 1065-1075, Jul. 1998.

[Max89] S. MAX. "Fast accurate and Complete ADC Testing", in *Proc. IEEE International Test Conference*, Washington, USA, pp. 111-117, Aug. 1989.

[Max99a] S. MAX. "Optimum Measurement of ADC Code Transitions Using a Feedback Loop", in *Proc. IEEE Instrumentation and Measurement Technology Conference*, Venice, Italy, pp. 1415-1420, May 1999.

[Max99b] S. MAX. "Testing High Speed High Accuracy Analog to Digital Converters Embedded in Systems On a Chip", in *Proc. IEEE International Test Conference*, Atlantic City, USA, pp. 763-771, Sep. 1999.

[Med99] F. MEDEIRO, B. PÉREZ-VERDÚ AND A. RODRÍGUEZ-VAZQUEZ, "A 13-bit 2.2 MS/s, 55-mW Multibit Cascade ΣΔ Modulator in CMOS 0.7-um Single-Poly Technology", *IEEE Journal of Solid-State Circuits,* Vol. 34, No. 6, pp. 748-760, Jun. 1999.

[Mic84] J. MICHEJDA AND S.K. KIM, "A Precision CMOS Bandgap Reference", *IEEE Journal of Solid-State Circuits,* Vol. 19, No. 6, pp. 1014-1021, Dec. 1984.

[Mil98] L.S. MILOR, "A Tutorial Introduction to Research on Analog and Mixed-Signal Circuit Testing", *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 45, No. 10, pp. 1389-1407, Oct. 1998.

[Mir95a] S. MIR, M. LUBASZEWSKI, V. KOLARIK AND B. COURTOIS. "Analogue On-Line/Off-Line Test Unification for Fully Differential Circuits", in *Proc. IEEE International Mixed-Signal Testing Workshop*, Grenoble, France, pp. 56-61, Jun. 1995.

[Mir95b] S. MIR, M. LUBASZEWSKI, V. KOLARIK, AND B. COURTOIS. "Programmable self-checking analogue oscillators", in *IEEE International On-line Testing Workshop*, Nice, France, pp. 30-33, Jul. 1995.

[Mir96a] S. MIR, M. LUBASZEWSKI AND B. COURTOIS. "Unified Built-in Self-test for Fully Differential Analog Circuits", *Journal of Electronic Testing: Theory and Applications*, Vol. 9, No. 1-2, pp. 135-151, Aug.-Oct. 1996.

[Mir96b] S. MIR, M. LUBASZEWSKI, V. KOLARIK AND B. COURTOIS. "Fault-based Testing and Diagnosis of Balanced Filters", *Analog Integrated Circuits and Signal Processing*, Vol. 11, No. 1, pp. 5-19, Sep. 1996.

[Mir97] S. MIR, A. RUEDA, J.L. HUERTAS AND V. LIBERALI. "A BIST Technique for Sigma-Delta Modulators Based on Circuit Reconfiguration", in *Proc. IEEE International Mixed-Signal Testing Workshop*, Port Ludlow, USA, pp. 179-184, Jun. 1997.

[Mir02] S. MIR, C. DIEDRICH, C. ROMAN AND C. DOMINGUES. "On-chip test signal generation for acoustic and ultrasound microelectronic interfaces", in *Proc. IEEE International Mixed-Signal Testing Workshop*, Montreux, Switzerland, pp. 137-144, Jun. 2002.

[Mir03] S. MIR, L. ROLÍNDEZ, C. DOMINGUES AND L. RUFER. "An implementation of memory-based on-chip analogue test signal generation", in *Proc. Asia South Pacific Design Automation Conference*, Invited Talk, Kitakyushu, Japan, pp. 663-668, Jan. 2003.

[Nag94] N. NAGI, A. CHATTERJEE AND J. ABRAHAM. "A Signature Analyzer for Analog and Mixed-signal Circuits", in *Proc. IEEE International Conference on Computer Design: VLSI in Computer and Processors*, Cambridge, USA, pp.284-287, Oct. 1994.

[Nag98] N. NAGI, A. CHATTERJEE, H. YOON AND J. ABRAHAM. "Signature Analysis for Analog and Mixed-Signal Circuit Test Response Compaction", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 17, No. 6, pp. 540-546, Jun. 1998.

[Neg03a] M. NEGREIROS, L. CARRO AND A.A. SUSIN. "Ultra Low Cost Analog BIST Using Spectral Analysis", in *Proc. IEEE VLSI Test Symposium*, Napa Valley, USA, pp. 77-82, Apr.-May 2003.

[Neg03b] M. NEGREIROS, L. CARRO AND A.A. SUSIN. "A Statistical Sampler for a New On-Line Analog Test Method", *Journal of Electronic Testing: Theory and Applications*, Vol. 19, No. 5, pp. 585-595, Oct. 2003.

[Nic91] G. NICOLLINI AND D. SENDEROWICZ. "A CMOS Bandgap Reference for Differential Signal Processing", *IEEE Journal of Solid-State Circuits*, Vol. 26, No. 1, pp. 41-50, Jan. 1991.

[Nor96] S.R. NORSWORTHY, R. SCHREIER, G.C TEMES. *"Delta-Sigma Delta Converters: Theory, Design and Simulation"*, IEEE Press, 1996.

[Ohl91] M.J. OHLETZ. "Hybrid Built-In Self-Test (HBIST) for Mixed Analogue-Digital Integrated Circuit", in *Proc. of the European Test Conference*, Munich, Germany, pp. 307-316, Apr. 1991.

[Ong01] C.K. ONG, J.L. HUANG AND K.T. CHENG. "Testing Second-Order Delta-Sigma Modulators Using Pseudo-Random Patterns", in *Proc. IEEE International Mixed-Signal Testing Workshop*, Lake Lanier Island, USA, pp. 55-71, Jun. 2001.

[Ong02] C.K. ONG AND K.T. CHENG. "Self-Testing Second-Order Delta-Sigma Modulators Using Digital Stimulus", in *Proc. IEEE VLSI Test Symposium*, Monterey, USA, pp. 123-128, Apr.-May 2002.

[Ong03a] C.K. ONG, J.L. HUANG AND K.T. CHENG. "Delta-sigma Based Mixed-signal BIST Architecture for SoC", in *Proc. IEEE International Mixed-Signal Testing Workshop*, Seville, Spain, pp. 47-52, Jun. 2003.

[Ong03b] C.K. ONG, J.L. HUANG AND K.T. CHENG. "DfT Sigma-Delta Modulator Architecture Implementation", in *Proc. IEEE International Mixed-Signal Testing Workshop*, Seville, Spain, pp. 137-142, Jun. 2003.

[Ong04] C.K. ONG, K.T. CHENG AND L.C. WANG. "A New Sigma-Delta Modulator Architecture for Testing Using Digital Stimulus", *IEEE Transactions on Circuits and Systems-I,* Vol. 51, No. 1, pp. 206-213, Jan. 2004.

[Pan95] C.Y. PAN AND K.T. CHENG. "Pseudo-Random Testing and Signature Analysis for Mixed-Signal Circuits", in *Proc. IEEE/ACM International Conference on Computer Aided Design*, San Jose, USA, pp. 102-107, Nov. 1995.

[Pan96] C.Y. PAN AND K.T. CHENG. "Implicit Functional Testing for Analog Circuits", in *Proc. IEEE VLSI Test Symposium*, Princeton, USA, pp. 489-494, Apr.-May 1996.

[Pan97] C.Y. PAN AND K.T. CHENG. "Pseudorandom Testing for Mixed Signal Circuits", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 16, No. 10, pp. 1173-1185, Oct. 1997.

[Par03] K. PARTHASARATHY, T. KUYEL, D. PRICE, L. JIN, D. CHEN AND R. GEIGER. "BIST and Production Testing of ADCs Using Imprecise Stimulus", *ACM Transactions on Design Automation of Electronic Systems*, Vol. 8, No. 4, pp. 522-545, Oct. 2003.

[Per01] E.J. PERALÍAS, A. RUEDA AND J.L. HUERTAS. "New BIST Scheme for Structural Testing of Pipelined Analog to Digital Converters", *Journal of Electronic Testing: Theory and Applications*, Vol. 17, No. 5, pp. 373-383, Oct. 2001.

[Pre04] G. PRENAT, S. MIR, D. VÁZQUEZ AND L. ROLÍNDEZ. "A low-cost digital frequency testing approach for mixed-signal devices using ΣΔ modulation", in *Proc. IEEE International Mixed-Signal Testing Workshop*, Portland, USA, pp. 107-115, Jun. 2004.

[Pre05] G. PRENAT, S. MIR, D. VÁZQUEZ, AND L. ROLÍNDEZ. "A low-cost digital frequency testing approach for mixed-signal devices using Sigma Delta modulation", in *Microelectronics Journal, Elsevier Ltd,* Vol. 36, No. 12, pp. 1080-1090, Dec. 2005.

[Pro99] B. PROVOST AND E. SÁNCHEZ-SINENCIO. "Auto-Calibrating Analog Timer for On-Chip Testing", *in Proc. IEEE International Test Conference*, Atlantic City, USA, pp. 541-548, Sep. 1999.

[Pro03] B. PROVOST AND E. SÁNCHEZ-SINENCIO. "On-Chip Ramp Generators for Mixed-Signal BIST and ADC Self-Test", *IEEE Journal of Solid-State Circuits*, Vol. 38, No. 2, pp. 263-273, Feb. 2003.

[Rab97] S. RABII AND B.A. WOOLEY. "A 1.8-V Digital-Audio Sigma-Delta Modulator in 0.8 μm CMOS", *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 6, pp. 783-796, June 1997.

[Rac96] J. RACZKOWYCZ AND S. ALLOT. "Embedded ADC characterization techniques using a BIST structure, an ADC model and histogram data", in *Microelectronics Journal,* Vol. 27, pp. 539-549, 1996.

[Raz00] B. RAZAVI. *"Design of Analog CMOS Integrated Circuits"*. Boston, McGraw-Hill, 2000.

[Ren97a] M. RENOVELL, F. AZAÏS AND Y. BERTRAND. "On-Chip Analog Output Response Compaction", in *Proc European Design and Test Conference*, Paris, France, pp. 568-572, Mar. 1997.

[Ren97b] M. RENOVELL, M. LUBASZEWSKI, S. MIR, F. AZAÏS AND Y. BERTRAND. "A Multi-mode Signature Analyser for Analog and Mixed Circuits", in *Proc. IFIP International Conference on Very Large Scale Integration*, Gramado, Brazil, pp. 65-76, Aug. 1997.

[Rib84] D.B. RIBNER AND M.A. COPELAND. "Design Techniques for Cascoded CMOS OP Amps with Improved PSRR and Common-Mode Input Range", *IEEE Journal of Solid-State Circuits*, Vol. 19, No. 6, pp. 919-925, Dec. 1984.

[Rob96] G.W. ROBERTS. "Metrics, Techniques and Recent Developments in Mixed-Signal Testing", in *Proc. the IEEE/ACM International Conference on Computer Aided Design*, San Jose, USA, pp. 514-521, Nov. 1996.

[Rob97] G.W. ROBERTS. "DFT Techniques for Mixed-Signal Integrated Circuits", in *Circuits And Systems In The Information Age, IEEE Press*, pp. 251-271, Jun. 1997.

[Rob99] G.W. ROBERTS AND B. DUFORT. "Making Complex Mixed-Signal Telecommunications Integrated Circuits Testable", in *IEEE Communications Magazine*, pp. 90-96, Jun. 1999.

[Roh99] J. ROH AND J.A. ABRAHAM. "Subband Filtering Scheme for Analog and Mixed-Signal Circuit testing", in *Proc. IEEE International Test Conference*, Atlantic City, USA, pp. 221-229, Sep. 1999.

[Roh00] J. ROH AND J.A. ABRAHAM. "A Comprehensive TDM Comparator Scheme for Effective Analysis of Oscillation-Based Test", in *Proc. IEEE VLSI Test Symposium*, Montreal, Canada, pp. 143-148, Apr.-May 2000.

[Roh04] J. ROH AND J.A. ABRAHAM. "Subband Filtering for Time and Frequency Analysis of Mixed-Signal Circuit Testing", *IEEE Transactions on Instrumentation and Measurement*, Vol. 53, No. 2, pp. 602-611, Apr. 2004.

[Rol04] L. ROLÍNDEZ, S. MIR, G. PRENAT AND A. BOUNCEUR. "A 0.18 μm CMOS implementation of on-chip analogue test signal generation from digital test patterns", in *Proc. IEEE Design, Automation and Test in Europe Conference*, Paris, France, pp. 704-705, Feb. 2004.

[Ros99] R. ROSING, H. KERKHOFF, R. TANGELDER AND M. SACHDEV. "Off-Chip Diagnosis of Aperture Jitter in Full-Flash Analog-to-Digital Converters", *Journal of Electronic Testing: Theory and Applications*, Vol. 14, No. 1-2, pp. 67-74, Feb. 1999.

[Roy02] A. ROY, S. SUNTER, A. FUDOLI AND D. APPELLO. "High Accuracy Stimulus Generation for A/D Converter BIST", in *Proc. IEEE International Test Conference*, Baltimore, USA, pp. 1031-1039, Oct. 2002.

[Ruf03] L. RUFER, S. MIR, E. SIMEU AND C. DOMINGUES. "On-chip testing of MEMS using pseudo-random test sequences", in *Proc. IEEE Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS*, Cannes, France, pp. 50-55, May 2003.

[Sim04] SIMULINK© AND MATLAB©. User's Guide. *The MathWorks, Inc.* 2004.

[Sla93] M. SLAMANI AND B. KAMINSKA. "T-BIST: A Built-In Self-Test for Analog Circuits based on Parameter Translation", in *Proc. IEEE Asian Test Symposium*, Beijing, China, pp. 172-177, Nov. 1993.

[Sou03] H. SOUSA, J. MACHADO AND J. SILVA. "An algorithm for ADC's harmonic estimation suitable for preliminary BIST operations", in *Proc. IEEE European Test Workshop*, Masstricht, The Netherlands, P3.7, May 2003.

[Ste90] J.M STEININGER. "Understanding Wide-Band MOS Transistors", *IEEE Circuits and Devices,* Vol. 6, No. 3, pp. 26-31, Mar. 1990.

[Sto02] T. STOCKSTAD AND H. YOSHIZAWA. "A 0.9-V 0.5-μA Rail-to-Rail CMOS Operational Amplifier", *IEEE Journal of Solid-State Circuits,* Vol. 37, No. 3, pp. 286-292, Mar. 2002.

[Sun97] S. SUNTER AND N. NAGI. "A Simplified Polynomial-Fitting Algorithm for ADC and ADC BIST", in *Proc. IEEE International Test Conference*, Washington D.C., USA, pp. 389-395, Nov. 1997.

[Sun99] S. SUNTER AND N. NAGI. "Test Metrics for Analog Parametrics Faults", in *Proc. IEEE VLSI Test Symposium*, San Diego, USA, pp. 226-234, Apr. 1999.

[Ter93] E. TERAOKA, T. KENGAKU, I. YASUI, K. ISHIKAWA, T. MATSUO, H. WAKADA, N. SAKASHITA, Y. SHIMAZU AND T. TOKUDA. "A Built-In Self-Test for ADC and DAC in a Single-Chip Speech CODEC", in *Proc. IEEE International Test Conference*, Baltimore, USA, pp. 791-796, Oct. 1993.

[Tof00] J.A. TOFTE, C.K. ONG, J.L. HUANG AND K.T. CHENG. "Characterization of a Pseudo-Random Testing Technique for Analog and Mixed-Signal Built-In-Self-Test", in *Proc. IEEE VLSI Test Symposium*, Montreal, Canada, pp. 237-246, May 2000.

[Ton93] M.F. TONER AND G.W. ROBERTS. "A BIST Scheme for an SNR Test of a Sigma-Delta ADC", in *Proc. IEEE International Test Conference*, Baltimore, USA, pp. 805-814, Oct. 1993.

[Ton95] M.F. TONER AND G.W. ROBERTS. "A BIST Scheme for a SNR, Gain Tracking, and Frequency Response Test of a Sigma-Delta ADC", *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 42, No. 1, pp. 1-15, Jan. 1995.

[Ton96] M.F. TONER AND G.W. ROBERTS. "A Frequency Response, Harmonic Distortion, and Intermodulation Distortion Test for BIST of a Sigma-Delta ADC", *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 43, No. 8, pp. 608-613, Aug. 1996.

[Tur01a] J. TURINO. "Reducing Mixed-Signal SoC Test Costs Using BIST", in *Proc. IEEE International Mixed-Signal Test Workshop*, Atlanta, USA, pp. 103-107, June 2001.

[Tur01b] J. TURINO. "Built-In Self-Test Streamlines Testing of Mixed-Signal SoCs", *Electronic Design*, pp. 67-74, July 9, 2001.

[Var97] P.N. VARIYAM, A. CHATTERJEE AND N. NAGI. "Low-Cost and Efficient Digital-Compatible BIST for Analog Circuits Using Pulse Response Sampling", in *Proc. IEEE VLSI Test Symposium*, Monterey, USA, pp. 261-266, Apr.-May 1997.

[Var00] P.N. VARIYAM AND A. CHATTERJEE. "Digital-Compatible BIST for Analog Circuits Using Transient Response Sampling", *IEEE Design and Test of Computers*, Vol.. 17, No. 3, pp. 106-115, Jul.-Sep. 2000.

[Vaz94] D.VÁZQUEZ, A. RUEDA AND J.L. HUERTAS. "A New Strategy for Testing Analog Filters", in *Proc. IEEE VLSI Test Symposium*, Cherry Hill, USA, pp. 36-41, Apr. 1994.

[Vaz95] D.VÁZQUEZ, A. RUEDA AND J.L. HUERTAS. "A Solution for the On-Line Test of Analog Ladder Filters", in *Proc. IEEE VLSI Test Symposium*, Princeton, USA, pp. 48-53, Apr.-May. 1995.

[Vaz96] D.VÁZQUEZ, J.L. HUERTAS AND A. RUEDA. "Reducing the Impact of DFT on the Performance of Analog Integrated Circuits: Improved SW-OPAMP Design", in *Proc. IEEE VLSI Test Symposium*, Princeton, USA, pp. 42-47, May. 1996.

[Vaz98] D.VÁZQUEZ, A. RUEDA, J.L. HUERTAS AND E.PERALÍAS. "A High-Q Bandpass Fully Differential SC Filter with Enhanced Testability", *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 7, pp. 976-986, July 1998.

[Vaz02a] D.VÁZQUEZ, G. HUERTAS, A. RUEDA AND J.L. HUERTAS. "A Simple and Secure Start-Up Circuitry for Oscillation-Based-Test Application", *Analog Integrated Circuits and Signal Processing*, Vol. 32, No. 2, pp.187-190, Aug. 2002.

[Vaz02b] D.VÁZQUEZ, G. HUERTAS, G. LEGER, A. RUEDA AND J.L. HUERTAS. "Practical Solutions for the Application of the Oscillation-Based-Test: Start-Up and On-Chip Evaluation", in *Proc. IEEE VLSI Test Symposium*, Monterey, USA, pp. 433-438, Apr.-May 2002.

[Vaz02c] D.VÁZQUEZ, G. HUERTAS, G. LEGER, E. PERALÍAS, A. RUEDA AND J.L. HUERTAS. "On-Chip Evaluation of Oscillation-Based-Test Output Signals for Switched-Capacitor Circuits", *Analog Integrated Circuits and Signal Processing*, Vol. 33, No. 2, pp. 201-211, Nov. 2002.

[Vaz04] D.VÁZQUEZ, G. LEGER, G. HUERTAS, A. RUEDA AND J.L. HUERTAS. "A Method for Parameter extraction of Analog Sine-wave Signals for Mixed-Signal Built-In-Self-Test Applications", in *IEEE Design, Automation and Test in Europe Conference*, Paris, France, pp. 298-303, Feb. 2004.

[Ved03] J. VEDRAL AND J. HOLUB. "Testing of High Resolution ADC's with deterministic and Stochastic Signals", in *Proc. IEEE European Test Workshop*, Masstricht, The Netherlands, pp. 19-20, May 2003.

[Vei95] B. VEILLETTE AND G. W. ROBERTS. "High Frequency Sinusoidal Generation Using Delta-Sigma Modulation Techniques", in *Proc. IEEE International Symposium on Circuits and Systems*, Washington, USA, pp. 637-640, May 1995.

[Vei98] B. VEILLETTE AND G. W. ROBERTS. "Spectral-Based Built-In Self-Test Methods for Mixed-Signal Integrated Circuits", in *Analog and Mixed-Signal Test*, B. Vinnakota (editor), Prentice-Hall Inc., pp. 153-184, 1998.

[Ven04] D. DE VENUTO AND A. RICHARDSON. "Testing High Resolution ΣΔ ADC's by using the Noise Transfer Function", in *IEEE European Test Symposium*, Ajaccio, France, pp. 164-169, May 2004.

[Vin94] B. VINNAKOTA AND R. HARJANI. "The Design of Analog Self-Checking Circuits", in *Proc. IEEE International Conference on VLSI Design*, Calcutta, India, pp. 67-70, Jan. 1994.

[Vri97] R. DE VRIES, T. ZWEMSTRA, E.M.J.G. BRULS AND P.P.L REGTIEN. "Built-In Self-Test Methodology for A/D Converters", in *Proc. IEEE European Design and Test Conference*, Paris, France, pp. 353-358, Mar. 1997.

[Wal00] M. WALTARI AND K. HALONEN. "Reference Voltage Driver for Low-Voltage CMOS A/D Converters", in *Proc. IEEE International Conference on Electronics, Circuits and Systems*, Jounieh, Lebanon, pp. 28-31, Dec. 2000.

[Wen00] Y.C. WEN AND K.J. LEE. "An on Chip ADC Test Structure", in *Proc. IEEE Design, Automation and Test in Europe Conference*, Paris, France, pp. 221-225, Mar. 2000.

[Xu99] F. XU. "A New Approach for the Nonlinearity Test of ADCs/DACs an its Application for BIST", in *Proc. IEEE European Test Workshop*, Constance, Germany, pp. 34-38, May 1999.

[Yan04] S. YAN AND E. SANCHEZ-SINENCIO, "A continuous-time sigma-delta modulator with 88-dB dynamic range and 1.1-MHz signal bandwidth", *IEEE Journal of Solid-State Circuits,* Vol. 39, No. 1, pp. 75-86, Jan. 2004.

[Yang03] Y. YANG, A. CHOKHAWALA, M. ALEXANDER, J. MELANSON AND D. HESTER, "A 114-dB 68-mW Chopper-Stabilized Stereo Multibit Audio ADC in 5.62 mm²", *IEEE Journal of Solid-State Circuits,* Vol. 38, No. 12, pp. 2061-2068, Dec. 2003.

[Yav04] M. YAVARI AND O. SHOAEI. "Low-voltage low-power fast-settling CMOS operational transconductance amplifiers for switched-capacitor applications", *IEE Proc.-Circuits Devices Systems*, Vol. 151, No. 6, pp. 573-578, Dec. 2004.

[Yuk85] A. YUKAMWA. "A CMOS 8-bit High-Spedd A/D Converter IC", *IEEE Journal of Solid-State Circuits,* Vol. 20, No. 3, pp. 775-779, Jun. 1985.

Travaux publiés durant la thèse

[Rol06c] L. ROLÍNDEZ, S. MIR, A. BOUNCEUR AND J.L. CARBONÉRO. "A Sine-Wave Fitting based BIST for high resolution ΣΔ analogue-to-digital converters", in *Journal of Electronic Testing: Theory and Applications (JETTA),* No. 22, pp. 325-335, 2006.

[Rol06b] L. ROLÍNDEZ, S. MIR AND J.L. CARBONÉRO. "Design of a 96-dB Audio SD ADC including a BIST Technique for SNDR Testing", in *DCIS Conference*, Barcelona, Spain, Nov. 2006.

[Bou06d] A. BOUNCEUR, S. MIR, E. SIMEU AND L. ROLÍNDEZ. "Estimation of test metrics for multiple analogue parametric deviations", in *IEEE DTIS*, Tunis, Tunisia, pp. 234-239, Sep. 2006.

[Bou06c] A. BOUNCEUR, S. MIR, L. ROLÍNDEZ AND E. SIMEU. "CAT platform for analogue and mixed-signal test evaluation and optimization", in *IFIP VLSI-SoC*, Nice, France, Oct. 2006.

[Bou06b] A. BOUNCEUR, S. MIR, E. SIMEU AND L. ROLÍNDEZ. "On the accurate estimation of test metrics for multiple analogue parametric deviations", in *IEEE International Mixed-Signals Testing Workshop*, Edinburgh, UK, pp. 19-26, Jun. 2006.

[Rol06a] L. ROLÍNDEZ, S. MIR, A. BOUNCEUR AND JL. CARBONÉRO. "A SNDR BIST for SD Analogue-to-Digital Converters", in *IEEE VLSI Test Symposium*, Berkeley, US, pp. 314-319, May. 2006.

[Bou06a] A. BOUNCEUR, S. MIR, L. ROLÍNDEZ AND E. SIMEU. "A CAT platform for analogue and mixed-signal test evaluation and optimization", in DIGEST OF PAPERS *IEEE European Test Symposium*, Southampton, UK, pp. 217-222, May. 2006.

[Pre05] G. PRENAT, S. MIR, D. VÁZQUEZ, AND L. ROLÍNDEZ. "A low-cost digital frequency testing approach for mixed-signal devices using Sigma Delta modulation", in *Microelectronics Journal, Elsevier Ltd*, Vol. 36, No. 12, pp. 1080-1090, Dec. 2005.

[Rol05b] L. ROLÍNDEZ, S. MIR, A. BOUNCEUR AND JEAN-LOUIS CARBONERO. "A Digital BIST for a 16-bit audio Sigma Delta Analogue-to-Digital Converter", in *IEEE International Mixed-Signals Testing Workshop*, Cannes, France, pp. 45-52, Jun. 2005.

[Rol05a] L. ROLÍNDEZ, S. MIR AND G. PRENAT. "Digital test of a Sigma Delta modulator in a mixed-signal BIST architecture", in *SPIE VLSI circuits and systems II*, Seville, Spain, pp. 502-512, May, 2005.

[Pre04] G. PRENAT, S. MIR, D. VÁZQUEZ AND L. ROLÍNDEZ. "A low-cost digital frequency testing approach for mixed-signal devices using Sigma-Delta modulation", in *IEEE International Mixed-Signal Testing Workshop, Portland, USA,* pp. 107-115, Jun. 2004.

[Mir04] S. MIR, L. ROLÍNDEZ, G. PRENAT, E. SIMEU AND L. RUFER. "On-chip analogue testing based on Sigma Delta modulation", in *Workshop on the testing of high resolution mixed signal interfaces*, Invited Talk, Ajaccio, Corsica, May, 2004.

[Rol04] L. ROLINDEZ, S. MIR, G. PRENAT AND A. BOUNCEUR. "A 0.18 μm CMOS Implementation of On-chip Analogue Test Signal Generation from Digital Test Patterns", in *IEEE Design and Test in Europe Conference*, Paris, pp. 704-705, Feb. 2004.

[Mir03] S. MIR, L. ROLÍNDEZ, C. DOMINGUES AND L. RUFER. "An implementation of memory-based on-chip analogue test signal generation", in *Asia South Pacific Design Automation Conference*, Invited Talk, Kitakyushu, Japan, pp. 663-668, Jan. 2003.

TITRE

Technique d'auto test pour des convertisseurs de signal Sigma-Delta

RESUME

Le test de circuits analogiques et mixtes est de plus en plus coûteux, représentant parfois jusqu'à 50% du coût total de fabrication du circuit. Les techniques de BIST (*Built-In Self-Test*) permettent de réduire ce coût en intégrant sur la puce les ressources nécessaires au test. Dans cette thèse, nous présentons une nouvelle technique de BIST pour les Convertisseurs Analogiques-Numériques Sigma-Delta (CAN). Cette approche combine un surcoût en surface et un temps de test très réduits. Puisque les circuits numériques sont de plus en plus petits, nous avons choisi une technique principalement numérique, ce qui est en phase avec la philosophie des convertisseurs Sigma-Delta. Comme signal de test nous utilisons un stimulus numérique qui codifie avec une grande précision un signal sinusoïdal. Le même stimulus binaire est employé pour l'analyse de la réponse, effectuée au moyen d'une régression sinusoïdale (*sine-wave fitting algorithm*). La réutilisation de ressources présentes dans le circuit permet de calculer le SINAD (*SIgnal-to-Noise And Distortion ratio*) du convertisseur de manière très efficace. Afin de valider cette technique, un prototype a été conçu et fabriqué dans une technologie CMOS 0.13 µm de STMicroelectronics. Les résultats expérimentaux confirment la capacité de notre technique à mesurer le SINAD dans un convertisseur audio de 16 bits.

Mots clés : BIST, test analogique et mixte, conception analogique, CAN, design en vue du test.

TITLE

A BIST technique for Sigma-Delta ADCs

ABSTRACT

The test of analogue and mixed-signal circuits is becoming very costly, sometimes taking up to 50% of the total product cost. Built-In Self-Techniques (BIST) have the potential to reduce these costs, moving most of the test complexity to the design domain and making the circuit auto-testable. In this thesis, we present a new BIST technique for Sigma-Delta Analogue-to-Digital Converters (ADC). This approach exhibits both a very low area overhead and a short test time. Considering the continuous downscaling of digital circuits, we propose a strategy mainly digital, which is in-line with the philosophy of Sigma-Delta converters. As test signal, we generate on-chip a binary stimulus which encodes a very-high precision sinusoidal signal. The same binary stimulus is used for the response analysis, performed on-chip by means of a sine-wave fitting algorithm. The reuse of the resources already present in the circuit allows us to calculate the converter SINAD (*SIgnal-to-Noise And Distortion ratio*) in a very efficient way. As result of this work, a prototype has been designed and fabricated in a 0.13 µm CMOS technology from STMicroelectronics. The experimental results confirm the capacity of the BIST technique to measure the SINAD in a 16-bit audio Sigma Delta Converter.

Keywords : BIST, analogue & mixed-signal test, analogue design, ADC, Design-for-Test (DfT).

ISBN : 978-2-84813-096-5

ISBNE :