THÈSE

En vue de l'obtention du

Doctorat de l'université Paul Sabatier Toulouse III

Ecole Doctorale : Génie Electrique, Electronique, Télécommunications
Discipline : micro-nanoélectronique

Présenté par

Gaëtan TOULON

Conception de transistors MOS haute tension en technologie CMOS 0,18 µm sur substrat "silicium sur isolant" (SOI) pour les nouvelles générations de circuits intégrés de puissance

Soutenue le 18 novembre 2010 devant le jury

Président :	P. AUSTIN
Rapporteurs :	B. ALLARD
	D. FLORES
Examinateur :	B. VILLARD
	N. KERNEVEZ
Invités :	T. PEDRON
Directeur de thèse :	F. MORANCHO

Remerciements

Le travail réalisé dans ce manuscrit de thèse s'est déroulé dans l'école Doctorale GEET. Il a été effectué dans le Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) du Centre National de la Recherche Scientifique (CNRS), dans le groupe Intégration de Systèmes de Gestion de l'Énergie (ISGE). Je remercie les directeurs successifs du LAAS, Monsieur Raja CHATILA et Monsieur Jean-Louis SANCHEZ, pour la confiance qu'ils m'ont accordée. Je tiens aussi à remercier Madame Marise BAFLEUR, qui dirige le groupe ISGE, de m'avoir accueilli en son sein.

Ce travail a été conduit sous la direction de Monsieur Frédéric MORANCHO, Professeur à l'Université Paul Sabatier. Je tiens à la remercier pour m'avoir proposé ce sujet de thèse, mais aussi pour sa confiance, son soutien, sa disponibilité et pour toutes les discussions que nous avons eu pendant toute la durée de ma thèse.

Je tiens également à remercier Messieurs Bruno ALLARD (Professeur des universités à l'INSA de Lyon) et David FLORES (Chargé de recherche au CNM de Barcelone) pour avoir accepté d'être les rapporteurs de mes travaux de thèse. Je remercie aussi Messieurs Patrick AUSTIN (Professeur à l'Université Paul Sabatier de Toulouse), Bruno VILLARD, Thierry PEDRON (Ingénieurs - ATMEL Rousset) et Madame Nelly KERNEVEZ (Directrice du partenariat - SOITEC Crolles) pour avoir aimablement accepté d'être membres du jury.

Je souhaite remercier toutes les personnes d'ATMEL avec qui nous avons collaboré, notamment Monsieur Bruno VILLARD et Madame Elsa HUGONNARD-BRUYERE, grâce à qui j'ai pu comprendre la technologie CMOS et pour m'avoir fourni de nombreux résultat expérimentaux.

Je tiens à remercier vivement Monsieur Ignasi CORTES, post-doctorant pendant deux ans au LAAS et avec qui j'ai travaillé. Ses grandes connaissances, son expérience et sa sympathie m'ont beaucoup apporté et ont rendu plus riche ce travail.

A titre personnel, je remercie tous mes amis du LAAS. Les anciens qui sont devenus docteurs : Loïc (le nouveau papa) qui m'a aidé à démarrer sur Sentaurus, Yann, Julie, Florence, Cédric, Stéphane, mes « collègues de promo », ceux qui ont commencé la thèse en même temps que moi : Hussein, Hakim (mes collègues de bureau), Elias, Jean-François, Houda, Ayad, Romaric, les plus jeunes, qui seront eux aussi bientôt docteurs : Emmanuel (ou

Manu), Laurent, Nicolas (dit Nico), Émilie et les thaïlandais Jar et P’Aey. Merci aussi à tous les autres que je n’ai pas cité.

Je souhaite remercier mes parents, ma sœur et ma famille pour m’avoir soutenu et encouragé toutes ces années d’étude, pendant la thèse et même avant. Aujourd’hui, c’est enfin fini !

Enfin, je terminerai avec un petit mot pour ma femme Dariga qui a toujours été là pour me soutenir, m’écouter et me conseiller. Elle a du supporter mes sauts d’humeur, et elle a su être patiente. Si je suis arrivé jusqu’ici, c’est un peu grâce à elle. Je lui en suis très reconnaissant.

Merci à toutes les personnes que je n’ai pas citées et qui ont de près ou de loin participé à la réalisation de ce travail. Merci pour leur sympathie et simplement pour le plaisir que j’ai eu à les côtoyer quotidiennement.

Table des matières

Liste des symboles 5

Introduction générale 9

I Chapitre 1 15

Les composants dans les circuits intégrés de puissance 15

I.1 Introduction 17

I.2 Les technologies en silicium massif et S.O.I. 18

I.2.1 Intérêt des différentes technologies 18

I.2.2 Isolation par jonction 18

I.2.3 Isolation par diélectrique 22

I.2.3.a Le procédé SIMOX 23

I.2.3.b Les procédés basés sur le collage de wafers 23

I.3 Les composants de puissance dans les circuits intégrés 27

I.3.1 L'utilisation des composants de puissance 27

I.3.2 Les composants de puissance 28

I.3.2.a Le transistor LDMOS 28

I.3.2.b Le transistor LDMOS RESURF 32

I.3.2.c Améliorations de la technologie RESURF 34

I.3.2.d Les protections en fin de grille 38

I.3.2.e Les transistors LDMOS sur SOI 42

I.4 Conclusion 44

II Chapitre 2 47

Développement de transistors LDMOS à canal N 47

II.1 Introduction 49

II.2 Présentation des différentes structures 49

II.2.1 Conditions du procédé 49

II.2.2 Description des structures étudiées 49
II.3 Optimisation du compromis « résistance passante spécifique – tenue en tension » . 51
II.3.1 Comparaison LDMOS / STI-LDMOS 51
II.3.2 Optimisation de transistors LDMOS à superjonction 57
II.4 Comportement dynamique 60
II.5 Tenue en tension à l'état passant : aire de sécurité 65
II.6 Conclusion 74
III Chapitre 3 77
Développement de transistors LDMOS à canal P 77
III.1 Introduction 79
III.2 Structures étudiées 79
III.3 Optimisation du compromis « résistance passante spécifique – tenue en tension » . 80
III.3.1 Transistor LDMOS à canal P ou PLDMOS 81
III.3.2 Transistor PLDMOS à superjonction 83
III.3.3 Transistor PLDMOS à couche N enterrée 84
III.3.3.a Étude théorique 85
III.3.3.b Optimisation à partir des simulations 87
III.3.4 Comparatif des caractéristiques des structures LDMOS à canal P 89
III.4 Comportement dynamique 91
III.5 Aire de sécurité 94
III.6 Conclusion du chapitre 100
IV Chapitre 4 103
Réalisation et validation expérimentale 103
IV.1 Introduction 105
IV.2 Description du procédé technologique 105
IV.3 Essais expérimentaux 107

IV.3.1 Tension de claquage en fonction de la polarisation du substrat 108
IV.3.1.a PLDMOS et NLDMOS 108
IV.3.1.b Configuration du canal 110
IV.3.2 Caractéristiques de drain 113
IV.4 Optimisation du procédé 117
IV.4.1 Transistors à canal N 117
IV.4.1.a Transistor STI-LDMOS 117
IV.4.1.b Transistor SJ-LDMOS 121
IV.4.2 Transistor à canal P 124
IV.4.2.a Définition des profils de dopage 124
IV.4.2.b Simulations électriques 126
IV.5 Conclusion du chapitre 129
Conclusion générale 131
Références bibliographiques 137
Liste des publications 145
Résumé 147
Abstract 148

Liste des symboles

BV_{DS}	Tenue en tension statique entre drain et source
C_{DS}	Capacité interélectrode source - drain
C_{DSd}	Capacité de déplétion entre source et drain
C_{DSd1}	Capacité de déplétion entre source et drain
C_{DSd1}	Capacité de déplétion entre N-well et P-drift du transistor R-PLDMOS
C_{DS1}	Capacité de déplétion entre NBL et P-drift du transistor R-PLDMOS
C_{GD}	Capacité interélectrode grille – drain
C_{GDd}	Capacité de déplétion entre grille et drain
C_{GDmax}	Capacité due à l'oxyde entre la grille et la zone de drift
C_{GS}	Capacité interélectrode grille – source
C_{GSd}	Capacité de déplétion entre grille et source
C_{GS1}	Capacité d'oxyde mince de la zone de canal
C_{GS2}	Capacité de déplétion entre la grille et le N^+ de source
C_{GS3}	Capacité due à la présence d'oxyde épais entre grille et source
E_C	Valeur du champ électrique critique
E_g	Bande interdite du silicium
h	Profondeur de la section de conduction
I_g	Courant du générateur de grille
I_D	Courant de drain
I_{body}	Courant au niveau de l'électrode de body
$I_{body\text{-}pic}$	Valeur du premier pic de courant de la caractéristique I_{body} en fonction de V_{GS}
J_S	Courant de saturation d'une jonction PN
k	Constante de Boltzmann
L_{poly}	Longueur du polysilicium de grille
L_c	Longueur de grille non recouverte par le STI

L_{LDD}	Longueur de la région de drift
L_{SJ}	Longueur des piliers de la superjonction non recouverts par le STI
L_{SFP}	Longueur du débordement de la métallisation au-delà du polysilicium de grille
L_{STI}	Longueur du STI
L_{inv}	Longueur de la couche d'inversion sous la grille
L_{acc}	Longueur de la couche d'accumulation sous la grille
N_A	Concentration de dopage du SOI dopé P
$N_{A\text{-}drift}$	Concentration de dopage de la région P de drift
$N_{A\text{-}pi}$	Concentration de dopage du pilier P de la superjonction
$N_{A\text{-}sub}$	Concentration de dopage du substrat P
N_D	Concentration de dopage de la région N de drift
$N_{D\text{-}BL}$	Concentration de dopage de la région NBL
$N_{D\text{-}pi}$	Concentration de dopage du pilier N de la superjonction
q	Charge électronique élémentaire
Q_g	Charge de grille nécessaire pour rendre le transistor passant
Q_N	Charge du pilier N de la superjonction
Q_P	Charge du pilier P de la superjonction
R_a	Résistance de la zone d'accès au drain
R_d	Résistance de la zone de drift
R_{ch}	Résistance de la couche d'inversion du canal
R_L	Résistance de ligne
R_{on}	Résistance à l'état passant
$R_{on\text{-}sp}$	Résistance passante spécifique
T_{BOX}	Epaisseur de la couche d'oxyde enterré
T_{epi}	Epaisseur de la zone épitaxiée
T_{NBL}	Epaisseur de la région NBL

$T_{\text{P-drift}}$	Epaisseur de la région P de drift
T_{SOI}	Epaisseur de la couche de silicium actif
T_{STI}	Profondeur du STI
V_{bi}	Potentiel de diffusion
V_{dd}	Tension d'alimentation des circuits
V_{DS}	Tension entre drain et source
V_{GD}	Tension entre grille et drain
V_{GS}	Tension entre la grille et source
$V_{\text{GS-max}}$	Tension de grille maximale de la caractéristique I_{body} en fonction de V_{GS}
W_{N}	Largeur de la zone de charge d'espace du coté N
$W_{\text{N/P}}$	Largeur de la zone de charge d'espace dans la région N-drift
$W_{\text{ox/N}}$	Largeur de la zone de charge d'espace dans la région NBL du coté de l'oxyde
$W_{\text{P/N}}$	Largeur de la zone de charge d'espace dans la région NBL du coté P-drift
$Y_{\text{N-pi}}$	Largeur du pilier N de la superjonction
$Y_{\text{P-pi}}$	Largeur du pilier P de la superjonction
Z	Largeur de la grille ou périmètre du canal
ε_0	Permittivité du vide
ε_{Si}	Permittivité relative du silicium
μ_{n}	Mobilité des électrons
ΔImp	Variation en pourcent de la dose implantée pour la réalisation de la région N-drift
ΔL_{Poly}	Débordement du polysilicium de grille au dessus du STI
$\Delta N_{\text{A-imp}}$	Variation en pourcent de la dose implantée pour la réalisation de la région P-drift
$\Delta N_{\text{D-imp}}$	Variation en pourcent de la dose implantée pour la réalisation de la région NBL
ΔN_{Pi}	Variation en pourcent du dopage du pilier N relativement à celui du pilier P
$\Delta Wells$	Espacement entre les masques pour la réalisation des régions N-well et P-well

Introduction générale

Les progrès technologiques accomplis dans le domaine des semiconducteurs depuis la réalisation des premiers composants ont permis le développement d'applications toujours plus performantes et diversifiées. Des marchés émergents pour l'automobile mais aussi pour l'électronique grand public sont demandeurs de hautes performances et de qualité.

Dans le marché de l'automobile, la production de véhicules légers devrait atteindre un taux de croissance moyen de 4 % durant les prochaines années et les revenus liés aux semiconducteurs un taux de 8 %. En effet, actuellement, la part de l'électronique dans une voiture dépasse les 20 % du coût de production et devrait atteindre 40 % dans les six prochaines années. De nouvelles fonctionnalités et systèmes liés à la sécurité ou au confort, mais aussi à la transmission, sont développés et implémentés aussi vite que possible par les constructeurs automobiles. De plus, à coté de l'apparition de nouveaux accessoires, certains systèmes existants comme les airbags, l'ABS ou l'air conditionné se standardisent y compris dans les véhicules d'entrée de gamme. Le nombre croissant de fonctions électroniques dans les véhicules entraine indéniablement une augmentation de la consommation électrique, ce qui nécessite d'utiliser des tensions d'alimentation plus élevées.

La voix sur réseaux IP (VoIP pour « Voice over Internet Protocol ») et la puissance par Ethernet (PoE pour « Power over Ethernet » ou norme IEEE 802.3af) sont des applications qui ont vu le jour récemment. Ces applications nécessitent l'utilisation de puissance pour l'alimentation dans les mêmes câbles Ethernet qui délivrent le signal Internet ou Ethernet. Le regroupement de la partie signal avec l'alimentation permet ainsi de ne plus avoir de câble d'alimentation externe pour certains périphériques tels que les téléphones pour la téléphonie sur IP et les imprimantes. La puissance sur Ethernet peut aussi servir d'alimentation de secours pour éteindre correctement un ordinateur sans perte de données en cas de coupure de l'alimentation principale.

Les circuits intégrés de puissance, qui associent sur une même puce des éléments logiques, tels que des circuits CMOS, et des interrupteurs de puissance, tels que des composants DMOS, sont plus adaptés pour répondre à la demande grandissante en « systèmes sur puce de puissance » de plus en plus complexes.

La réduction de la lithographie permet aujourd'hui de réaliser des circuits plus complexes sur une puce de même taille. Cependant, la réduction des règles de dessin dans les composants CMOS ne s'applique pas aux composants de puissance. En effet, la taille de ces composants est limitée par la longueur de la région de drift qui permet de tenir la haute

tension et par la largeur et le nombre de cellules élémentaires qui permettent de fournir plus de courant. Dans les composants de puissance du type DMOS, une région faiblement dopée, dite de drift, permet de supporter la haute tension. Le dopage devra être d'autant plus faible et la longueur de cette région élevée que la tenue en tension sera importante. Or cette région ajoute une forte résistance qui pénalise la résistance à l'état passant. Cette limite est le compromis « résistance passante spécifique / tenue en tension ».

Le projet européen SPOT2 soutenu par le consortium européen MEDEA+ implique de nombreux partenaires industriels et académiques, tels que les sociétés Infineon, Continental, Bosch, Audi, X-FAB (Allemagne), NXP (Belgique et Pays-Bas), ON Semiconductor (Belgique), Telefunken (Allemagne) ATMEL, SOITEC (France) ainsi que les Universités de Vienne (Autriche), Dortmund et Dresde (Allemagne) et le LAAS-CNRS. Ce projet a pour but de développer et de comparer les nouvelles technologies de circuits intégrés de puissance développées par chacun des partenaires. Le rôle du LAAS-CNRS est de concevoir des composants LDMOS haute tension compatibles avec le procédé CMOS 0,18 µm sur substrat « silicium sur isolant » (SOI pour « silicon on insulator ») d'ATMEL.

Ce mémoire de thèse porte donc sur la conception et l'optimisation de nouveaux transistors LDMOS haute tension (120 V) à canal N et P qui seront intégrés dans un circuit intégré de puissance de dernière génération utilisant un procédé de fabrication CMOS 0,18 µm sur substrat SOI.

Dans un premier chapitre, nous aborderons la problématique des perturbations dans les circuits intégrés de puissance dues à la présence de composants haute tension et présenterons les différentes solutions d'isolation existantes. Après avoir expliqué en détail la problématique du compromis entre tenue en tension et résistance passante spécifique dans les transistors DMOS, nous présenterons les différentes solutions existantes pour améliorer les performances électriques.

Les chapitres 2 et 3 seront consacrés à l'optimisation de structures LDMOS à canal N et P respectivement, à partir de simulations électriques à éléments finis. Nous comparerons les différentes structures en termes de compromis « résistance passante spécifique / tenue en tension » et de facteur de mérite « $R_{on} \times Q_g$ » qui est le produit entre charge de grille et résistance passante. Les structures ainsi optimisées, l'aire de fonctionnement sera finalement étudiée pour chacune d'elles.

Enfin, le chapitre 4 présentera les résultats expérimentaux réalisés pendant cette thèse. Les mesures électriques ainsi obtenues seront comparées aux résultats de simulation. Cette étude donnera lieu à une étape d'optimisation supplémentaire du procédé de fabrication par simulations technologiques.

I Chapitre 1

Les composants dans les circuits intégrés de puissance

I.1 Introduction

Les circuits intégrés de puissance, apparus dans les années 80, avaient pour vocation d'ajouter à un composant de puissance des éléments logiques et analogiques basse puissance ayant principalement une fonction de protection et de commande de ce composant de puissance. L'introduction de logique CMOS associée aux composants DMOS de puissance favorisa l'essor des technologies intégrées de puissance, qui prit par ailleurs le nom de « *smart power* », pour « puissance intelligente ». La technologie BCD, pour « *Bipolar CMOS DMOS* » est la plus couramment utilisée pour les circuits intégrés de puissance. Chaque composant est voué à une fonction qui lui est spécifique : les composants bipolaires réalisent les fonctions analogiques, les transistors CMOS les fonctions logiques et les composants DMOS sont utilisés comme éléments de puissance [1]. Les progrès effectués dans le domaine des technologies CMOS se sont répercutés sur les technologies BCD qui suivent la même évolution de miniaturisation, comme le montre la figure I.1, mais avec un temps de retard, dû à la complexité accrue de ces dernières [2].

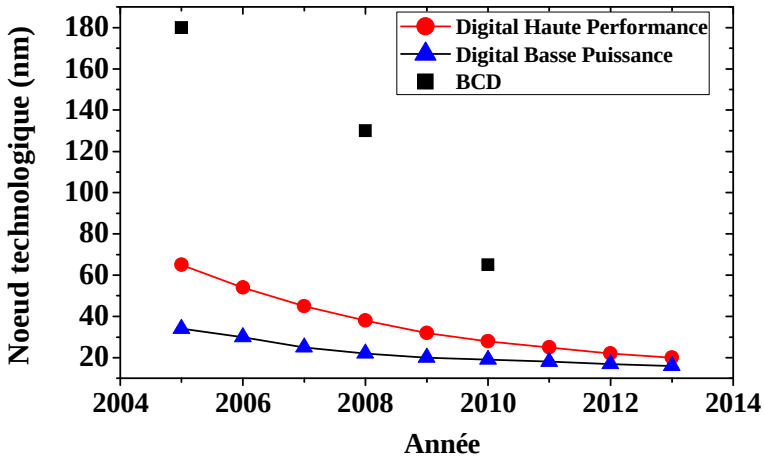

Figure I-1 : Evolution des technologies CMOS et de puissance en fonction du temps [2]

Les progrès réalisés ces dernières années ont vu évoluer les technologies BCD vers plusieurs directions : BCD haute tension, BCD haute puissance, BCD à haute intégration et BCD radio fréquence.

Après avoir donné une brève description des principales technologies d'isolation existantes, nous nous attarderons sur les interrupteurs de puissance utilisés dans ces circuits.

I.2 Les technologies en silicium massif et S.O.I.

I.2.1 Intérêt des différentes technologies

Dans un circuit intégré de puissance, différents niveaux de tension et de courant sont mis en jeu. Les composants de signal sont alimentés par des basses tensions et ne véhiculent que peu de courant, tandis que les interrupteurs de puissance supportent généralement des niveaux de tension beaucoup plus élevés et sont traversés par de forts courants, de l'ordre de la centaine de milliampère, voire plus. Par conséquent, la cohabitation de ces différents types de composants peut être litigieuse et peut provoquer des dégâts importants. L'isolation entre les différents étages est donc nécessaire afin d'éviter tout problème. Les principales technologies d'isolation utilisées dans les circuits intégrés de puissance sont :

- l'isolation par jonction,
- l'isolation par diélectrique.

Chacune de ces technologies présente des avantages et des inconvénients comme cela va être présenté dans la suite.

I.2.2 Isolation par jonction

Jusqu'à présent, la majorité des technologies de puissance intelligente était basée sur la technique d'isolation par jonction. Le principe de cette technique est d'utiliser des jonctions P-N polarisées en inverse afin de limiter la propagation des courants entre les différents étages du circuit. Les différents composants sont réalisés dans des caissons dopés N isolés les uns des autres à partir de puits P^+ diffusés de la surface du silicium jusqu'au substrat qui est aussi de type P. La figure II-2 montre un exemple de structures comprenant un transistor LDMOS isolé des transistors CMOS.

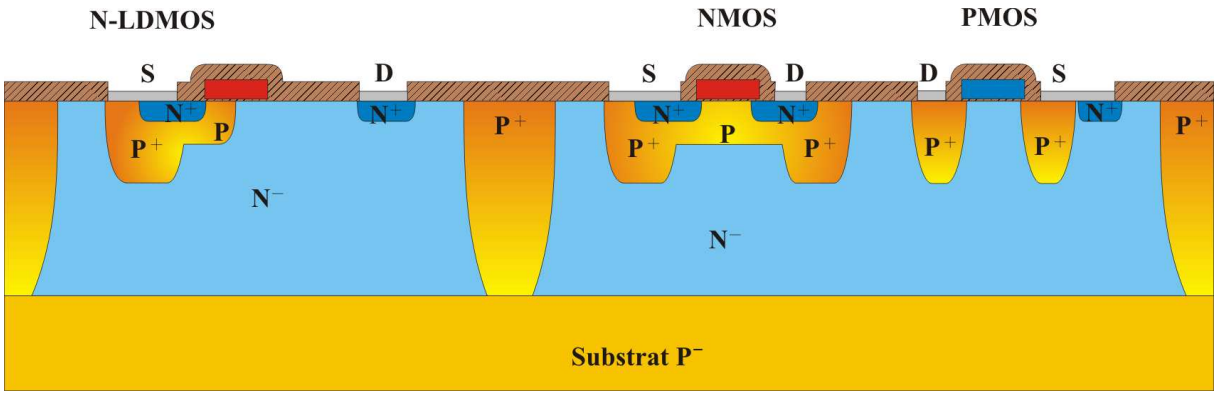

Figure I-2 : Technologie CMOS – DMOS à isolation par jonction

Cette technologie est relativement peu coûteuse puisqu'elle ne nécessite pas d'étape particulière lors de la fabrication. Cependant, elle n'est pas immune d'effets parasites. Un problème majeur de cette technologie est la destruction de composants par « *latch-up* » [3]. Ce phénomène apparaît lorsque le courant de substrat, venant d'autres étages du circuit, est suffisamment important pour verrouiller le thyristor parasite formé par les couches PNPN entre les sources des transistors PMOS et NMOS, comme illustré sur la figure I-3.

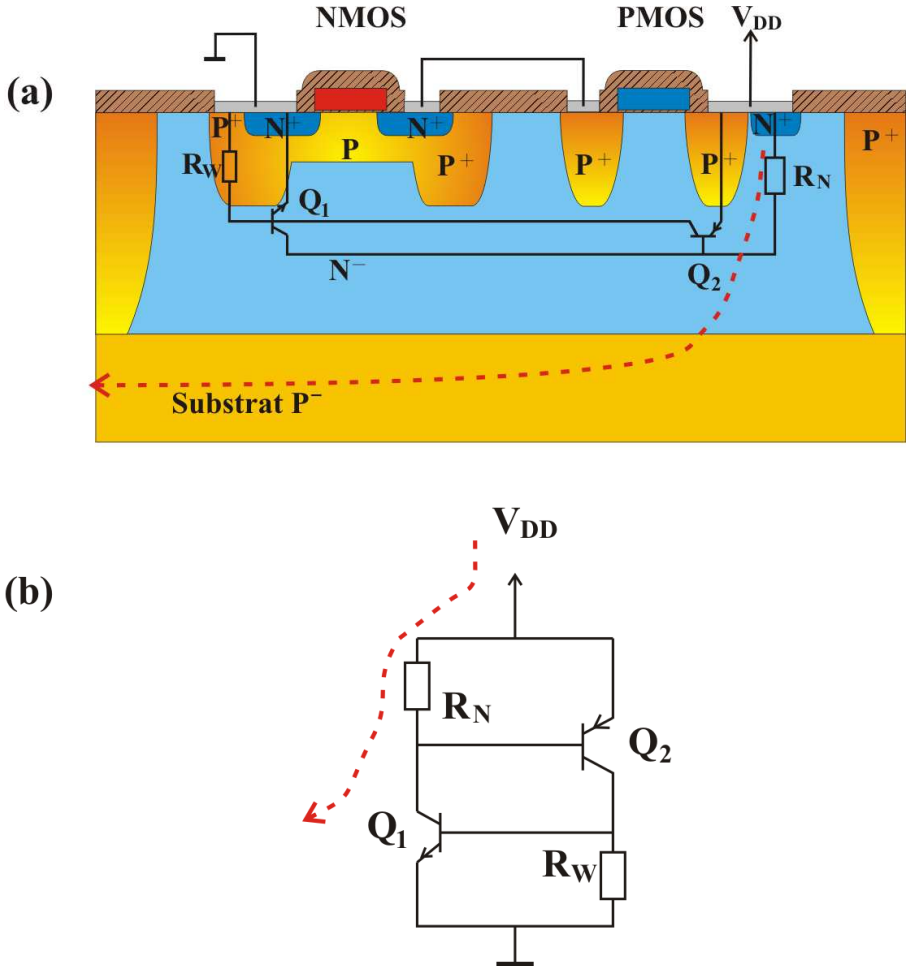

Figure I-3 : Illustration du phénomène de *latch-up* dans un circuit CMOS

La circulation de ce courant de substrat à travers la résistance R_N va induire une chute de tension dans la région N^-. Si le courant est suffisamment important, la chute de tension sera suffisante pour rendre passante la diode définie par le caisson P^+ de source du transistor PMOS et la région N^-, ce qui aura pour effet de rendre passant le transistor PNP Q_2. Ce dernier fournit le courant à la base du transistor NPN Q_1 pour le rendre passant. Ce dernier va à son tour alimenter la base de Q_1 : les deux transistors s'auto-entretiennent et le dispositif est verrouillé (en anglais *latch*). Par conséquent, même si le courant de substrat parasite venait à disparaître, le courant au sein de la structure thyristor continuerait à circuler de manière

incontrôlable provoquant ainsi la destruction thermique du composant. L'arrêt du thyristor n'est possible que par l'arrêt des alimentations.

Afin de protéger les composants contre les courants de substrat qui viennent principalement des composants de puissance, il existe différentes solutions. La première est de réduire la susceptibilité du circuit CMOS au déclenchement du thyristor parasite en modifiant son design [4] [5].

Pour réduire le courant parasite arrivant jusqu'aux éléments sensibles, l'augmentation du dopage du substrat permet de recombiner une plus grande part du courant émis [6]. Cependant, cette solution ne supprime pas totalement le courant : elle ne fait que le réduire.

L'utilisation d'un substrat P^+ n'étant pas toujours possible, une autre solution est d'insérer des anneaux de garde qui ont pour but de collecter le courant émis par l'élément perturbateur avant qu'il n'atteigne les zones sensibles du circuit [7] [8]. La figure I-4 montre un anneau de garde entre l'élément de puissance représenté par son électrode de drain et le circuit CMOS qui est susceptible d'être perturbé.

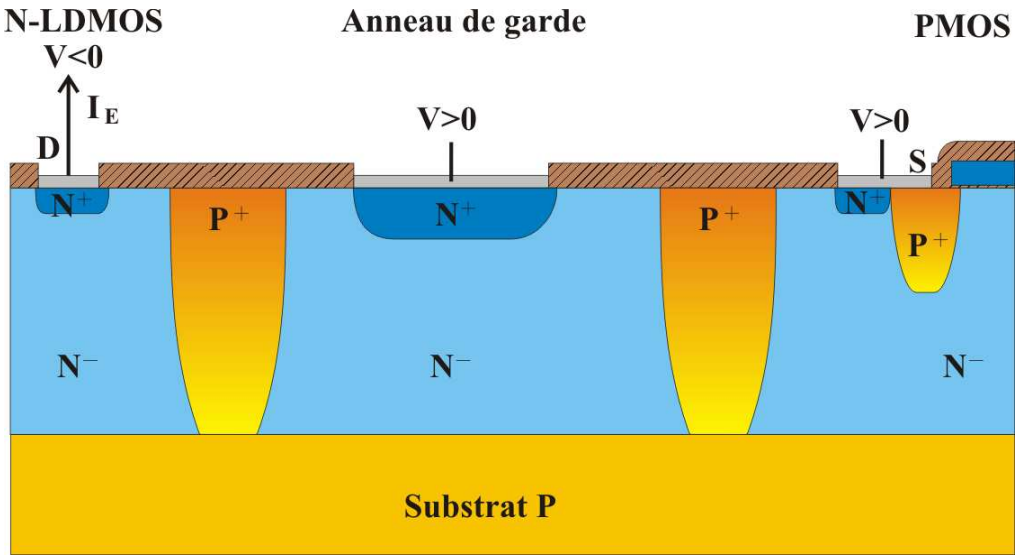

Figure I-4 : Anneau de garde entre deux étages d'un circuit intégré de puissance

Cependant, cette structure nécessite une surface supplémentaire sur la puce, d'autant plus que les anneaux doivent être larges (plus de 100 µm) pour être efficaces.

Une solution alternative est de définir le transistor LDMOS isolé dans un caisson P, comme le montre la figure I-5 [9].

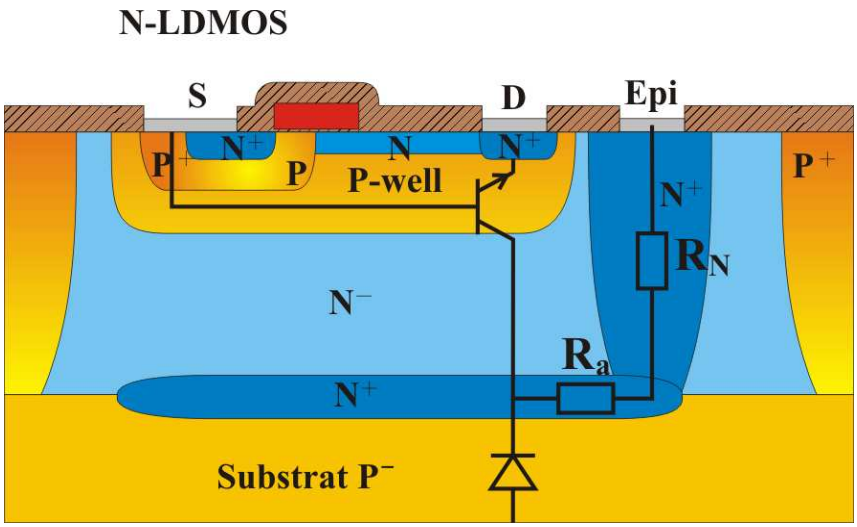

Figure I-5 : Transistor LDMOS isolé

Contrairement au transistor LDMOS classique, le drain du LDMOS isolé n'est plus en contact avec la région N^- de l'épitaxie. Par conséquent, quand le drain est polarisé négativement, la jonction 'substrat P^- / épitaxie N^- / drain N^+' n'existe plus à cause du P-well supplémentaire. Dans le cas du transistor isolé, quand le drain est polarisé négativement, la jonction base – émetteur du transistor NPN, défini entre le N^+ du drain, le P-well – P^+ de source et l'épitaxie N^- – couches N^+, devient passante. Le courant émis par le drain est collecté par le contact Epi spécialement réalisé à cet effet. Or, le substrat P et le contact Epi étant polarisés à la masse, quand le courant collecté par ce contact devient important (soit environ 20 mA pour un composant de 10 µm² dans [9]), la chute de tension dans les résistances R_a et R_N devient suffisante pour rendre la diode PN entre la couche N enterrée et le substrat passante. Par conséquent, la protection n'est plus active.

Néanmoins, ce type de protection est difficilement généralisable car elle n'est efficace que pour des basses tensions puisque la tenue en tension dépend de l'épaisseur des différentes régions [10]. Il est donc difficile de réaliser des structures hautes tension utilisant cette architecture. De plus, la réalisation de la couche N^+ enterrée n'est pas triviale, car sa fabrication se fait à partir d'implantations à haute énergie

À coté des différentes protections présentées, il existe des protections dites actives qui portent sur l'ajout d'un circuit de protection détectant les courants et tensions qui seraient susceptibles d'être source de perturbation pour immédiatement les annihiler. Ces protections, bien que pouvant être complexes, sont très efficaces pour la protection des déclenchements de « *latch-up* » [11] [12] [13].

Une autre limitation de la technologie d'isolation par jonction est sa température maximale d'utilisation. L'isolation se faisant par des jonctions PN polarisées en inverse, le courant de fuite, faible à température ambiante, augmente très fortement avec la température. L'équation de Shockley (équation I-1) est l'expression du courant J en fonction de la tension d'une diode PN idéale [14] :

$$J = J_S\left(e^{\frac{qV}{kT}} - 1\right) \qquad \textbf{Équation I-1}$$

Le courant de saturation J_S dépend de plusieurs paramètres physiques du matériau (concentration en porteurs, coefficients de diffusion, etc). Nous retiendrons que ces paramètres dépendent de la température, ce qui donne :

$$J \propto T^{(3+\gamma/2)} \times e^{-\frac{E_g}{kT}} \qquad \textbf{Équation I-2}$$

Où γ est une constante positive. De plus, à l'état bloqué, J est égal à J_S ($V < 0$ V). De cette équation, nous voyons clairement la dépendance du courant de fuite avec la température.

I.2.3 Isolation par diélectrique

L'isolation par diélectrique est utilisée depuis plusieurs années pour les applications où l'isolation électrique entre les différents niveaux d'un circuit intégré est obligatoire ou dans les technologies CMOS submicroniques à hautes performances comme les micro-processeurs. L'isolation par diélectrique s'obtient de deux façons : verticalement, où une couche enterrée d'oxyde de silicium est formée sous le silicium actif (SOI : *silicon on insulator*), et horizontalement par réalisation de tranchées remplies d'isolant. La formation de l'oxyde enterré est réalisée en amont, au moment de la fabrication des wafers alors que les tranchées sont réalisées au cours de la fabrication par gravure ionique puis par remplissage d'oxyde et de polysilicium afin de réduire les contraintes mécaniques [15]. La figure I-6 montre un exemple de technologie intégrée de puissance isolée par diélectrique.

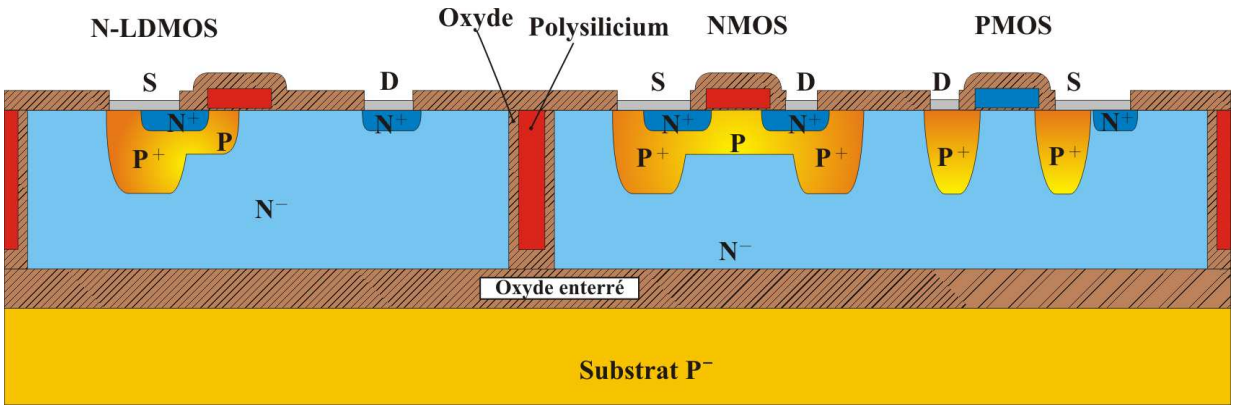

Figure I-6 : Technologie CMOS – DMOS à isolation par diélectrique

Cette technologie, bien que plus onéreuse que la technologie d'isolation par jonction, tend à se démocratiser de par l'évolution des technologies de fabrication microélectronique. Les principales évolutions ont eu lieu sur la fabrication des substrats SOI eux-mêmes où de nombreuses filières existent [16]. Parmi les nombreuses méthodes de réalisation d'un substrat SOI, deux technologies ont émergé et sont devenues les plus utilisées. Elles utilisent toutes les deux des implantations ioniques, mais l'une d'elle utilise le collage moléculaire, aussi appelé « transfert de film ».

I.2.3.a Le procédé SIMOX

Le procédé SIMOX (pour *Separation by IMplantation of OXygen*) consiste à effectuer une implantation d'oxygène à haute dose (10^{17} à 10^{18} cm^{-2}) dans le silicium puis un recuit à haute température pour former la couche d'oxyde enterré [17]. L'épaisseur de la couche d'oxyde ainsi obtenue est d'environ 50 nm, ce qui est suffisant pour les composants CMOS. Cette technique a l'inconvénient de dégrader le réseau cristallin du silicium à cause de l'implantation d'oxygène, nécessitant donc le recuit à très haute température (1250 à 1400° C) pendant plusieurs heures pour réorganiser le réseau cristallin du silicium. Or, ce recuit à haute température nécessite des fours spécifiques.

I.2.3.b Les procédés basés sur le collage de wafers

Les différentes techniques par collage utilisent les forces de Van der Waals pour faire adhérer deux plaquettes. Les atomes des deux surfaces placées très proches l'une de l'autre se lient par interaction électrique. Ensuite, un recuit à haute température (1100 °C) permet de créer le collage des deux plaquettes en augmentant l'énergie de liaison entre les atomes [18]. Les techniques ELTRAN™ et de S*mart Cut*™, développées par Canon et SOITEC respectivement, utilisent le collage pour réaliser les substrats SOI.

a. Implantation d'oxygène : procédé *Smart Cut*™

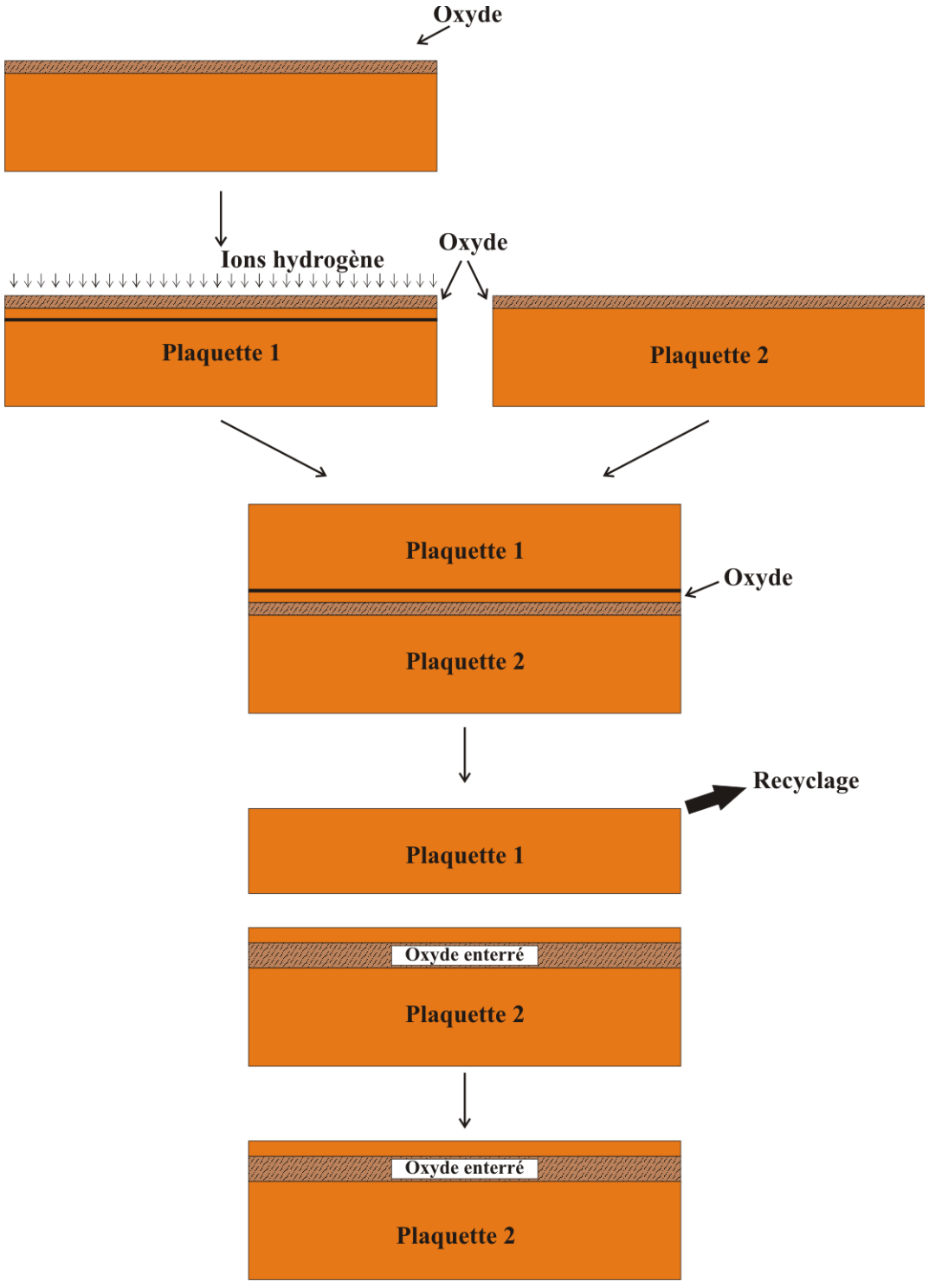

Figure I-7 : Etapes du procédé S*mart Cut*™

Le procédé S*mart Cut*™ fut développé au LETI avant d'être commercialisé [19]. Il consiste à implanter, sur une plaquette précédemment oxydée, des ions hydrogène à une dose supérieure à 5×10^{16} cm^{-2}. Ces ions vont créer des microcavités dans le silicium. Cette plaquette est collée sur une autre, elle aussi oxydée, qui servira de support mécanique. Un

premier recuit entre 400 et 600° C va séparer la première plaquette au niveau du maximum de concentration d'hydrogène et un deuxième à plus haute température va renforcer la liaison du collage. Après polissage, la deuxième plaquette devient le substrat SOI. La première est réutilisée pour un nouveau procédé. La figure I-7 résume ce procédé.

b. Procédé basé sur le silicium poreux : *ELTRAN™*

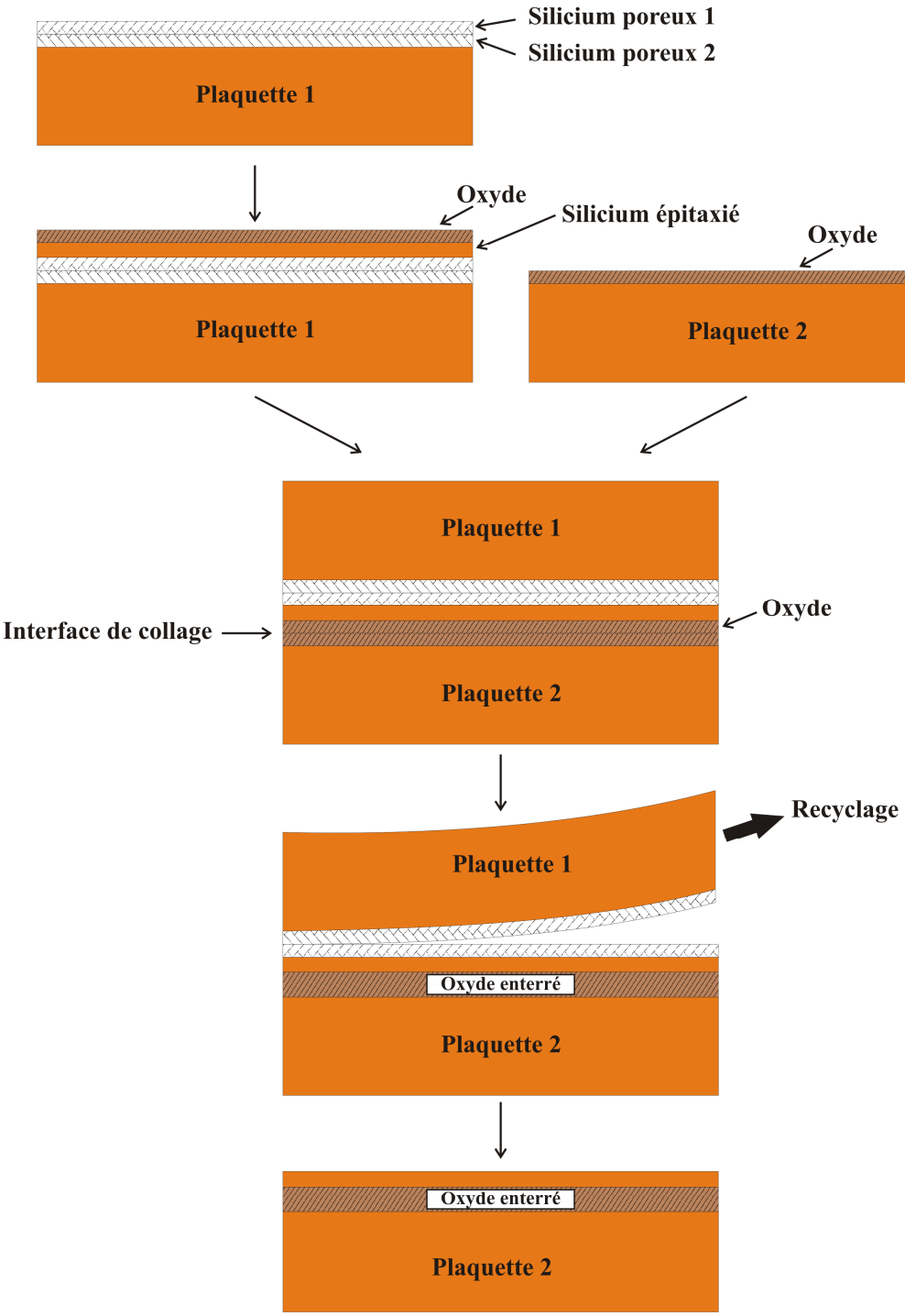

Figure I-8 : Etapes du procédé ELTRAN™

Le procédé ELTRAN™ (*Epitaxial Layer TRANsfer*) utilise les propriétés du silicium poreux [20] [21]. Deux couches de silicium poreux sont réalisées sur un premier wafer. Comme le silicium poreux garde ses propriétés cristallines, il est possible de faire croître une couche de silicium épitaxiée sur laquelle est réalisé un oxyde thermique. Cette plaquette est collée sur une deuxième servant de support, qui a préalablement été oxydée. Comme le silicium poreux est mécaniquement plus fragile, les deux plaquettes se séparent à l'interface des deux couches de silicium poreux à partir, par exemple, d'un jet d'eau. Nous obtenons, après retrait de la couche de silicium poreux, un substrat SOI. De plus, la première plaquette peut ensuite être réutilisée pour un nouveau procédé ELTRAN™. La figure I-8 résume le procédé ELTRAN™.

Ces deux techniques sont assez proches l'une de l'autre. Le procédé S*mart Cut*™, bien que moins coûteux puisqu'il nécessite moins d'étapes, ne permet d'obtenir que des épaisseurs de silicium plus faibles (jusqu'à 2 µm) qu'avec le procédé ELTRAN™, puisqu'elles sont limitées par l'énergie d'implantation des protons H^+ (70 keV). Cependant, le contrôle de l'épaisseur est plus précis car cette dernière dépend de l'énergie de l'implantation. Dans le cas du procédé ALTRAN™, l'épaisseur de silicium est conditionnée par l'épaisseur de l'épitaxie. Dans les deux procédés, le wafer sur lequel est réalisée la couche de silicium active est réutilisé pour un autre procédé, ce qui minimise le surcoût.

La description de ces différentes méthodes de réalisation d'un substrat SOI permet de comprendre le prix plus élevé de ces plaquettes. Cependant, les techniques de réalisation par collage, moins complexes que la technique SIMOX, tendent à faire baisser le prix des wafers, et, au final, celui des composants.

La technologie d'isolation par diélectrique est mieux adaptée pour l'utilisation à haute température [22], et, plus principalement, les transistors MOS totalement dépeuplés (« fully depleted ») qui sont toujours opérationnels à 300° C [16], car elle supprime les courants de fuites inhérents aux technologies d'isolation par jonction et permet une isolation totale entre les dispositifs, ce qui en fait un excellent candidat pour les technologies de circuits intégrés de puissance à hautes performances. Un autre point en faveur de l'isolation par diélectrique est le gain en surface de silicium apporté par les tranchées latérales, contrairement aux puits P qui, eux, nécessitent pour leur réalisation des temps de diffusion longs et donc des diffusions latérales importantes.

I.3 Les composants de puissance dans les circuits intégrés

I.3.1 L'utilisation des composants de puissance

En électronique de puissance, les composants de puissance sont destinés à des fonctions d'interrupteurs dans la mise en œuvre de convertisseurs (hacheurs, onduleurs, etc). Nous pouvons citer les principaux montages où ces composants sont utilisés : transistor en configuration basse (Figure I-9 (a)), en configuration haute (Figure I-9 (b)), demi-pont et pont en H.

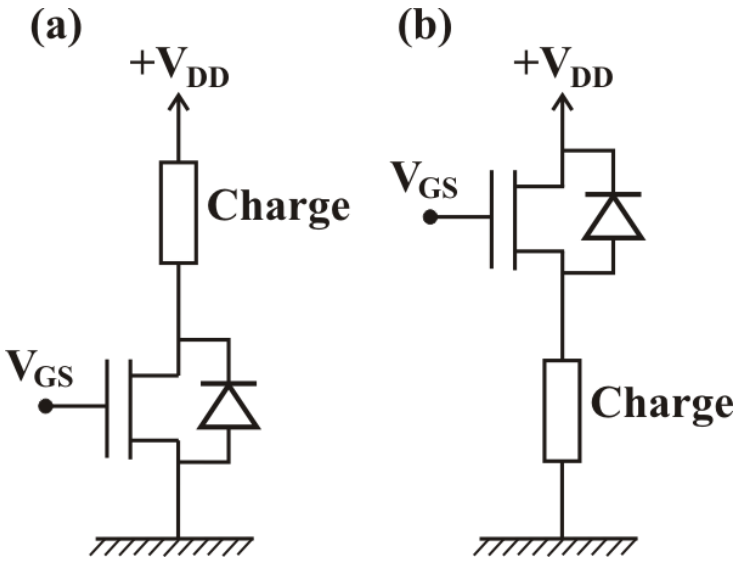

Figure I-9 : Circuit avec (a) transistor en configuration basse et (b) en configuration haute

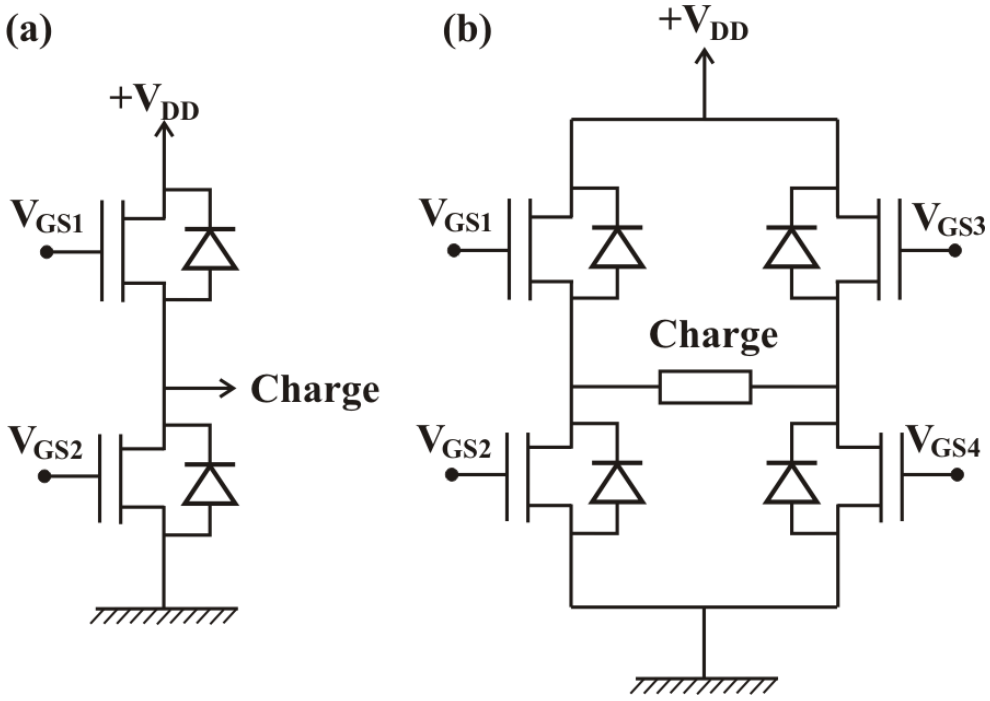

Figure I-10 : (a) Demi-pont et (b) pont en H

Dans les circuits intégrés de puissance, il est possible d'intégrer plusieurs composants de puissance isolés les uns des autres pour la réalisation de ces circuits.

Les interrupteurs de puissance fonctionnent entre deux états : l'état passant et l'état bloqué. À l'état bloqué, l'interrupteur est ouvert, la tension supportée à ses bornes est importante et le courant le traversant nul. Le composant est caractérisé par sa tenue en tension (BV_{ds}), qui est la tension qu'il peut supporter entre ses bornes avant destruction. À l'inverse, quand l'interrupteur est passant, la chute de tension à ses bornes doit être la plus faible possible quand il est traversé par un courant important. Sachant que certains convertisseurs fonctionnent à des fréquences de plusieurs kHz, il est nécessaire que l'interrupteur change d'état le plus rapidement possible afin de limiter les pertes lors des commutations.

Il existe de nombreuses familles de composants semi-conducteurs pouvant réaliser cette fonction, chacune étant mieux adaptée à certaines applications, comme nous allons le voir par la suite.

I.3.2 Les composants de puissance

Il existe de nombreuses familles de composants à semi-conducteur pouvant réaliser la fonction d'interrupteur de puissance. Dans les circuits intégrés de puissance, et plus particulièrement en technologie BCD, cette fonction est réalisée par des transistors DMOS en raison de sa compatibilité de fabrication avec les procédés CMOS. Cependant, des composants de type bipolaire ont déjà été utilisés pour réaliser cette fonction, mais ils sont source de perturbations en raison de l'injection de porteurs dans le substrat qu'ils engendrent et qui peut causer des problèmes de latch-up [23].

I.3.2.a Le transistor LDMOS

C'est un peu à cause de ces problèmes mais aussi grâce à leur plus grande vitesse de commutation que les transistors MOS ont fait l'objet de nombreuses attentions. Le transistor LDMOS [24] pour *Lateral Double Diffused Metal Oxide Semiconductor,* dont une coupe schématique est représentée figure I-11, est communément utilisé dans les circuits intégrés de puissance. La particularité de cette structure provient du chemin latéral qu'emprunte le courant. Une région N^-, dite de drift, est intercalée entre la grille et le drain.

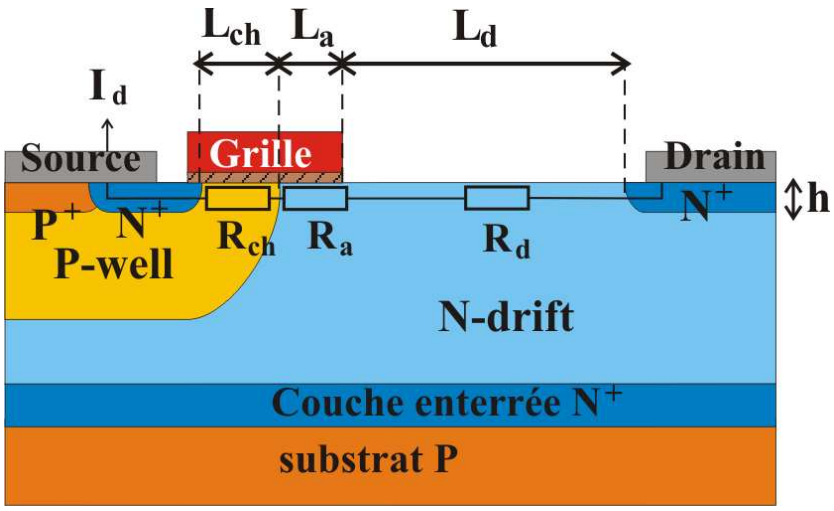

Figure I-11 : Coupe schématique du transistor LDMOS

Les composants de puissance nécessitent une région peu dopée permettant de tenir la tension. Cette région étant faiblement dopée, cela signifie que sa résistivité sera importante. Sur le transistor LDMOS de la figure I-11, la région N-drift supporte la tension appliquée entre l'ensemble « source / grille » et le drain. Nous allons maintenant détailler les deux régimes de fonctionnement : bloqué et passant.

a. Fonctionnement à l'état passant

À l'état passant, le transistor LDMOS est caractérisé par sa résistance passante. Celle-ci se mesure à tension de grille (V_{GS}) donnée et à faible tension de drain (V_{DS}). La résistance du transistor se décompose en plusieurs résistances en série correspondant aux résistances des différentes régions. Nous ne retiendrons que les résistances qui pèsent le plus sur la résistance totale : la résistance du canal (R_{ch}), la résistance d'accès (R_a) et la résistance de drift (R_d). Les autres résistances qui sont celles des diffusions N^+ et de métallisation sont négligeables (de l'ordre du mΩ).

La résistance de canal correspond à la zone d'inversion de la région P-well sous la grille. Sa valeur dépend principalement de la tension de grille appliquée, du dopage en surface du P-well, de la longueur L_{ch} du canal et de l'épaisseur de l'oxyde de grille.

La résistance d'accès représente l'accumulation sous la grille en surface de la région de drift. Cette résistance dépend des mêmes paramètres que la résistance R_{ch} qui sont la tension de grille, la longueur du débordement de la grille sur la région N^-, du dopage de cette dernière et l'épaisseur de l'oxyde de grille.

La résistance de drift R_d correspond à la zone N^- située entre la fin de la grille et le drain N^+. Cette résistance peut être considérée comme un barreau semi-conducteur ($R = \frac{\rho \times l}{S}$), de résistivité $\rho = \frac{1}{q \times \mu_n \times N_D}$, de longueur L_d et de surface $S = h \times Z$, où h est la profondeur de la section de conduction du courant de drain qui peut être approximée à l'épaisseur de la région N^+ de drain [25], ce qui donne :

$$R_d = \frac{L_d}{q \times \mu_n \times N_D \times h \times Z}$$ **Équation I-3**

Pour réduire la résistance totale, il suffirait d'augmenter en théorie la taille du transistor (la valeur Z) pour obtenir la valeur de résistance voulue. Cependant, le transistor présenterait alors une surface trop importante. Il est donc plus pertinent de parler de résistance passante spécifique, qui est le produit de la résistance à l'état passant par la surface active : $R_{on}.S$ ou $R_{on\text{-}sp}$..

b. Fonctionnement à l'état bloqué

À l'état bloqué, la différence de potentiel entre source et grille est inférieure à la tension de seuil. La tension appliquée entre drain et source est supportée par la région de drift. Le transistor LDMOS peut alors être assimilé à une diode PN^-N^+ polarisée en inverse. La tenue en tension maximale que peut supporter un transistor LDMOS est donc définie par la jonction plane 'P-well / N-drift'. Dans ce cas, suivant la répartition du champ électrique – par limitation ou non limitation de charge d'espace (figure I-12) – la tension de claquage peut s'exprimer de la manière suivante [26]:

- jonction en limitation de charge d'espace :

$$W_N = 1{,}8 \times 10^{-6} \times BV_{DS}^{\ 7/6}$$ **Équation I-4**

$$N_D = 1{,}9 \times 10^{18} \times BV_{DS}^{\ -4/3}$$ **Équation I-5**

- jonction en non limitation de charge d'espace :

$$W_N = 2{,}44 \times 10^{-6} \times BV_{DS}^{\ 7/6}$$ **Équation I-6**

$$N_D = 2{,}16 \times 10^{18} \times BV_{DS}^{\ -4/3}$$ **Équation I-7**

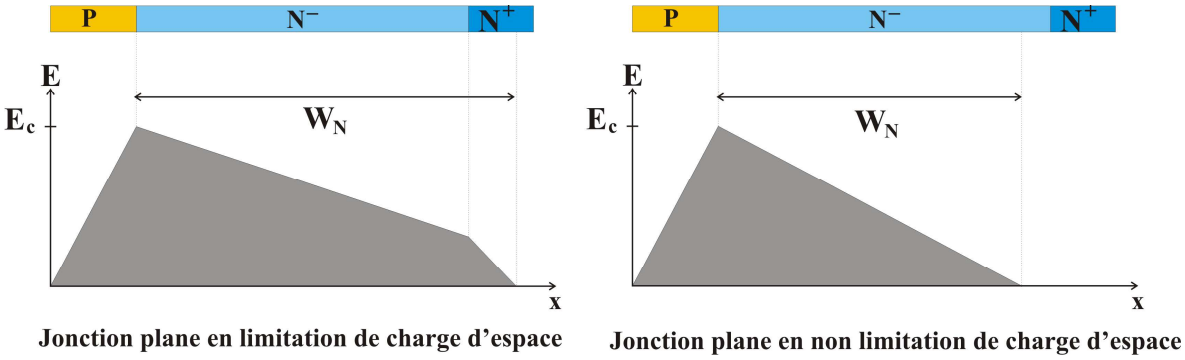

Figure I-12 : Répartition du champ électrique dans le cas d'une jonction plane à limitation de charge d'espace et en non limitation de charge d'espace

La zone de charge d'espace s'étale principalement du coté N^- de la jonction (W_N) puisque cette région est moins dopée. La tenue en tension dépend donc de la longueur de la région de drift et de son dopage.

Ainsi la tenue en tension dépend des propriétés de la région N^- mais aussi de l'épaisseur de l'oxyde de grille, puisque celle-ci est polarisée à 0V (Figure I-13). Pour limiter les risques de claquage de l'oxyde de grille, l'extension de la grille au dessus de la région de drift est diminuée ou protégée par un oxyde plus épais.

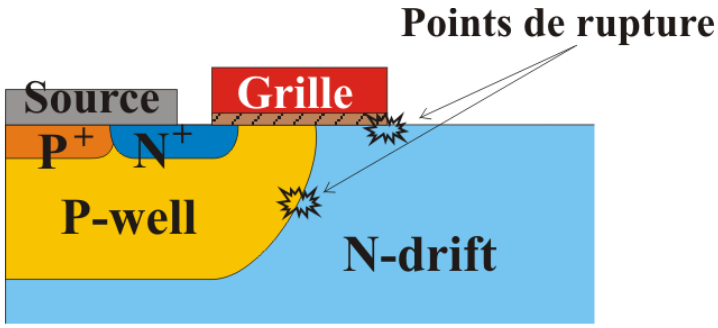

Figure I-13 : Localisation du claquage dans le transistor LDMOS

Dans le cas où le claquage par avalanche a lieu au niveau de la jonction PN, celui-ci apparaîtra dans un premier lieu au niveau de la jonction cylindrique, comme indiqué figure I-13, puisque une jonction cylindrique tient une tension moins importante qu'une jonction plane [26].

c. Limite du silicium

Dans l'équation I-3, nous avons vu que la résistance de drift, qui est la résistance la plus importante dans le transistor LDMOS, était dépendante de la longueur et du dopage de la région de drift. Dans les équations suivantes, ces mêmes paramètres apparaissent dans l'expression de la tenue en tension. Par conséquent, il est possible de calculer la relation entre

la résistance passante spécifique et la tenue en tension. En prenant comme section $S = Z.h$, nous obtenons [27] :

$$R_{on}.S(\Omega.cm^2) = 1{,}66\times10^{-14}\times h^{-1}\times BV_{DS}^{\ 3{,}56} \qquad \textbf{Équation I-8}$$

Cette relation, appelée limite physique dans le silicium des transistors LDMOS, définit la valeur minimale, pour une tension de claquage donnée, de la résistance passante spécifique qu'il sera possible d'obtenir. C'est cette limite que les concepteurs de transistors MOS de puissance vont chercher à dépasser en « repensant » l'architecture du composant elle-même.

I.3.2.b Le transistor LDMOS RESURF

La technologie RESURF (pour REduced SURface Field) [28] est une des méthodes les plus utilisées dans le design des composants latéraux de puissance, majoritairement les transistors LDMOS. Cette technique permet d'améliorer la distribution du champ électrique dans la région de drift par la modification de cette dernière : une couche N est épitaxiée sur un substrat P connecté au P-well, comme le montre la figure I-14.

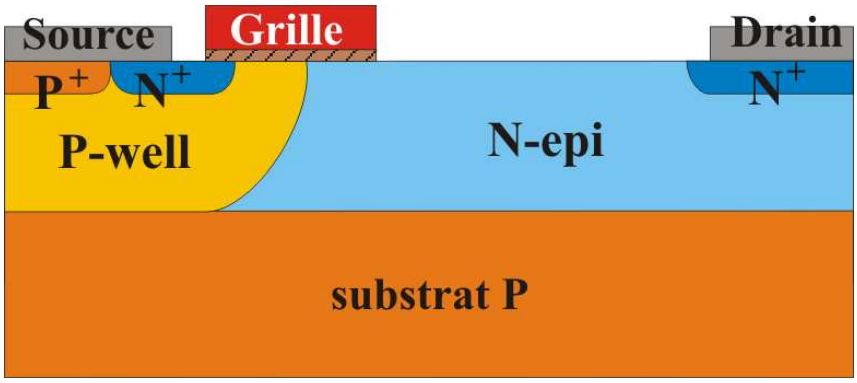

Figure I-14 : Structure LDMOS RESURF

À l'état bloqué, les jonctions substrat P / N-epi et P-well / N-epi sont polarisées en inverse. Par conséquent, la zone de charge d'espace dans la région de drift va s'étendre horizontalement à partir du P-well et verticalement à partir du substrat. Le bon fonctionnement de cette technique repose sur un choix correct des dopages et des géométries. Dans un transistor LDMOS RESURF optimisé, la région de drift doit être déplétée verticalement avant que le champ électrique à la jonction P-well / N-epi n'atteigne la valeur critique (E_c). Ceci impose la condition suivante sur la couche N épitaxiée (T_{epi}) [29] :

$$T_{epi} \le \frac{\varepsilon_0\times\varepsilon_{Si}\times E_c}{q\times N_D}\sqrt{\frac{N_{Asub}}{N_D+N_{Asub}}} \qquad \textbf{Équation I-9}$$

Dans les nombreuses publications sur les structures utilisant la technologie RESURF, la dose de la région N-epi est usuellement donnée dans le cas optimal [30]. La dose se calcule par le produit $T_{epi} \times N_D$ et est comprise entre 1×10^{12} et 2×10^{12} cm^{-2}. Par conséquent, une réduction de l'épaisseur entrainera une augmentation du dopage N_D de la région N-epi.

Quand l'effet RESURF est optimal, ce qui revient à remplacer l'inégalité de l'équation I-9 par une égalité, le champ électrique suivant la direction horizontale en surface ne sera plus triangulaire (figure I-12) mais en forme de U avec deux pics au niveau du P-well et du N^+ de drain, comme le montre la figure I-15 [28].

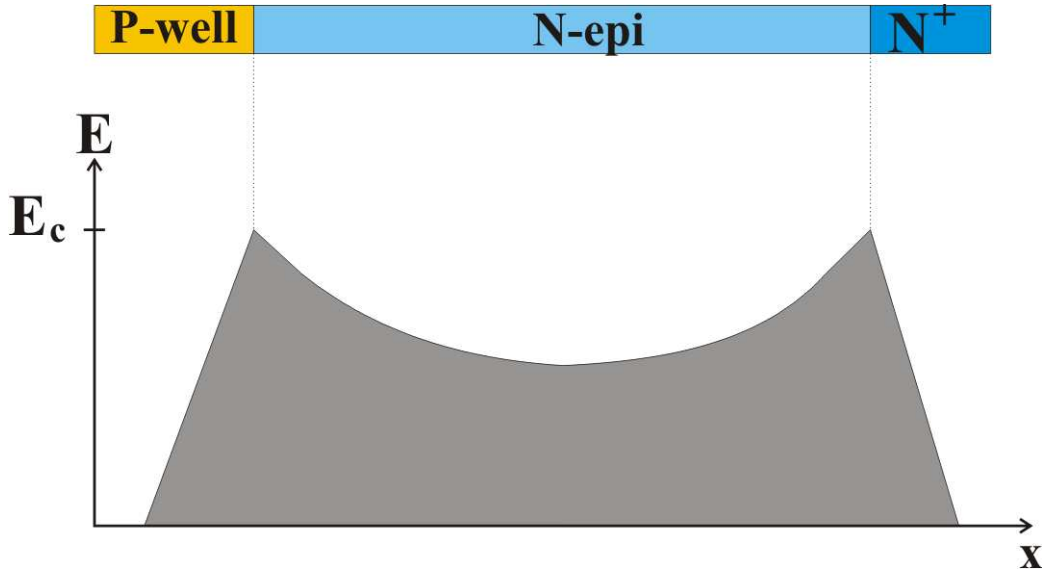

Figure I-15 : Répartition de la composante horizontale du champ électrique en surface dans un transistor LDMOS RESURF au moment du claquage

En approximant cette courbe par une forme constante sans les pics, il est possible d'obtenir le compromis « résistance passante spécifique / tenue en tension » des composants RESURF [31] :

$$R_{on}.S(\Omega.cm^2) = 1{,}02\times10^{-8}\times BV_{DS}{}^{2{,}33} \qquad \textbf{Équation I-10}$$

Les composants LDMOS utilisant la technologie RESURF présentent donc un meilleur compromis que les composants LDMOS classiques. C'est pour cela que la technologie RESURF est préférée pour les transistors haute tension pouvant dépasser des tenues en tension de 1000 V dans les circuits intégrés de puissance [32].

I.3.2.c Améliorations de la technologie RESURF

L'avènement de la technologie RESURF a été le point de départ de nombreux développements et de nouveaux concepts. L'effet RESURF part sur le principe d'une extension verticale de la zone de charge d'espace, donnant ainsi une répartition du champ électrique horizontal plus uniforme au claquage, mais aussi un pic au niveau de la jonction 'N-epi / P-substrat'. L'amélioration de la répartition du champ électrique est donc possible en modifiant l'architecture de la région N-epi.

a. Double RESURF LDMOS

La technique de double RESURF consiste à ajouter une région P en surface de la région N-epi [33]. À l'état bloqué, la zone de charge d'espace dans la région de drift s'étend du substrat P, mais aussi de la région P en surface, améliorant ainsi la répartition du champ électrique.

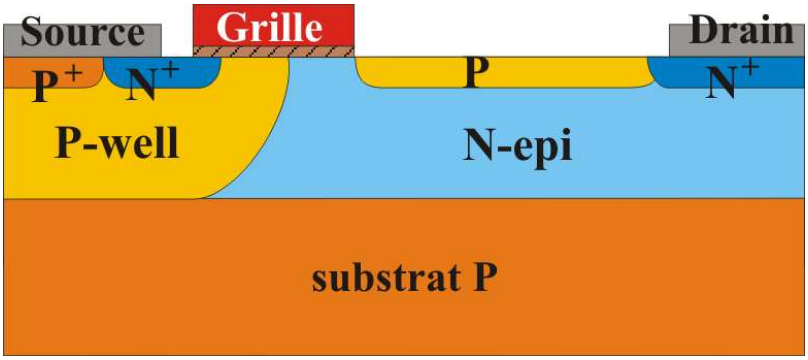

Figure I-16 : Structure LDMOS à double RESURF

À l'état passant, le courant ne passe pas dans la région P, diminuant ainsi la surface de conduction. Cependant, l'ajout de cette région flottante permet, pour une même tenue en tension, d'augmenter le dopage de la région N-epi, ce qui va réduire sa résistivité.

b. LDMOS à ilots flottants (FLIMOS)

Le transistor LDMOS à îlots flottants (FLIMOS : FLoating Island MOS) [34] possède des régions P discontinues en surface de la région N de drift, comme le montre la figure I-17.

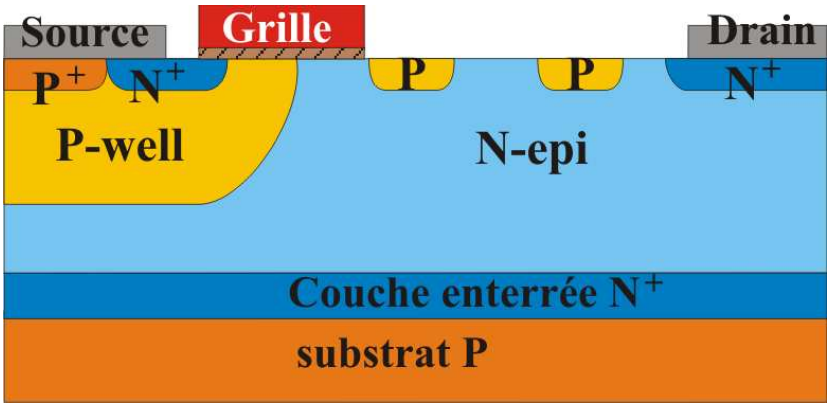

Figure I-17 : Structure LDMOS à ilots flottants

Cette technique est d'avantage utilisée pour les transistors LDMOS conventionnels où le champ électrique horizontal est triangulaire avec le pic de champ électrique à la jonction PN entre P-well et N-drift (Cf. figure I-12). L'ajout d'îlots flottants va diviser le champ électrique en plusieurs pics : un au niveau du P-well et un au niveau de chaque îlot, permettant ainsi d'augmenter le dopage de la région de drift pour une tenue en tension identique, comme décrit figure I-18.

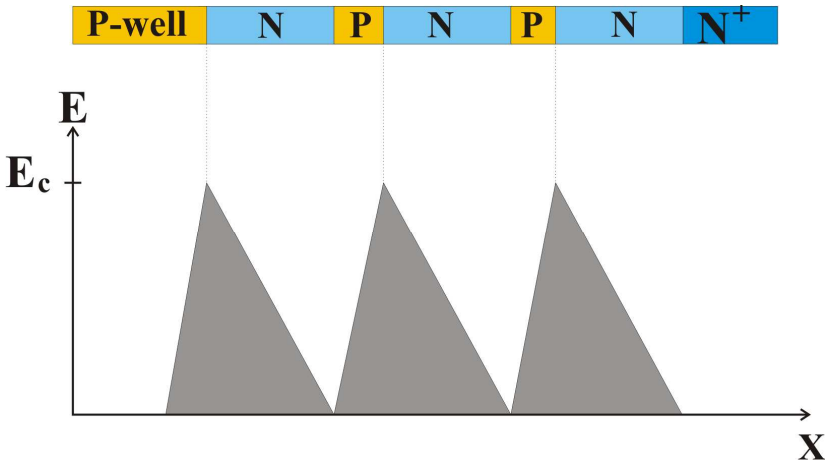

Figure I-18 : Répartition du champ électrique en surface dans un transistor FLIMOS au moment du claquage

Pour les structures utilisant la technologie RESURF, les ilots vont jouer un effet similaire que le double RESURF, puisqu'ils vont permettre une extension verticale de la zone de charge d'espace. Or, par rapport au double RESURF, ce type de structure nécessite plus de paramètres à optimiser tels que l'espacement entre les îlots.

c. 3D RESURF ou superjonction LDMOS

Le concept de 3D RESURF [35] est une variante du double RESURF, puisqu'il consiste à insérer une région P connectée à la source en parallèle de la couche N-epi dans la

troisième dimension (figure I-19). L'extension de la charge d'espace dans la région de drift a donc lieu dans les trois dimensions : horizontalement depuis le P-well, verticalement depuis le substrat et dans la profondeur à partir du pilier P (P-pi). Cette architecture porte aussi le nom de superjonction [36], et c'est sous cette dénomination qu'elle est le plus souvent citée.

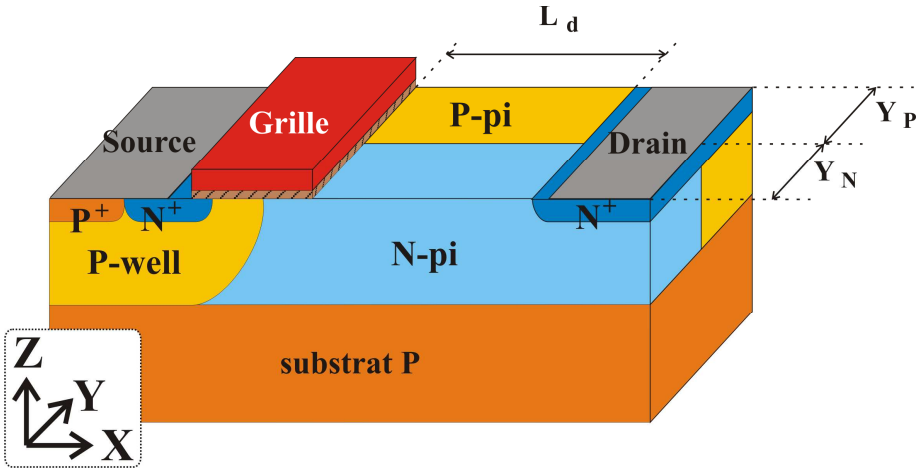

Figure I-19 : Structure 3D RESURF ou superjonction LDMOS

À l'état bloqué, les piliers P et N sont polarisés en inverse. La zone de charge d'espace s'élargit rapidement de part et d'autre de la superjonction, faisant que le champ électrique devient uniforme dans les piliers P et N. Ceci impose qu'ils doivent donc être suffisamment fins pour dépléter rapidement, créant un champ électrique uniforme, et inférieur au champ électrique critique du silicium, dans la direction normale à la jonction entre les piliers. Cela signifie que la largeur des piliers (Y_N et Y_P) doit être très inférieure à leur longueur (L_d). Ensuite, le champ électrique augmente localement au niveau du P-well et du substrat. Par conséquent, la tenue en tension devient proportionnelle à la longueur de drift. Il est donc nécessaire de bien définir les paramètres qui sont les largeurs des piliers et leurs dopages ($N_{A\text{-}pi}$ et $N_{D\text{-}pi}$). Le fonctionnement de la superjonction repose sur l'équilibre des charges entre les piliers P et N, appelé aussi balance des charges, qui correspond aux équations suivantes [36]:

$$Y_N \times N_{D-pi} = Y_P \times N_{A-pi} \qquad \textbf{Équation I-11}$$

$$\frac{q \times N_{D-pi} \times Y_N}{2 \times \varepsilon_{Si}} = \frac{q \times N_{A-pi} \times Y_P}{2 \times \varepsilon_{Si}} < E_C \qquad \textbf{Équation I-12}$$

Le principal avantage des superjonctions est qu'il est possible, en utilisant des piliers suffisamment fins, d'augmenter fortement le dopage N_D pour ainsi réduire la résistance passante spécifique, bien que la surface de conduction soit divisée de moitié par rapport aux

structures classiques. Du fait de son fonctionnement particulier, une nouvelle limite du silicium a été définie pour les composants à superjonction :

$$R_{on}.S(\Omega.cm^2) = 4{,}08\times10^{-6}\times Y_N^{\frac{17}{12}}\times h^{-1}\times BV_{DS}^{\ 2} \qquad \textbf{Équation I-13}$$

Comme nous l'avons expliqué, le bon fonctionnement des superjonctions est conditionné par l'équilibre des charges entre les piliers P et N. Or, dans les structures LDMOS, la déplétion du substrat vient le perturber. Une solution est d'ajouter en plus une couche tampon entre le substrat et les superjonctions (figure I-20). Le dopage de cette couche est opposé à celui du substrat. À l'état bloqué, cette couche va interagir avec le substrat, supprimant ainsi le déséquilibre des charges entre les piliers [37].

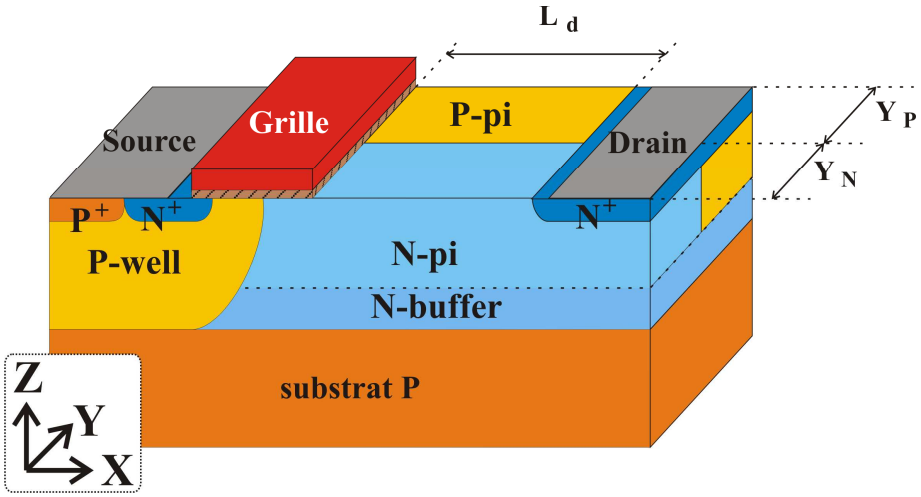

Figure I-20 : Transistor LDMOS à superjonction avec couche tampon

Cette technique, bien qu'améliorant le fonctionnement des superjonctions, rend le procédé de fabrication du composant plus complexe puisqu'elle nécessite une implantation à haute énergie pour réaliser cette couche. De plus, le dopage de cette couche doit être judicieusement choisi pour ne pas interagir avec la déplétion au niveau des piliers et modifier la balance des charges.

Une méthode alternative consiste à avoir un dopage du pilier N croissant en allant de la source vers le drain (figure I-21) [38]. Comme la déplétion verticale due au substrat est plus importante sous le drain où a lieu la haute tension, l'augmentation du dopage du pilier N à cet endroit permet d'améliorer la balance des charges.

Cette architecture est relativement coûteuse, puisqu'elle nécessite autant de masques pour réaliser le pilier N qu'il y aura de marches de dopage différents. La réalisation peut être simplifiée avec un seul masque avec des ouvertures plus larges en allant vers le drain [39].

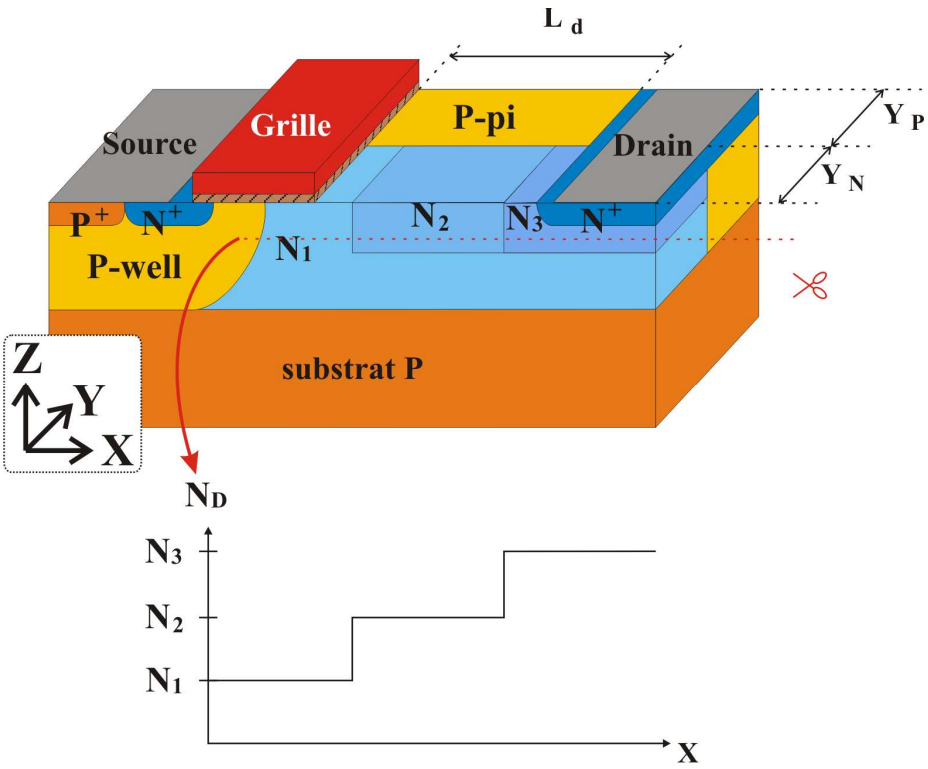

Figure I-21 : Transistor LDMOS à superjonction avec dopage progressif.

I.3.2.d Les protections en fin de grille

Une technique couramment utilisée est l'ajout de plaques de champ qui sont généralement des prolongations du polysilicium de grille. Or, dans les composants LDMOS, le claquage peut avoir lieu en fin de grille (Cf. figure I-13) à cause de l'oxyde fin de la grille qui est exposé à une forte différence de potentiel et à un fort champ électrique. Ce point critique doit être protégé afin d'améliorer la tenue en tension. L'ajout d'un oxyde épais est la meilleure protection et la plus utilisée puisque le champ électrique critique de l'oxyde est très supérieur à celui du silicium. Il existe plusieurs méthodes pour réaliser cette protection.

a. Protection par oxyde de champ

Les transistors LDMOS discrets, c'est-à-dire non incorporés dans un circuit intégré, sont fabriqués à partir d'un procédé moins contraignant que ceux réalisés dans des circuits intégrés de puissance. Il est donc possible de réaliser la grille après le dépôt de l'oxyde de champ, permettant d'obtenir la structure représentée figure I-22 [33] [40].

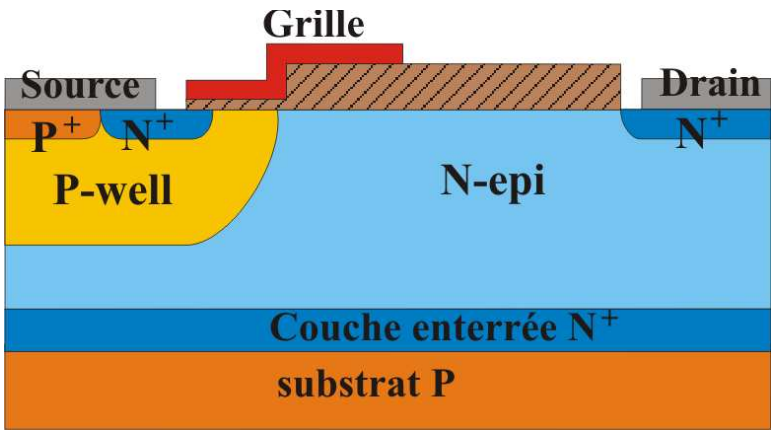

Figure I-22 : Transistor LDMOS avec protection de la grille par oxyde de champ

Avec cette technique, il est possible d'obtenir des tenues en tension dépassant 1000 V avec des épaisseurs d'oxyde de 3 µm. La prolongation du polysilicium au dessus de la région de drift joue un rôle de plaque de champ, ce qui permet à l'état bloqué de repousser les lignes de potentiel loin de la source, améliorant ainsi la tenue en tension.

b. Oxydation LOCOS

L'oxydation LOCOS (LOCalized OXidation) a longtemps été utilisée comme oxyde de champ dans les circuits intégrés de puissance. Cette étape d'oxydation est utilisée dans les procédés CMOS de résolution supérieure à 0,35 µm pour isoler les composants les uns des autres puisque cet oxyde « pénètre » dans le silicium. Cette oxydation localisée se fait par croissance sélective de l'oxyde dans les zones non protégées par du nitrure de silicium. À la fin du processus, un soulèvement du masque formé par la couche de nitrure est observé : on obtient à cet endroit un oxyde en forme de bec d'oiseau (figure I-23).

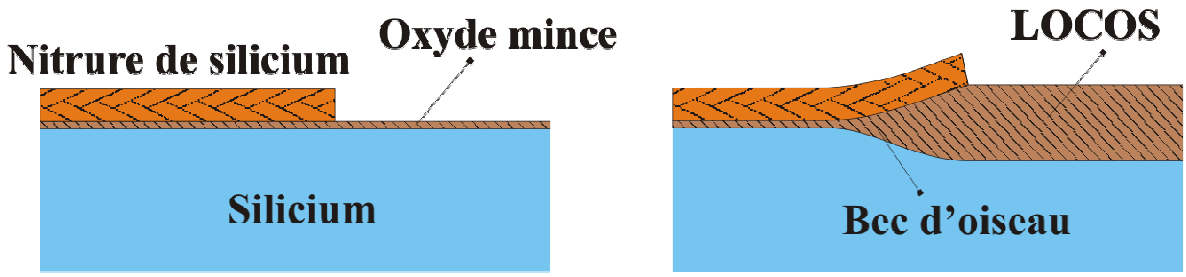

Figure I-23 : Avant et après la croissance d'un oxyde LOCOS

Cette méthode a donc été utilisée pour définir l'oxyde de champ des transistors LDMOS compatibles avec les anciennes générations de procédés CMOS [41] [42] [43], puisque l'étape d'oxydation LOCOS est réalisée en début de fabrication, ce qui permet de déposer le polysilicium de grille au dessus de l'oxyde LOCOS (figure I-24).

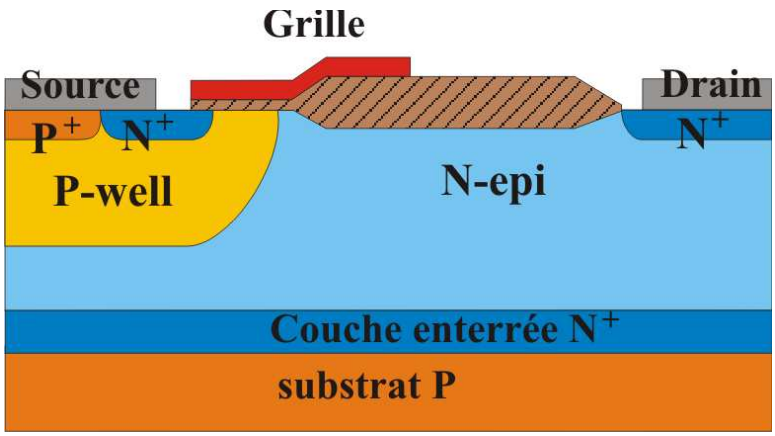

Figure I-24 : Transistor LDMOS LOCOS

Dans cette structure, si l'oxyde de champ est trop proche du P-well, la résistance passante peut fortement augmenter à cause du resserrement des lignes de courant à la fin du canal. A l'inverse, un trop grand éloignement réduit l'efficacité de la plaque de champ provoquant ainsi la rupture sous la grille.

La réduction de la lithographie dans les technologies CMOS a fait que l'oxydation LOCOS n'était plus adaptée puisqu'elle consommait une surface importante de silicium à cause de l'extension latérale de l'oxyde et créait du stress mécanique au niveau du bec d'oiseau [44].

c. Protection par STI et transistors LUDMOS

Dans les technologies CMOS actuelles, l'oxydation LOCOS a été remplacée par l'isolation par tranchée STI (Shallow Trench Isolation) qui est plus précise et moins consommatrice de surface. Cette technique d'isolation est utilisée pour les technologies CMOS de lithographie de 0,25 µm et inférieures.

Bien avant l'essor des technologies CMOS submicroniques, l'utilisation d'une tranchée en fin de grille dans les transistors LDMOS avait déjà montré son efficacité [45]. Cette structure, portant le nom de LUDMOS (U pour la forme de la tranchée), est représentée figure I-25.

Dans les technologies de circuits intégrés de puissance utilisant des dernières générations de technologies CMOS, l'oxyde de champ est réalisé par STI [46] [47] [48]. Tout comme pour l'oxydation LOCOS, le bon positionnement du STI est primordial tant au niveau de la résistance passante que de la tenue en tension.

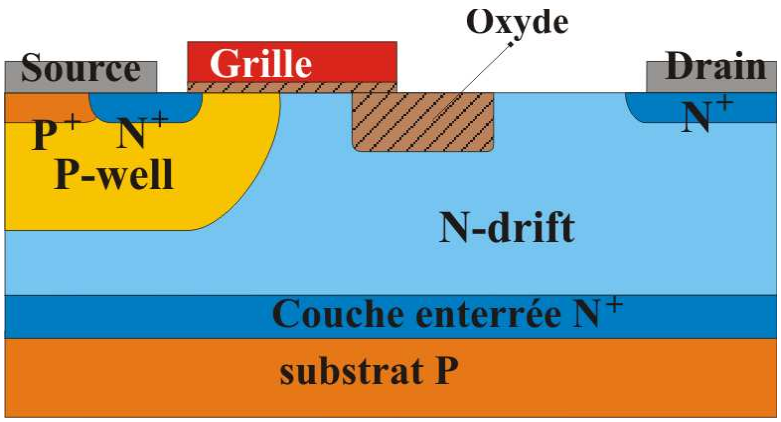

Figure I-25 : Structure LUDMOS

La précision de l'isolation par STI a rendu possible la création de nouvelles structures. Le concept de transistors LDMOS utilisant un diélectrique dans la région de drift, associé à une plaque de champ, qui est une prolongation du polysilicium de grille, est une alternative au 3D RESURF. Dans ce type de structure, l'effet de champ créé par la plaque de champ permet une extension de la charge d'espace dans la région de drift dans la troisième dimension, permettant ainsi d'augmenter le dopage de la région de drift, et donc d'améliorer la résistance à l'état passant (figure I-26) [49] [50].

Contrairement au transistor à superjonction où la balance des charges entre les piliers est critique, les caractéristiques de cette structure (largeur et dopage) dépendent principalement de la configuration de la région N de drift, mais aussi de celle de la plaque de champ.

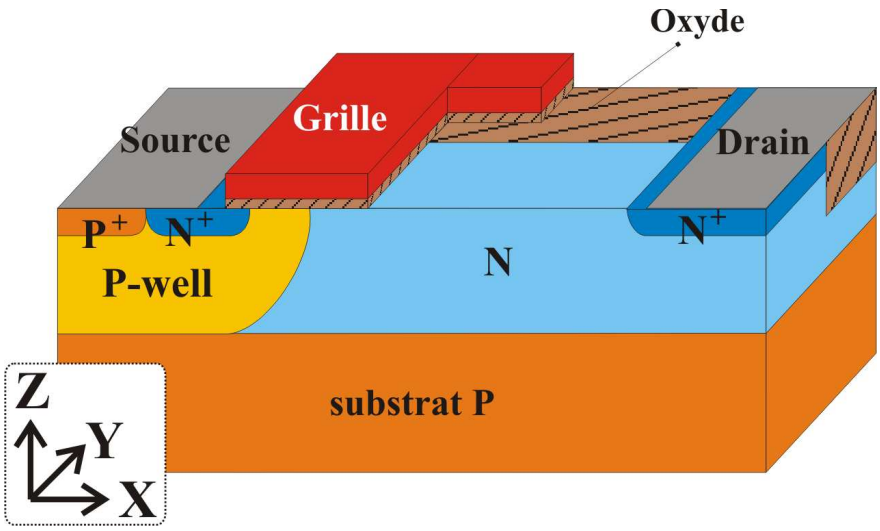

Figure I-26 : Transistor RESURF LDMOS avec diélectrique

Ces techniques de protection de la grille, combinées avec les technologies RESURF ou ses variantes, permettent d'améliorer le compromis entre résistance passante spécifique et tenue en tension tant recherché par les concepteurs.

I.3.2.e Les transistors LDMOS sur SOI

Dans les circuits intégrés de puissance, l'isolation par diélectrique est la mieux appropriée pour intégrer sur une même puce des dispositifs de calibres en tension très différents. Les composants de puissance réalisés sur substrat SOI ne s'adaptent pas forcement aux techniques développées sur substrat massif.

a. Technologie RESURF sur SOI

Sur substrat massif, l'effet RESURF était obtenu grâce à une jonction PN horizontale polarisée en inverse entre le substrat et la région de drift pour créer la déplétion verticale à l'état bloqué. Dans les transistors LDMOS réalisés sur SOI (figure I-27), l'extension de la charge d'espace est obtenue par l'effet de champ du substrat [51].

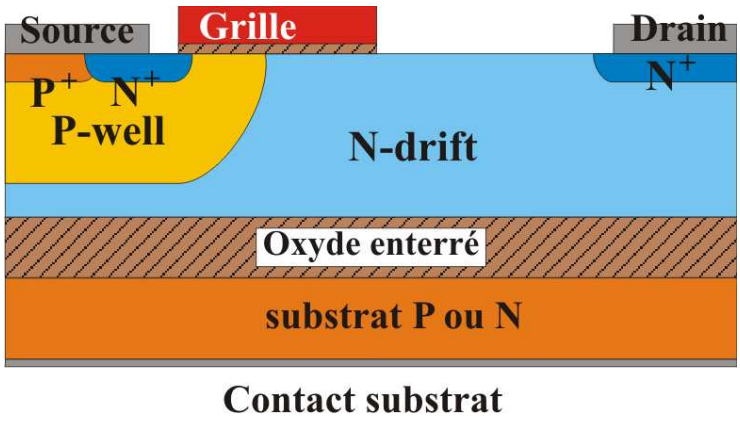

Figure I-27 : transistor LDMOS sur SOI

L'oxyde enterré est un paramètre supplémentaire limitant la tenue en tension. En effet, quand le couple épaisseur - dopage de la région de drift est bien choisi, le champ électrique est uniforme dans cette dernière et le claquage apparaît aux pics de la figure I-15. La tenue en tension est donc proportionnelle à la longueur. On en déduit la relation [52] :

$$BV_{DS}[horizontal] = E_c \times L_d \qquad \textbf{Équation I-14}$$

Or, du fait de la continuité du déplacement électrique à l'interface entre l'oxyde enterré et le silicium actif, le claquage peut avoir lieu verticalement. Cette tenue en tension est donnée par :

$$BV_{DS}[vertical] = E_c(\frac{T_{Si}}{2} + \frac{\varepsilon_{Si}}{\varepsilon_{ox}} \times T_{ox})$$ **Équation I-15**

Une autre approche utilisant l'intégrale d'ionisation donne une expression différente de la tenue en tension horizontale [53].

$$BV_{DS}[horizontal] = \frac{B \times L_d}{\ln(A \times L_d)}$$ **Équation I-16**

Où A et B sont des coefficients constants. La tenue en tension réelle du composant est la plus petite valeur entre les tensions de claquage verticale et horizontale. De ces relations, on déduit que la tenue en tension est limitée par la longueur de la région de drift, mais aussi par les épaisseurs de l'oxyde enterré et du silicium.

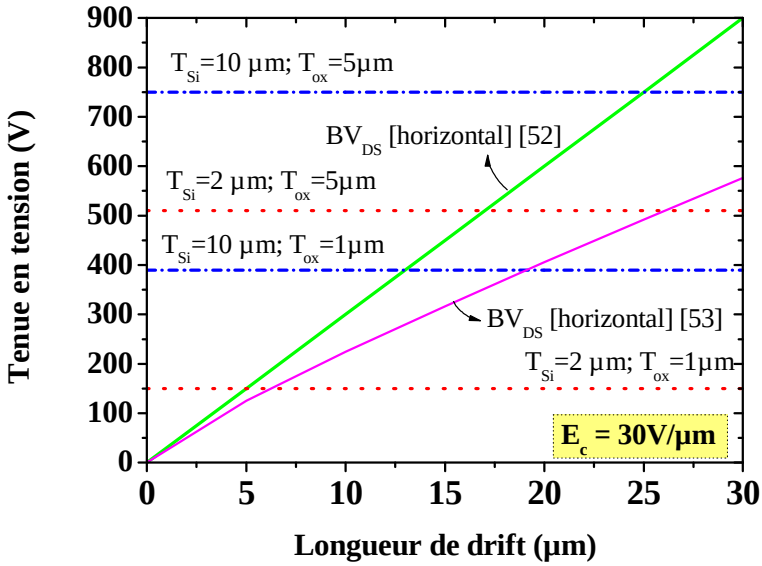

Figure I-I-28 : Limites de la tenue en tension des composants latéraux sur SOI

Pour accroître la tenue en tension, il est possible d'augmenter soit l'épaisseur de l'oxyde enterré, soit celle du silicium actif. Cependant, l'augmentation de l'épaisseur du silicium induit une réduction du dopage de la région de drift puisque la relation $T_{epi} \times N_D = 1 \times 10^{12}\, cm^{-2}$ est toujours valable. Réduire N_D entrainera donc une augmentation de la résistance passante spécifique puisque la surface de conduction ne sera pas forcément supérieure, la conduction se faisant principalement en surface, comme cela l'a déjà été expliqué précédemment.

Les techniques RESURF « améliorées » sont aussi applicables sur SOI. Nous ne développerons pas d'avantage ce sujet puisque le principe est le même.

b. Superjonctions sur SOI

Le principe des superjonctions est lui aussi applicable sur SOI [54]. Si le substrat est suffisamment fin, il est possible de réaliser les piliers jusqu'à l'oxyde enterré.

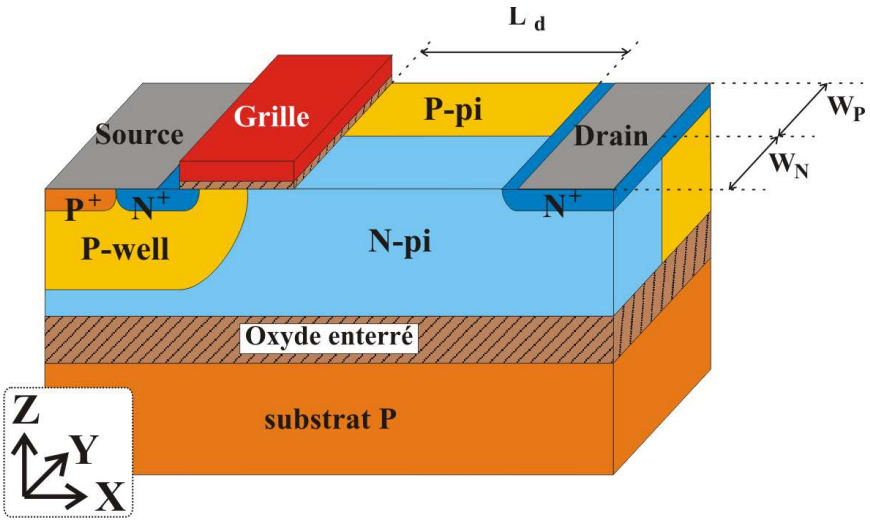

Figure I-I-29 : Transistor superjonction LDMOS sur SOI

Comme pour les structures à superjonction sur substrat massif, les transistors LDMOS à superjonction sur SOI subissent l'effet du substrat comme ceux réalisés sur substrat massif.

I.4 Conclusion

Dans ce premier chapitre, après avoir introduit les technologies de circuits intégrés de puissance, nous avons décrit les techniques d'isolation nécessaires au bon fonctionnement de ce type de circuits que sont l'isolation par jonction et par diélectrique. L'isolation par diélectrique est plus adaptée pour l'intégration de composants haute tension avec des composants CMOS, puisqu'elle supprime les effets de latch-up qui sont destructifs pour le circuit.

Les composants de puissance utilisés dans les circuits intégrés de puissance sont généralement des transistors LDMOS, du fait de leur compatibilité avec les technologies CMOS. Or, les composants de puissance à conduction unipolaire comme le transistor LDMOS sont limités par le compromis « résistance passante spécifique / tenue en tension » appelé limite du silicium. Cette limite vient de la présence d'une région peu dopée (de type N^- pour un transistor à canal N) nécessaire à la tenue en tension mais fortement pénalisante pour la conduction, puisqu'elle ajoute une résistance de valeur inversement proportionnelle au dopage de cette région.

Plusieurs techniques, telles que l'effet RESURF ou l'utilisation de superjonctions, permettent d'améliorer la limite du silicium. Les limites du silicium des transistors LDMOS étudiés dans ce chapitre sont représentées figure I-30.

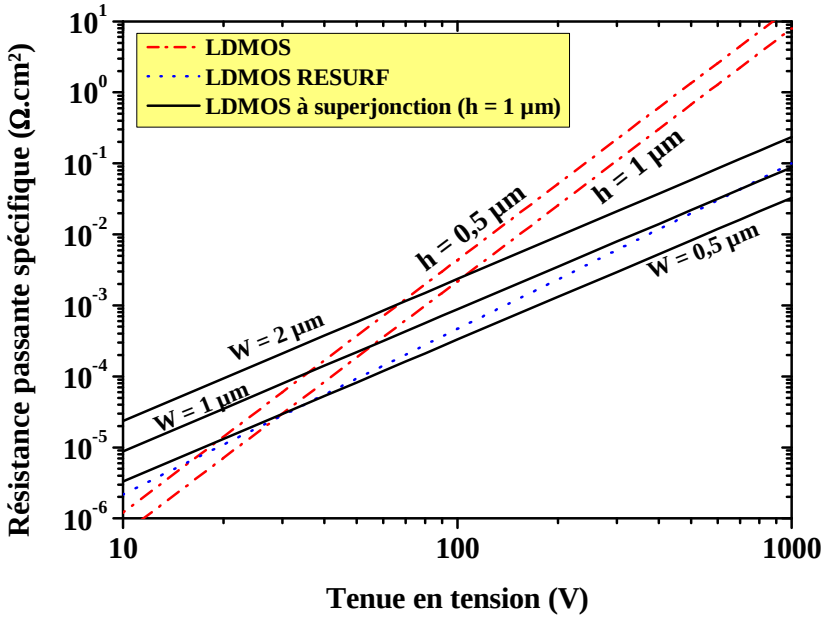

Figure I-30 : Comparaison des limites du silicium - compromis $R_{on\text{-}sp}$ / BV_{DS} - des différents transistors LDMOS décrits dans ce chapitre

De par la configuration du transistor LDMOS, la grille est contrainte à de forts champs électriques à l'état bloqué, pouvant provoquer la rupture de l'oxyde de grille et le claquage prématuré du composant. Pour remédier à ce problème, les transistors LDMOS sont généralement conçus avec un oxyde épais sous la fin de la grille. Cet oxyde de protection est différent suivant la technologie de fabrication utilisée. Toutes les propriétés du transistor LDMOS, comme les différentes limites, sont valables pour les composants réalisés aussi bien sur substrat massif que sur substrat SOI. Cependant, l'ajout de l'oxyde enterré peut être limitatif pour la tenue en tension.

L'analyse de la problématique des transistors LDMOS ainsi que l'étude des techniques existantes nous permettent de choisir les structures que nous étudierons pour notre application. L'utilisation d'une technologie CMOS 0,18 µm sur SOI nous impose l'effet RESURF à cause de l'oxyde enterré et l'utilisation de la tranchée STI pour la protection de la grille. L'utilisation de superjonction étant possible sur SOI, nous étudierons cette technologie pour le développement de nos structures. Le développement de transistors LDMOS à canal N utilisés en configuration basse et à canal P en configuration haute (figures I-9 et I-10) sera décrit dans les chapitres 2 et 3.

II Chapitre 2

Développement de transistors LDMOS à canal N

II.1 Introduction

La description des transistors LDMOS présentée dans le premier chapitre nous a permis d'introduire la principale problématique liée aux composants de puissance à conduction unipolaire, à savoir le compromis « tenue en tension / résistance passante spécifique » ou limite théorique du silicium, ainsi que les solutions existantes pour améliorer ce compromis. Le transistor MOS à canal N est de loin le type de transistor le plus utilisé du fait de la mobilité plus importante des électrons et, donc d'une résistivité plus faible de la région de drift N^-.

Dans ce chapitre, nous allons étudier différentes architectures de transistors LDMOS à canal N de calibre en tension 120 V compatibles avec le procédé de fabrication CMOS 0,18 µm sur SOI de notre application. Nous nous attarderons sur l'optimisation de transistors LDMOS à canal N à partir de simulations TCAD à éléments finis, tant du point de vue du compromis « tenue en tension / résistance passante spécifique » que des performances en dynamique et d'aire de sécurité.

II.2 Présentation des différentes structures

II.2.1 Conditions du procédé

L'isolation par diélectrique est la technique choisie pour séparer les différents étages du circuit intégré de puissance, ce qui signifie que les composants seront réalisés sur un substrat de type silicium sur isolant ou SOI. Dans le procédé standard utilisé par ATMEL, les caractéristiques du substrat sont les suivantes :

- Silicium actif dopé bore (type P), de concentration 1×10^{15} cm^{-3} et d'épaisseur $T_{SOI} = 1{,}6$ µm.
- Oxyde enterré d'épaisseur $T_{BOX} = 1$ µm.
- Substrat de support dopé phosphore (type N) de concentration 5×10^{16} cm^{-3}.

Les transistors LDMOS développés par la suite seront basés sur ces caractéristiques.

II.2.2 Description des structures étudiées

Dans ce chapitre nous étudierons trois structures LDMOS différentes mais compatibles avec le procédé de fabrication. La première structure est un transistor LDMOS RESURF conventionnel. La seconde est identique à la précédente à l'exception de la présence

d'une tranchée peu profonde de type STI en fin de grille. La troisième structure utilise le principe de la superjonction : la région N de drift est remplacée par une alternance de bandes P et N. Les coupes schématiques des trois structures sont représentées figure II-1.

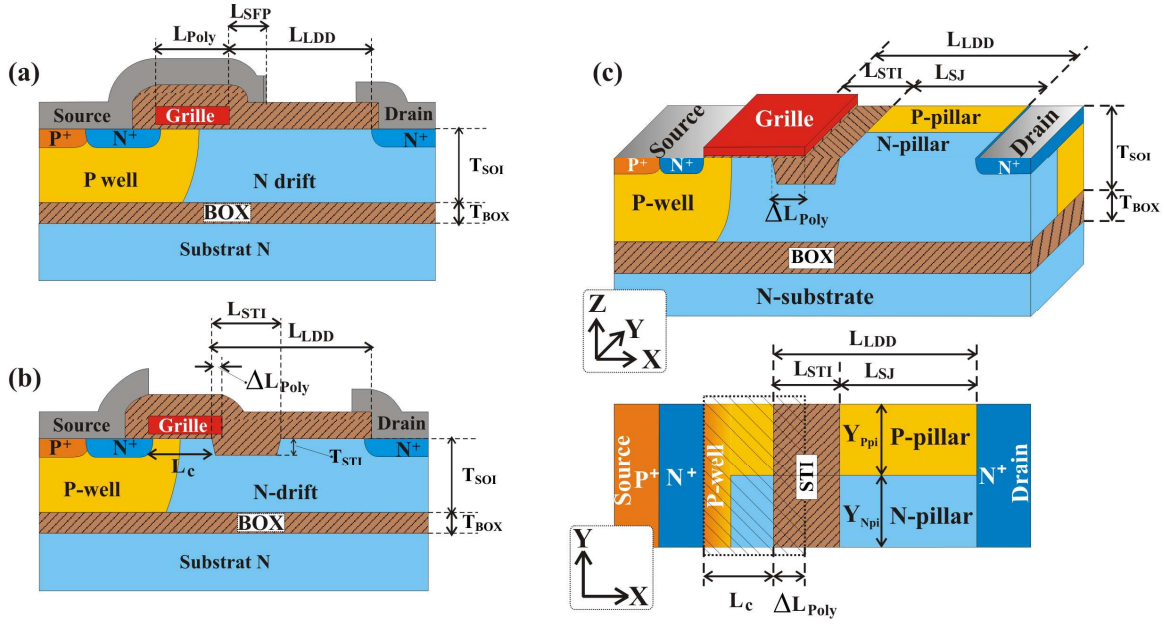

Figure II-1 : Coupes schématiques des structures étudiées : (a) LDMOS RESURF conventionnel, (b) LDMOS RESURF avec STI en fin de grille et (c) LDMOS à superjonction et STI en fin de grille

Partant du procédé CMOS 0,18 µm standard d'ATMEL, une partie des dimensions et des dopages fixe. Les dimensions fixées par le procédé sont, en plus des caractéristiques du substrat citées précédemment, les dopages des régions P-well, du N^+ de source et de drain, identique pour les deux diffusions, du P^+ de source et du polysilicium de grille, mais aussi la profondeur de la tranchée (T_{STI}), fixée à la valeur de 0,46 µm ainsi que les épaisseurs des oxydes, dont celle de l'oxyde de grille égale à 7 nm car identique à celle des transistors CMOS 3,3 V. Les principaux paramètres du LDMOS RESURF (Figure II-1 (a)) sont la longueur du polysilicium de grille (L_{Poly}), la longueur de la région de drift (L_{LDD}) définie entre la fin du polysilicium et la région N^+ de drain. Dans cette structure en particulier, la métallisation de source a été prolongée au-delà du polysilicium de grille d'une longueur L_{SFP}, dans le but d'améliorer la répartition du champ électrique en fin de grille [55]. Le transistor LDMOS RESURF avec STI, ou STI-LDMOS, est caractérisé par la position du STI par rapport à la source (L_c), sa longueur (L_{STI}), le débordement du polysilicium de grille au dessus de celui-ci (ΔL_{Poly}) et la longueur de la région de drift (L_{LDD}) comprise entre le début du STI et la région N^+ de drain. Le transistor LDMOS à superjonction ou SJ-LDMOS possède les mêmes caractéristiques que la structure STI-LDMOS. Les paramètres supplémentaires de

cette structure sont la longueur des piliers de la superjonction non recouverts par le STI (L_{SJ}) et leurs largeurs (Y_{Npi} et Y_{Ppi}).

L'optimisation des transistors LDMOS présentés se fera par l'étude des paramètres cités précédemment ainsi que par l'étude des dopages des régions N^- de drift pour le cas des transistors RESURF et des piliers P et N dans le cas du transistor à superjonction, car ces régions seront réalisées par des masques spécialement dédiés aux composants de puissance (Cf. chapitre 4).

II.3 Optimisation du compromis « résistance passante spécifique – tenue en tension »

Dans cette partie, nous allons chercher les meilleures combinaisons des paramètres cités précédemment afin d'obtenir, pour une tenue en tension de 150 V, afin d'assurer les 120 V du cahier des charges, la plus faible résistance passante spécifique. Dans un premier temps, nous travaillerons sur les structures LDMOS RESURF à partir de simulations TCAD en deux dimensions. Nous partirons des valeurs des paramètres obtenues sur ces simulations pour ensuite optimiser le transistor LDMOS à superjonction à partir de simulations en trois dimensions.

II.3.1 Comparaison LDMOS / STI-LDMOS

Dans le chapitre précédent, nous avions vu que la tenue en tension d'un transistor LDMOS sur SOI dépendait à la fois des épaisseurs T_{SOI} et T_{BOX} mais aussi de la longueur L_{LDD} (Équations I-14, I-15 et I-16). En considérant que la tenue en tension est limitée par la tension de claquage horizontale, il est possible d'en déduire la valeur de L_{LDD} à partir de l'équation I-16 qui devra être supérieure à 6 µm.

Dans un premier temps, nous choisirons, pour les deux structures, L_{LDD} égal à 7 µm. Pour le LDMOS RESURF, L_{Poly} prendra comme valeurs 2 et 3 µm et L_{SFP} 1 µm. En ce qui concerne la structure STI-LDMOS, nous choisirons trois valeurs pour L_{STI} qui sont 2, 4 et 7 µm, alors que ΔL_{Poly} sera fixé à 0,5 µm dans un premier temps.

Une comparaison de la tension de claquage et de la résistance passante spécifique des deux structures est représentée figure II-2. Les simulations à l'état bloqué, pour l'extraction la tenue en tension, ont été effectuées en polarisant la source, la grille et le substrat à la masse et en appliquant une tension positive sur le drain jusqu'au claquage par avalanche. La résistance

passante spécifique est extraite pour V_{GS} et V_{DS} respectivement égales à 10 V et 0,2 V alors que la source et le substrat sont toujours à 0 V.

Toutes les simulations, sauf indication contraire, ont été réalisées en utilisant les modèles physiques standards des semiconducteurs, y compris les modèles de génération par avalanche, car, à l'état bloqué notamment, le claquage a lieu par avalanche. Afin d'accélérer les temps de calcul, nous n'avons pas pris en compte l'effet de la température : les simulations sont donc uniquement électriques.

La résistance passante spécifique des différentes structures décroit logiquement avec l'augmentation du dopage N_D de la région de drift. Pour une même valeur de N_D, le transistor LDMOS présente une résistance passante beaucoup plus faible que le STI-LDMOS à cause de la présence du STI qui allonge le trajet des porteurs (électrons) de la source vers le drain. Les courbes de tenue en tension sont typiques des composants RESURF [51] : la tenue en tension s'accroit linéairement avec l'augmentation de N_D jusqu'à atteindre une valeur maximale au-delà de laquelle la tension de claquage chute rapidement. La valeur maximale de BV_{DS} de la structure LDMOS est plus faible que celle de la structure avec STI et la tenue tension se dégrade rapidement avec l'augmentation de N_D.

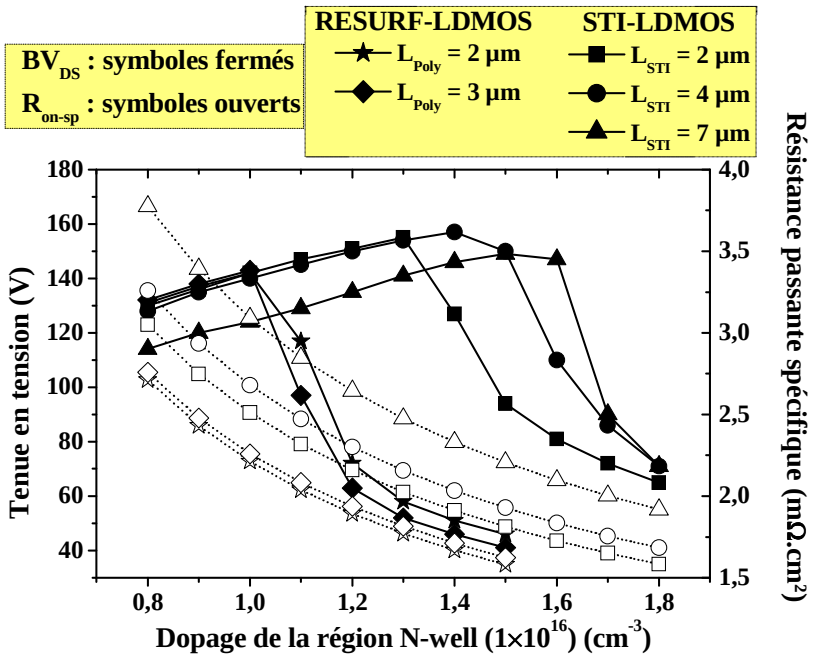

Figure II-2 : Tenue en tension et résistance passante spécifiques des structures RESURF-LDMOS et STI-LDMOS en fonction du dopage de la région de drift

L'évolution du champ électrique en surface au moment du claquage (figure II-3) permet de mieux comprendre l'allure de ces courbes. La figure II-3 montre que, pour les

faibles valeurs de N_D, le pic de champ électrique est situé au niveau de la courbure N^+ de drain. À l'inverse, pour les valeurs les plus élevées, ce pic se situe à la fin de la grille à l'interface avec l'oxyde. Entre les deux, pour les valeurs de N_D donnant les tensions de claquage les plus élevées, le champ électrique est le plus uniforme avec deux pics de champ électrique aux deux endroits précédemment cités.

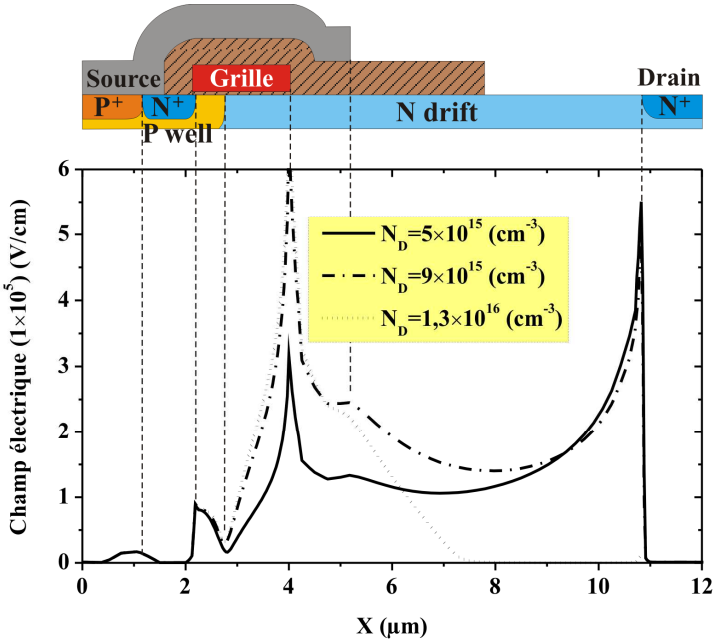

Figure II-3 : Répartition du champ électrique au moment du claquage en surface du transistor LDMOS pour trois valeurs caractéristiques du dopage de la région de drift

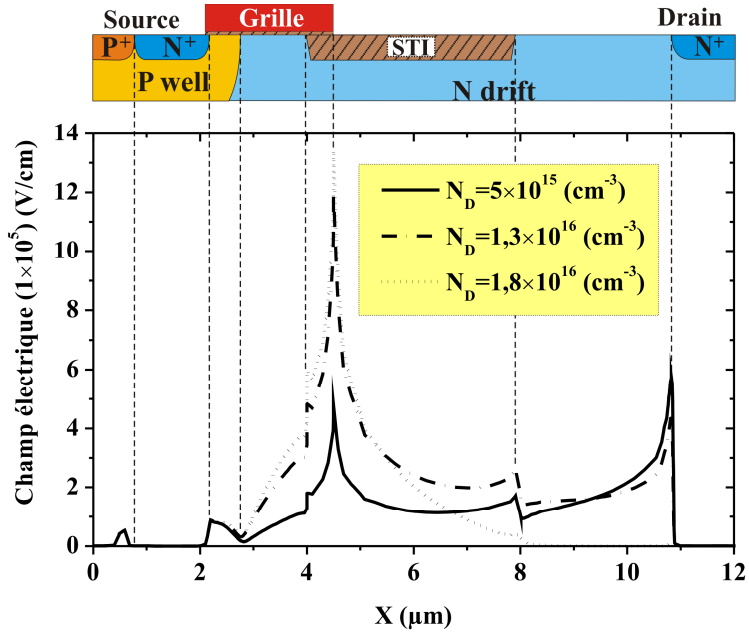

Figure II-4 : Répartition du champ électrique au moment du claquage en surface du transistor STI-LDMOS pour trois valeurs caractéristiques du dopage de la région de drift

L'ajout du STI sur la figure II-4 donne une répartition différente du champ électrique. Le pic au niveau de la courbure du drain est toujours présent pour les faibles valeurs de N_D. L'ajout de l'oxyde va permettre, pour les valeurs les plus élevées de N_D, de supporter une valeur de champ électrique plus importante, puisque le champ électrique critique de l'oxyde est très supérieur à celui du silicium. Par conséquent, le pic de champ électrique au niveau de la fin du polysilicium peut atteindre des valeurs plus élevées que pour le transistor LDMOS, et le claquage aura lieu à l'interface 'silicium / oxyde' du côté de la source. Ceci explique la meilleure tenue en tension des transistors STI-LDMOS. Cette première étude a permis de montrer l'apport notable du STI dans les transistors LDMOS.

Une étude supplémentaire sur le transistor STI-LDMOS est donc nécessaire. Les figures II-5 et II-6 présentent l'évolution de la tenue en tension et de la résistance passante spécifique pour plusieurs valeurs de L_{STI} et ΔL_{Poly}.

L'augmentation de la valeur de ΔL_{Poly} a deux effets : d'un côté, elle diminue la variation de BV_{DS} avec N_D, mais, d'un autre côté, elle réduit la valeur maximale admissible de BV_{DS}. Le premier effet vient du fait que le pic de champ électrique présent à la fin de la grille (Cf. Figure II-4) est beaucoup plus éloigné de la source pour les valeurs élevées de ΔL_{Poly}, minimisant ainsi la susceptibilité du claquage du côté de la source. Le fait d'augmenter la longueur du polysilicium de grille, tout en gardant celle de la région de drift constante, va entrainer indéniablement un rapprochement de la distance entre grille et drain, qui sont les deux électrodes supportant la tension à l'état bloqué. Un rapprochement trop important entre les deux électrodes va provoquer un resserrement des lignes de potentiel en surface et ainsi limiter la tenue en tension du transistor.

Nous pouvons souligner que la tenue en tension dépasse 150 V, ce qui est supérieur aux valeurs théoriques données par l'équation I-15. Cela vient de l'oxyde du STI qui supporte une partie du potentiel et modifie la répartition du champ électrique.

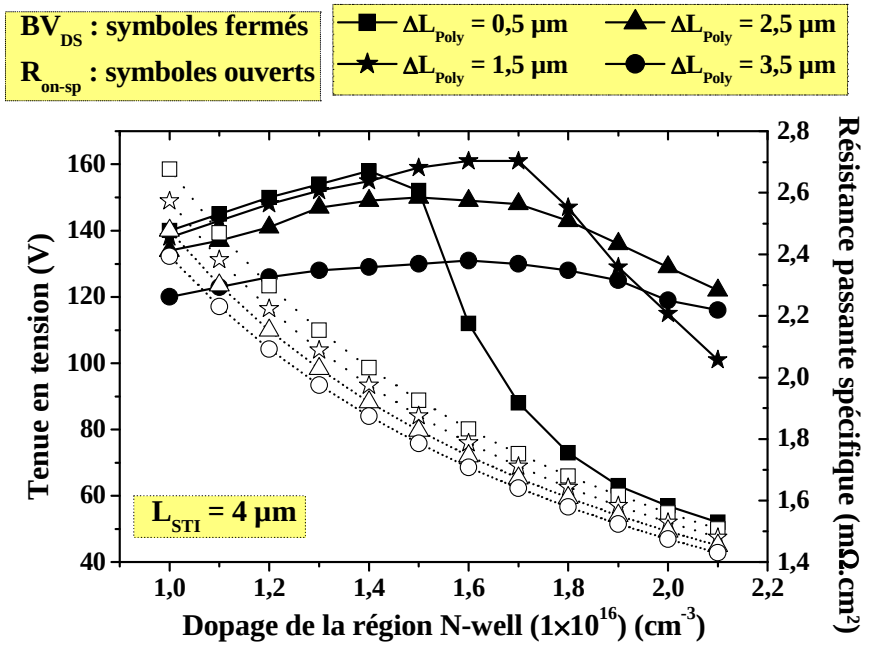

Figure II-5 : Tenue en tension et résistance passante spécifique du transistor STI-LDMOS avec L_{STI} = 4 µm pour plusieurs valeurs de ΔL_{Poly}

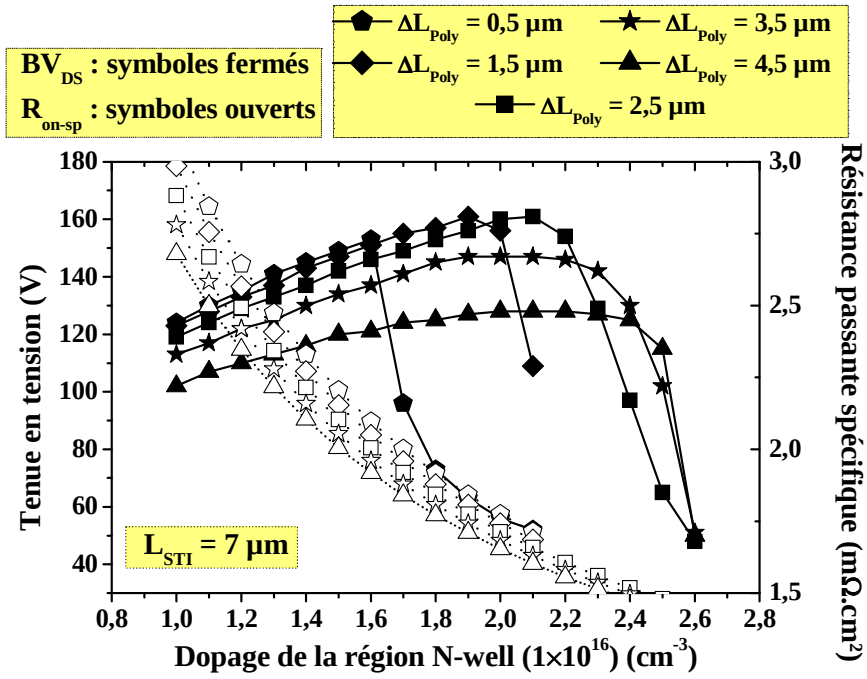

Figure II-6 : Tenue en tension et résistance passante spécifique du transistor STI-LDMOS avec L_{STI} = 7 µm pour plusieurs valeurs de ΔL_{Poly}

Le calcul du facteur de mérite, donné en équation II-1, est un bon indicateur sur l'optimisation du compromis « tenue en tension / résistance passante spécifique » :

$$FOM(V^2.\Omega^{-1}cm^{-2}) = \frac{BV_{DS}^{\ 2}}{R_{on-sp}} \qquad \textbf{Équation II-1}$$

Pour déterminer la meilleure combinaison des paramètres en terme de compromis « tenue en tension / résistance passante spécifique » des différentes structures, le facteur de mérite des différentes structures est représenté sur les figures II-7 et II-8.

Le transistor STI-LDMOS présente le facteur de mérite le plus élevé pour une valeur de ΔL_{Poly} de 1,5 µm en raison de sa tension de claquage plus importante. La comparaison entre les deux structures LDMOS (figure II-8) montre un gain notable du facteur de mérite pour le transistor STI-LSMOS.

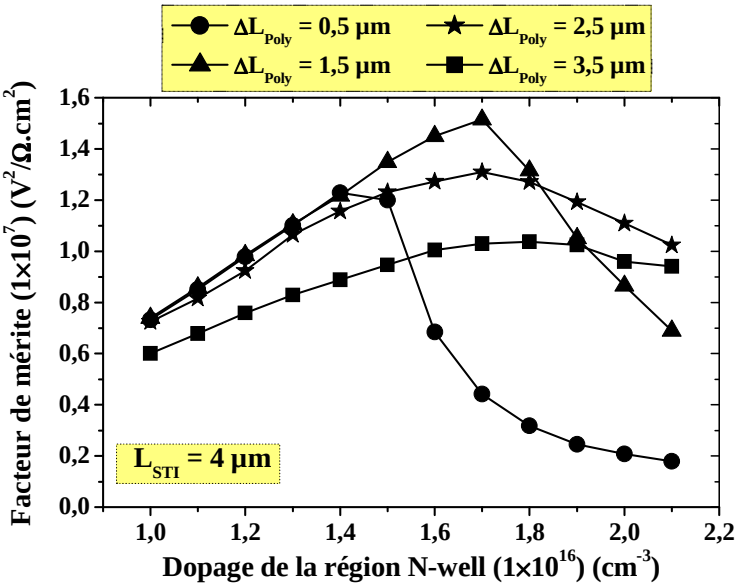

Figure II-7 : Comparaison du facteur de mérite du transistor STI-LDMOS avec L_{STI} = 4 µm pour plusieurs valeurs de ΔL_{Poly}

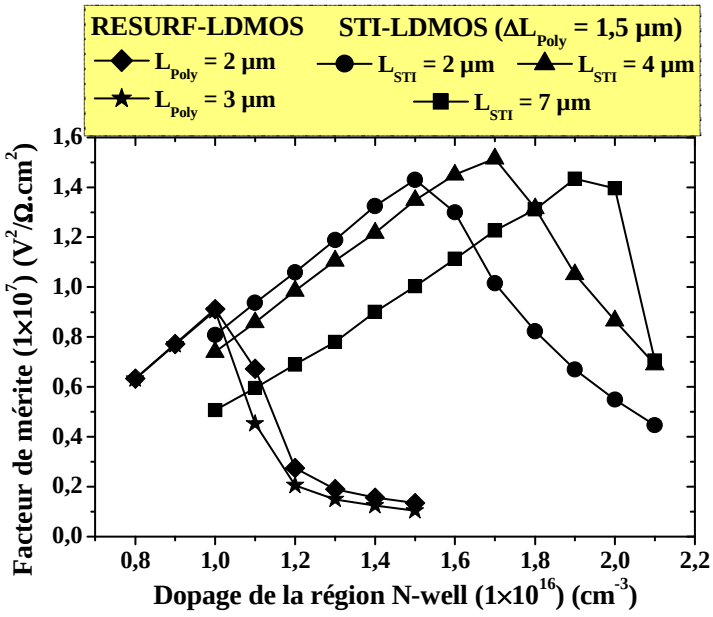

Figure II-8 : Comparaison du facteur de mérite des transistors LDMOS et STI-LDMOS

En conclusion sur les deux structures, nous retiendrons que le transistor STI-LDMOS présente un meilleur compromis entre résistance passante spécifique et tenue en tension de par la présence du STI en fin de grille. La structure STI-LDMOS, avec les paramètres L_{STI} et ΔL_{Poly} respectivement égaux à 4 µm et 1,5 µm, offre le meilleur compromis entre tension de claquage maximale admissible et une moindre sensibilité de cette même tension de claquage avec le dopage de la région de drift N_D.

II.3.2 Optimisation de transistors LDMOS à superjonction

L'amélioration du compromis « résistance passante spécifique / tenue en tension » du transistor STI-LDMOS est possible avec l'utilisation du concept de la superjonction. Cette technique consiste à remplacer la région N de drift par une alternance de piliers P et N parallèles au sens de circulation du courant.

L'optimisation des transistors LDMOS à superjonction se faisant à partir de simulation en trois dimensions, cela signifie un temps de calcul beaucoup plus long à précision de calcul équivalente. Il est donc nécessaire, dans un premier temps, d'obtenir un ordre de grandeur des paramètres structurels à partir d'équations analytiques.

Le bon fonctionnement d'une superjonction veut que la zone de charge d'espace s'étende entre les piliers P et N, soit suivant l'axe Y sur la figure II-1 (c), pour qu'ils soient complètement déplétés afin d'obtenir un champ électrique uniforme selon l'axe x. Le champ électrique croît uniformément jusqu'à atteindre sa valeur critique. Cette condition se traduit par les équations suivantes [36] :

$$\frac{q \times N_{D-pi} \times Y_{N-pi}}{2 \times \varepsilon_{Si}} = \frac{q \times N_{A-pi} \times Y_{P-pi}}{2 \times \varepsilon_{Si}} = \alpha \times E_C \qquad \textbf{Équation II-2}$$

Où α est un coefficient compris entre 0 et 1. Une valeur proche de 1 favorisera la résistance passante, tandis qu'une valeur plus faible correspondra à une meilleure tenue en tension. Le champ électrique critique du silicium peut s'exprimer de la manière suivante [36]:

$$E_C = 2.10^3 \times N_D^{1/7} \qquad \textbf{Équation II-3}$$

Pour des valeurs de dopage de l'ordre de 1×10^{16} cm^{-3}, E_C est égal à 4×10^5 V.cm^{-1}. Partant de cette valeur, il est possible de calculer la charge Q d'un pilier. Du fait de la balance des charges, on obtient l'équation II-4 pour α égal à 1, correspondant au cas « idéal » favorisant la résistance à l'état passant.

$$Q_P = Q_N = \frac{2 \times \varepsilon_{Si} \times \alpha \times E_C}{q} \approx 4 \times 10^{12}\, cm^{-2} \qquad \textbf{Équation II-4}$$

Où Q_P et Q_N sont respectivement égales à $N_{A-pi} \times Y_{P-pi}$ et $N_{D-pi} \times Y_{N-pi}$. Nous pouvons donc, en fixant la largeur des piliers, définir les valeurs de $N_{D\text{-}pi}$ et $N_{A\text{-}pi}$ correspondant à la balance des charges.

Dans le cas des transistors à superjonction, les simulations étant réalisées sur des structures à trois dimensions, leur convergence s'avère être plus difficile que dans le cas des structures en deux dimensions. Dans ce cas, des simulations de type transitoire ont été effectuées car elles présentent moins de problèmes de convergence que celles de type quasi-stationnaires usuellement utilisées pour la tenue en tension. Il faut cependant respecter le temps de montée de la rampe de tension pour limiter les effets transitoires liés aux capacités.

La figure II-9 représente la tenue en tension et la résistance passante spécifique en fonction du dopage du pilier N pour une valeur de dopage du pilier P égale à 4×10^{16} cm^{-3} obtenue à partir de l'équation II-4, en prenant $Y_{N\text{-}pi} = Y_{P\text{-}pi} = 1$ µm. La condition de balance des charges, correspondant à la tension de claquage la plus élevée quand les piliers P et N sont totalement déplétés, est obtenue pour un dopage du $N_{D\text{-}pi}$ très supérieur à $N_{A\text{-}pi}$. Les piliers N, polarisés positivement, sont donc déplétés horizontalement par le pilier P adjacent, mais aussi verticalement à partir du substrat. La déplétion assistée par le substrat limite donc la tenue en tension des transistors LDMOS à superjonction, puisque le substrat engendre une composante du champ électrique dans la troisième dimension.

Une solution serait de réaliser les transistors LDMOS sur un substrat sur saphir [56] ou bien de retirer le silicium sous l'oxyde enterré [57] pour supprimer la composante verticale du champ électrique. Cependant, ces solutions ne sont pas compatibles avec notre procédé de fabrication.

La définition d'un dopage du pilier N progressif, comme celui de la figure I-21, permettrait d'améliorer la tenue en tension. Sa réalisation par l'utilisation d'un masque à ouverture progressive comme dans la référence [39] ne donne pas les résultats escomptés à cause des temps de diffusion trop courts du procédé (Cf. chapitre 4).

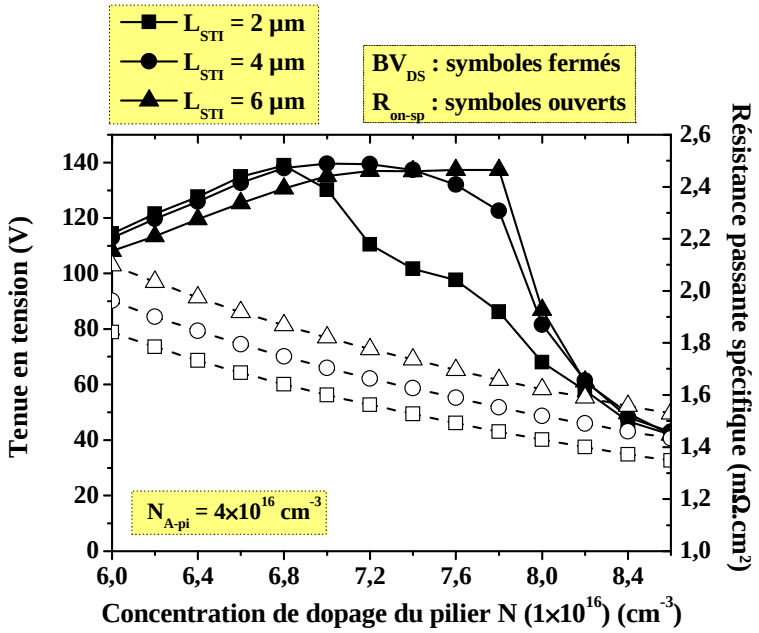

Figure II-9 : Tenue en tension et résistance passante spécifique du transistor SJ-LDMOS pour $Y_{N\text{-}pi} = Y_{P\text{-}pi} = 1$ µm

	$R_{on\text{-}sp}$ (mΩ.cm²)	BV_{DS} (V)	$BV_{DS}^2/R_{on\text{-}sp}$ (V².Ω⁻¹.cm⁻²)
LDMOS L_{Poly} = 2 µm	2,21	142	$9{,}1\times10^6$
LDMOS L_{Poly} = 3 µm	2,26	143	$9{,}05\times10^6$
STI-LDMOS L_{STI}=4 µm, ΔL_{Poly}=1,5 µm	1,71	161	$1{,}51\times10^7$
STI-LDMOS L_{STI}=4 µm, ΔL_{Poly}=2,5 µm	1,82	150	$1{,}23\times10^7$
SJ-LDMOS L_{STI}=4 µm, ΔL_{Poly}=1,5 µm	1,66	140	$1{,}17\times10^7$

Tableau II-1 : Compromis résistance passante spécifique / tenue en tension des différents transistors LDMOS à canal N étudiés dans ce chapitre

Les caractéristiques électriques statiques des trois structures simulées sont comparées dans le tableau II-1. Les superjonctions permettent une réduction de la résistance passante spécifique au dépens de la tenue en tension et de la complexification du procédé, puisque ce type de composant nécessite d'optimiser le dopage de deux régions, les piliers N et P, comme nous le verrons dans le chapitre 4.

Sur la figure II-10, les meilleures structures obtenues sont finalement comparées à l'état de l'art des structures LDMOS simulées et mesurées.

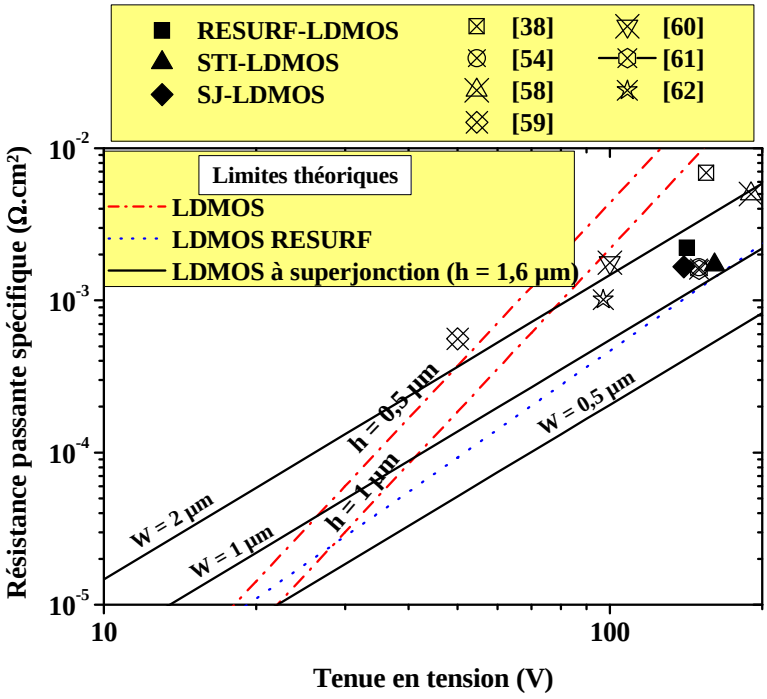

Figure II-10 : Comparaison entre les limites théoriques du silicium, les résultats obtenus et l'état de l'art des transistors LDMOS à canal N publiés

Les résultats de la figure II-10 montrent que les performances, notamment du transistor STI-LDMOS, sont comparables avec l'état de l'art et se rapprochent de la limite théorique des transistors RESURF.

II.4 Comportement dynamique

Un transistor LDMOS est caractérisé en dynamique par ses capacités inter-électrodes. Ces capacités sont généralement caractérisées par une mesure petits signaux. Une autre méthode pour quantifier les différentes capacités est la mesure de charge de grille à courant constant, dont le montage type est représenté figure II-11.

Dans cet essai, les capacités d'entrée, C_{GS} et C_{DS}, sont chargées à partir d'un générateur de courant. Une source de tension (V_{dd}) est connectée entre la source et le drain en série avec une résistance (R_L) afin de limiter le courant traversant le transistor.

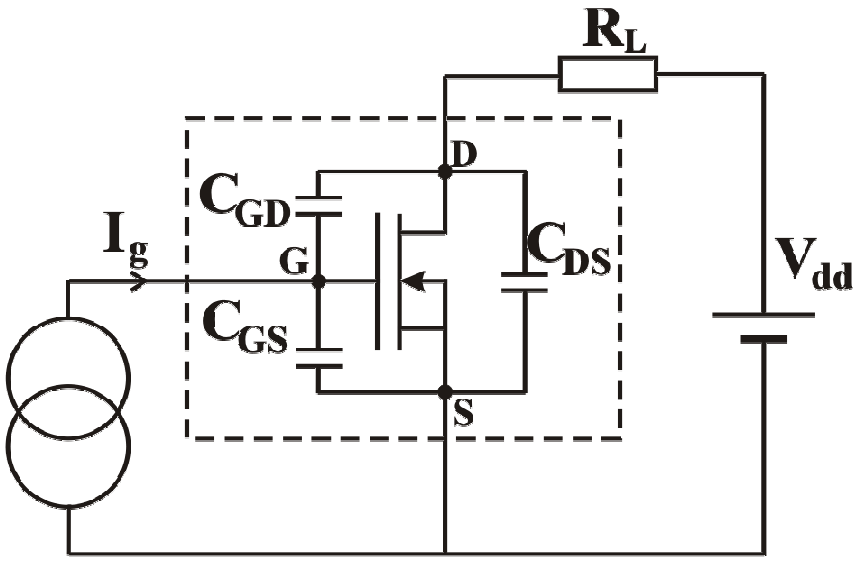

Figure II-11 : Montage de charge de grille à courant constant

La caractéristique type d'une commutation d'un transistor LDMOS est représentée figure II-12.

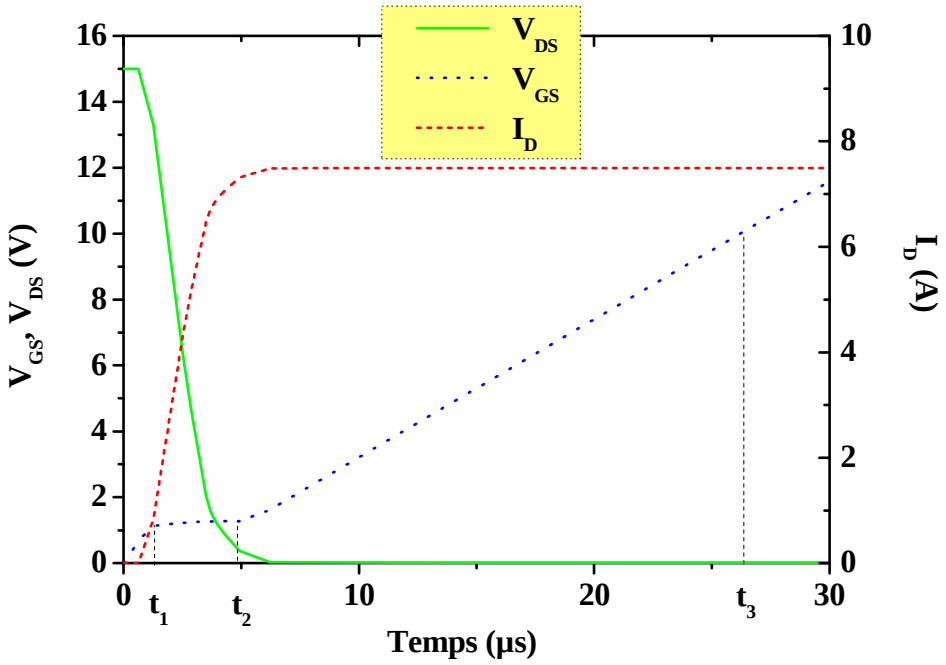

Figure II-12 : Évolutions des tensions de grille, de drain et du courant de drain en fonction du temps pour l'essai de charge de grille

Les courbes peuvent se décomposer en trois étapes. Pendant la première montée de V_{GS}, la capacité C_{GS}, constante, se charge. Pendant cette phase, le transistor devient passant parce que la tension de grille dépasse sa tension de seuil. La seconde phase, de t_1 à t_2, correspond au plateau de l'effet Miller. La tension drain - source commence à décroître, de telle sorte que la charge d'espace dans la région de drift se réduit, augmentant ainsi la capacité

entre grille et drain. L'augmentation de C_{GD} ralentit la croissance de la tension de grille. Dans un même temps, le courant de drain croît aussi jusqu'à arriver à sa valeur nominale. À ce moment, la capacité grille-drain a atteint sa valeur maximale C_{GDmax} et la tension grille-source peut reprendre sa croissance. La dernière phase, à partir de t_2, correspond à la charge de la nouvelle valeur de la capacité d'entrée, égale à $C_{GS} + C_{GDmax}$. La charge totale de la grille Q_g correspond donc à :

$$Q_g = I_g \times t_3 \qquad \textbf{Équation II-5}$$

Le relevé de la caractéristique V_{GS} en fonction de la charge Q des structures optimisées en terme de compromis « résistance passante spécifique / tenue en tension » est représenté figure II-13. Comme I_g est constant, la charge Q est proportionnelle au temps.

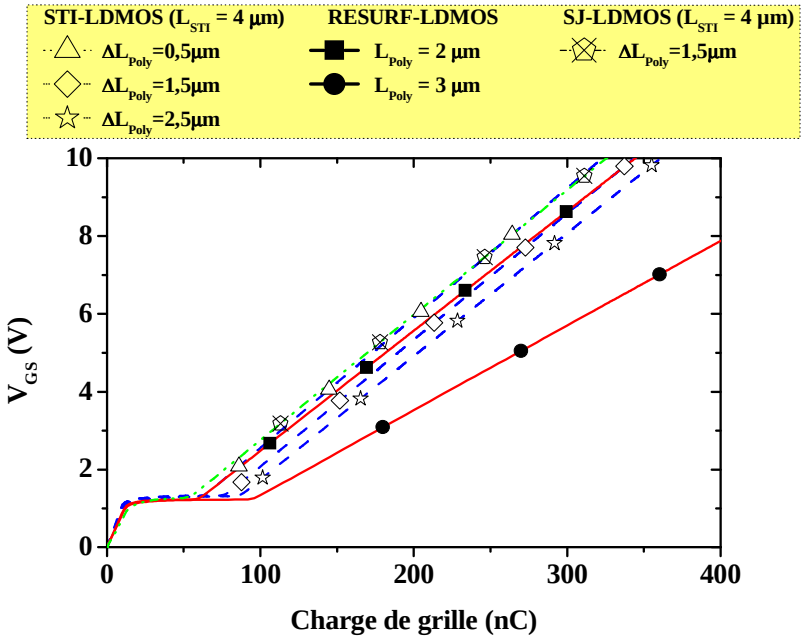

Figure II-13 : Évolution de la tension de grille en fonction du temps lors de la charge de grille des trois structures LDMOS optimisées en terme de compromis « résistance passante spécifique / tenue en tension »

Des caractéristiques V_{GS} de la figure précédente, on observe que la première partie des courbes, correspondant à la charge de C_{GS}, est approximativement la même pour les trois structures (C_{GS1}, C_{GS2} et C_{GS3} de la figure II-14). Ceci vient de la définition de la source identique à toutes les structures, à l'exception de la plaque de champ de source dans le transistor LDMOS, mais qui n'a pas d'influence sur la capacité totale, à cause de l'épaisseur de l'oxyde de champ entre polysilicium et métal, et du pilier P dans le transistor SJ-LDMOS qui n'est pas déplété à ces niveaux de tension. La charge de la capacité Miller (C_{GDd}), correspondant au plateau de la caractéristique, est plus importante pour les valeurs les plus

élevées du polysilicium de grille et pour les structures sans STI. Le transistor à superjonction présente une capacité C_{GDd} plus faible que le transistor STI-LDMOS pour une même valeur de ΔL_{Poly} du fait de la disparition plus rapide de la charge d'espace dans cette structure. La pente de la troisième partie de la courbe est la même pour toutes les structures avec STI mais est très variable avec la valeur de L_{poly} pour la structure LDMOS. Cette pente est l'image de la capacité (C_{GS} + C_{GDmax}). La capacité C_{GDmax} est équivalente à la capacité de l'oxyde de grille, en parallèle avec celle recouverte par le STI. Cependant, cette dernière est négligeable à cause de l'épaisseur du STI qui est très supérieure à celle de l'oxyde de grille. Ceci explique pourquoi la valeur de C_{GDmax} est identique, quelle que soit la valeur de ΔL_{Poly}, mais aussi pourquoi la pente de la fin de la courbe varie avec L_{poly} dans le cas des structures sans STI. L'ajout d'une superjonction ne modifie pas les capacités par rapport à la structure LDMOS avec STI car la capacité C_{GD} est déterminée par les capacités d'oxyde essentiellement.

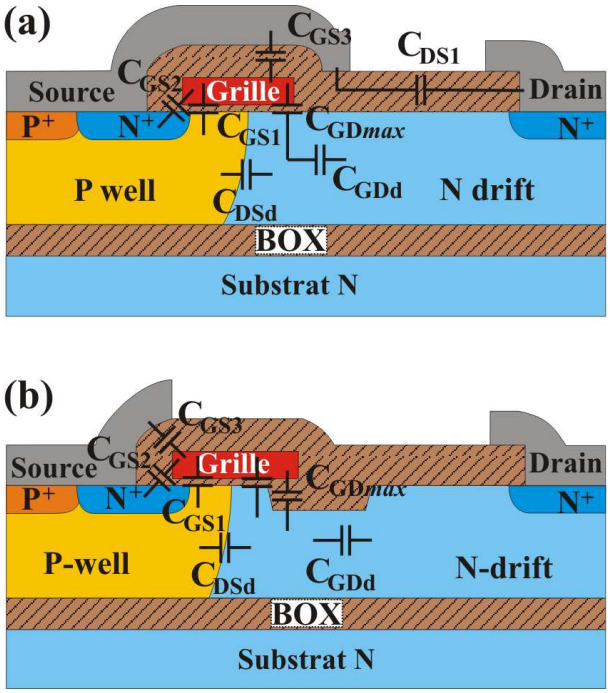

Figure II-14 : Localisation des capacités interélectrodes des structures (a) RESURF-LDMOS et (b) STI-LDMOS

De ces caractéristiques, nous pouvons extraire la valeur Q_g, correspondant à la charge de grille nécessaire pour atteindre une tension V_{GS} de 10 V qui est la même valeur de tension utilisée pour l'obtention de la résistance passante spécifique.

Un autre facteur de mérite important $R_{on}\times Q_g$, qui est le produit de la résistance passante par la charge de grille, combine performances statiques et dynamiques. Ce facteur doit être le plus faible possible. Le tableau suivant résume les résultats des différentes

structures simulées. La valeur de la résistance passante spécifique donnée dans le tableau correspond au meilleur compromis « résistance passante spécifique / tenue en tension » de chaque structure.

Les résultats donnés dans le tableau II-2 montrent les performances en retrait des structures LDMOS par rapport aux structures avec STI. L'augmentation de ΔL_{Poly} dans les structures STI-LDMOS augmente non seulement la charge de grille mais aussi la résistance passante spécifique, du fait du dopage plus faible nécessaire pour obtenir la tension de claquage la plus élevée (figure II-5). L'utilisation des superjonctions améliore la charge de grille et permet de réduire la résistance passante spécifique, donc le facteur de mérite.

	$R_{on\text{-}sp}$ ($m\Omega.cm^2$)	Q_g (nC)	$R_{on}\times Q_g$ ($\Omega\times$nC)	$BV_{DS}^2/R_{on\text{-}sp}$ ($V^2.\Omega^{-1}.cm^{-2}$)	$BV_{DS}^2/(R_{on\text{-}sp}^2\times Q_g)$
LDMOS L_{Poly} = 2 µm	2,21	344	0,76	$9,1\times10^6$	$1,2\times10^7$
LDMOS L_{Poly} = 3 µm	2,26	498	1,125	$9,05\times10^6$	$8,04\times10^6$
STI-LDMOS L_{STI}=4 µm, ΔL_{Poly}=1,5 µm	1,71	323	0,552	$1,51\times10^7$	$2,7\times10^7$
STI-LDMOS L_{STI}=4 µm, ΔL_{Poly}=2,5 µm	1,82	344	0,626	$1,23\times10^7$	$1,96\times10^7$
SJ-LDMOS L_{STI}=4 µm, ΔL_{Poly}=1,5 µm	1,66	325	0,539	$1,17\times10^7$	$2,17\times10^7$

Tableau II-2 : Comparaison des résistances passantes spécifiques, charges de grille et facteurs de mérite des différentes structures simulées

En combinant les deux facteurs de mérite, les résultats montrent que le transistor STI-LDMOS avec les paramètres L_{STI} = 4 µm et ΔL_{Poly} = 1,5 µm présente de meilleures performances en statique et en dynamique, mais aussi que le transistor SJ-LDMOS présente des résultats comparables. Cependant, la comparaison de la figure II-5 avec la figure II-9 montre la moindre variation de la tenue en tension du transistor STI-LDMOS avec le dopage de la région de drift.

II.5 Tenue en tension à l'état passant : aire de sécurité

Le transistor LDMOS fonctionne, en tant qu'interrupteur, entre deux états : bloqué et passant. Dans le premier cas, la tension V_{DS} est élevée et le courant I_D est très faible. Dans le second cas, la tension V_{DS} est faible et le courant I_D important. Lors de la commutation entre les deux états, le transistor peut se retrouver traversé par un courant I_D important alors que la tension à ses bornes V_{DS} peut l'être tout autant. Le composant doit résister à ces transitions entre l'état bloqué et l'état passant. La limite de fonctionnement est appelée aire de sécurité, correspondant à la surface limite de fonctionnement sur le plan I_D-V_{DS} (figure II-15). Au-delà de cette limite, le composant sera endommagé, soit électriquement soit thermiquement [63].

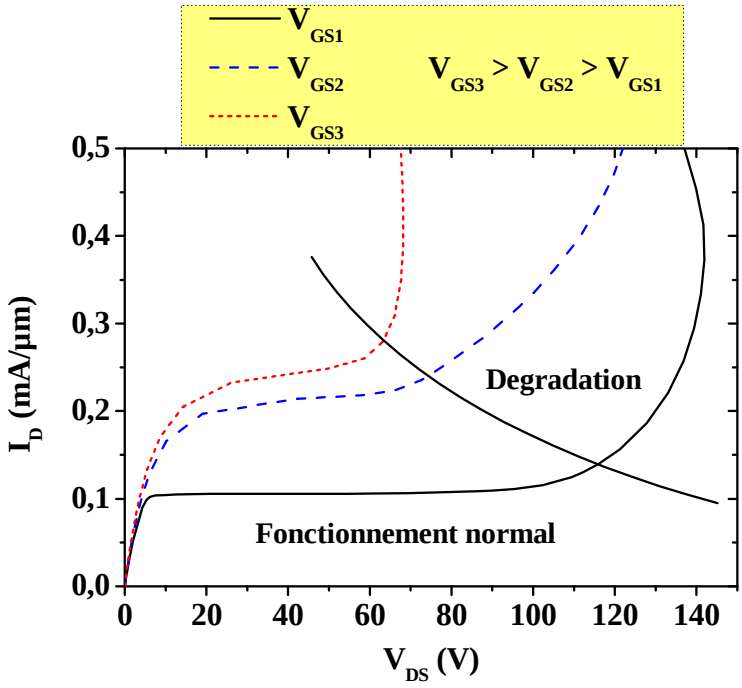

Figure II-15 : Délimitation de la limite de fonctionnement du transistor LDMOS dans le plan I_D-V_{DS}

La mesure du courant de substrat ou de body (figure II-16) est un bon indicateur sur l'aire de sécurité électrique du transistor LDMOS [64] [65]. Dans les transistors LDMOS sur SOI, du fait de la présence de l'isolant, la mesure du courant de substrat n'est pas possible. La mesure de courant de body se fait par application d'une rampe de tension sur la grille avec une tension de drain V_{DS} fixe. Un exemple de caractéristique simulée de courant de body en fonction de la tension de grille est représenté figure II-17.

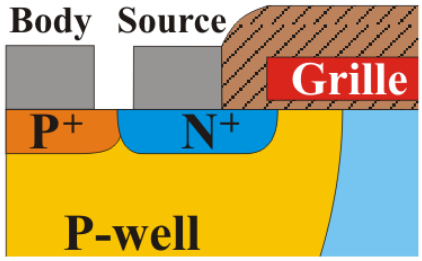

Figure II-16 : Séparation du contact de source avec celui de body dans le transistor LDMOS

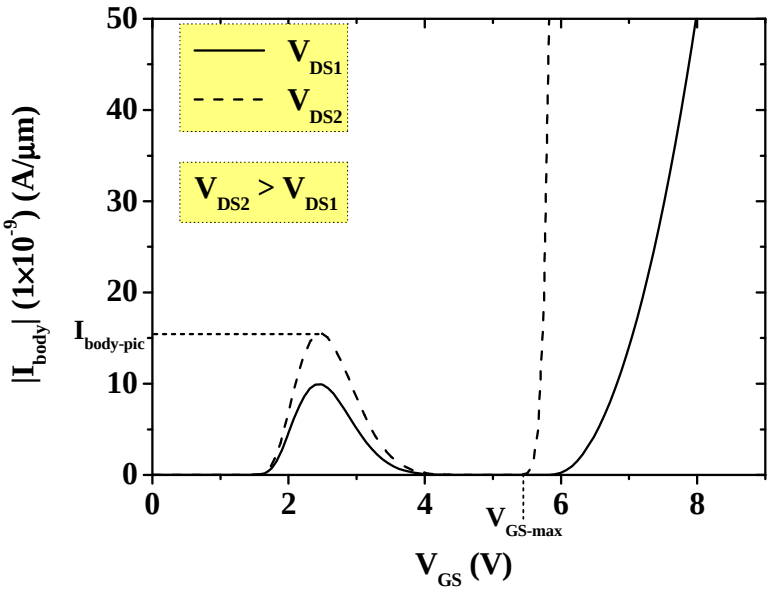

Figure II-17 : Caractéristique I_{body} en fonction de V_{GS} d'un transistor LDMOS pour plusieurs tensions de drain

Typiquement, la caractéristique I_{body} en fonction de V_{GS} présente un premier « pic » à faibles valeurs de tension de grille, que nous appellerons $I_{body\text{-}pic}$. Il s'ensuit une forte diminution puis une augmentation, à partir d'une valeur $V_{GS\text{-}max}$, jusqu'à la dégradation du composant. Le premier pic est lié à la génération de paires électrons trous par impact par ionisation à la jonction 'P-well / N-well'. Les électrons sont évacués par l'électrode de drain et les trous par celle de body. La réduction du champ électrique à cette même jonction par l'effet de champ de la grille est à l'origine de la diminution du courant I_{body}. La seconde augmentation vient de l'effet Kirk [66], ce qui signifie qu'une zone d'impact par ionisation se créé au niveau du drain à fort courant I_D, jusqu'à la destruction du dispositif par retournement (« snap-back » en anglais), correspondant au déclenchement du transistor bipolaire. Les résultats de simulation de courant de body (I_{body}) en fonction de la tension de grille pour les

différentes structures LDMOS optimisées en termes de compromis « résistance passante spécifique / tenue en tension, sont représentés figure II-18 ».

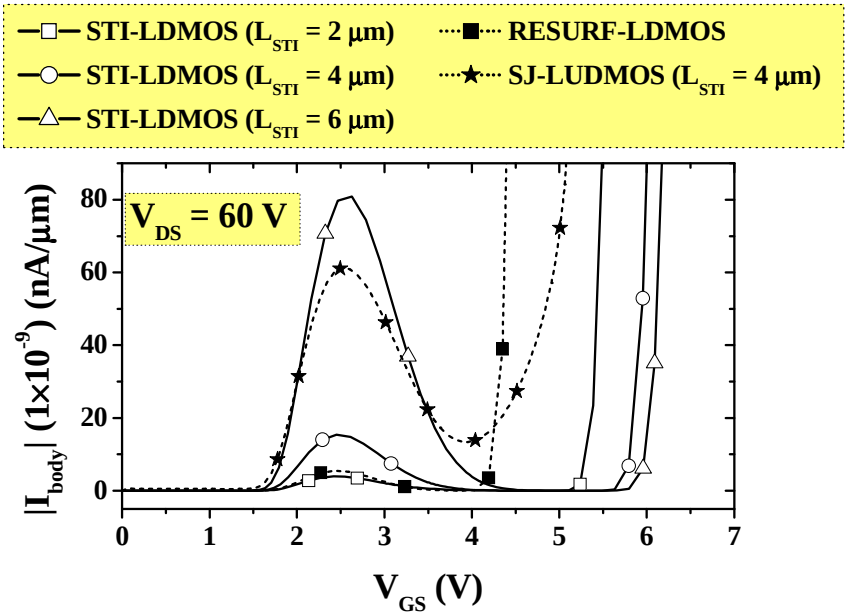

Figure II-18 : Courant de body en fonction de la tension de grille des différentes structures LDMOS à canal N étudiées dans ce chapitre

Les caractéristiques de la figure II-18 montrent que, pour une faible valeur de L_{STI} (2 µm), la valeur de $I_{body\text{-}pic}$ sera plus petite que pour les valeurs plus élevées de L_{STI}, mais ce pic sera suivi d'une réduction de $V_{GS\text{-}max}$. À l'inverse, une valeur élevée de L_{STI} donnera une valeur de courant au niveau du pic plus élevée alors que la tension maximale V_{GS} admissible sera plus importante. D'un autre côté, le premier pic de I_{body}, dans le cas de la structure LDMOS, est quasiment nul mais la tension V_{GS} maximale est très faible. Concernant le transistor à superjonction, celui-ci présente un premier pic élevé suivi immédiatement après d'une croissance du courant, sans passer par la diminution typique de courant. Afin de comprendre la forme de ces courbes, la répartition du champ électrique à l'intérieur des structures R-LDMOS et STI-LDMOS est représentée figure II-19 pour V_{GS} égale à 2,5 V (valeur du premier pic) et 8 V (condition de retournement).

Pour V_{GS} = 2,5 V (figure II-19 (a)), une longueur du STI petite (L_{STI} = 2 µm) permet de mieux répartir le champ électrique dans la structure, et donc de le réduire à la jonction 'P-well / N-well', expliquant la faible valeur de $I_{body\text{-}pic}$. D'un autre côté, pour V_{GS} = $V_{GS\text{-}max}$ (figure II-19 (b)), la valeur de champ électrique à la diffusion N^+ de drain est plus importante pour L_{STI} = 2 µm, d'où l'apparition de l'effet Kirk pour des valeurs de V_{GS} plus faibles. La structure R-LDMOS se comporte comme celle avec STI avec L_{STI} = 2 µm.

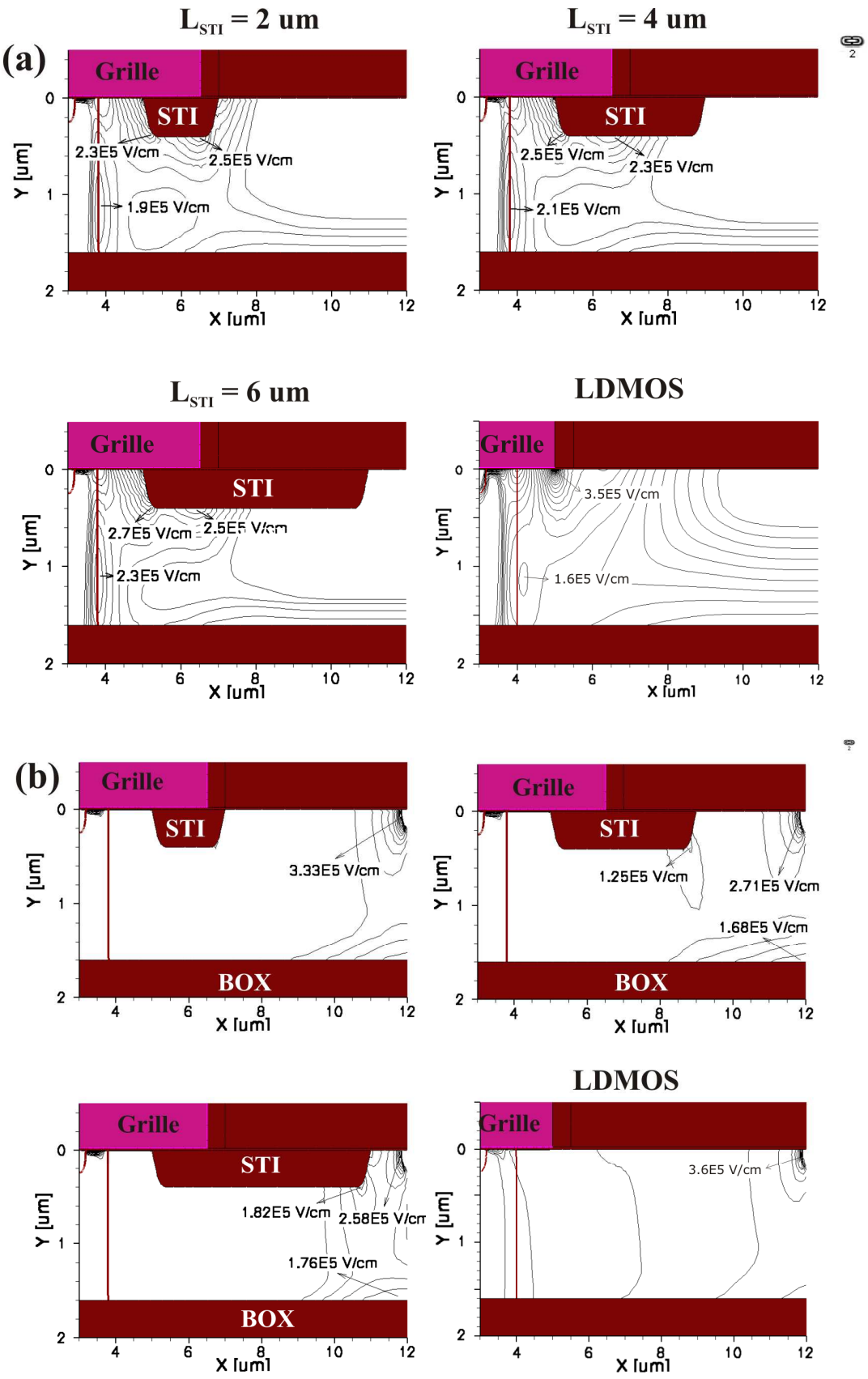

Figure II-19 : Répartition du champ électrique à l'intérieur des structures LDMOS et STI-LDMOS pour différentes valeurs de L_{STI} pour V_{DS} = 60 V, (a) V_{GS} = 2,5 V et (b) V_{GS} = 8 V

Afin de comprendre le comportement spécifique du transistor SJ-LDMOS, la densité de courant et de trous et le champ électrique au niveau du canal sont analysés à différentes coupes représentées figure II-20 et comparés avec le transistor STI-LDMOS de même L_{STI}. Les répartitions de courant et de champ électrique correspondantes sont représentées figure II-21 pour V_{GS} = 2,5 V et V_{DS} = 60 V.

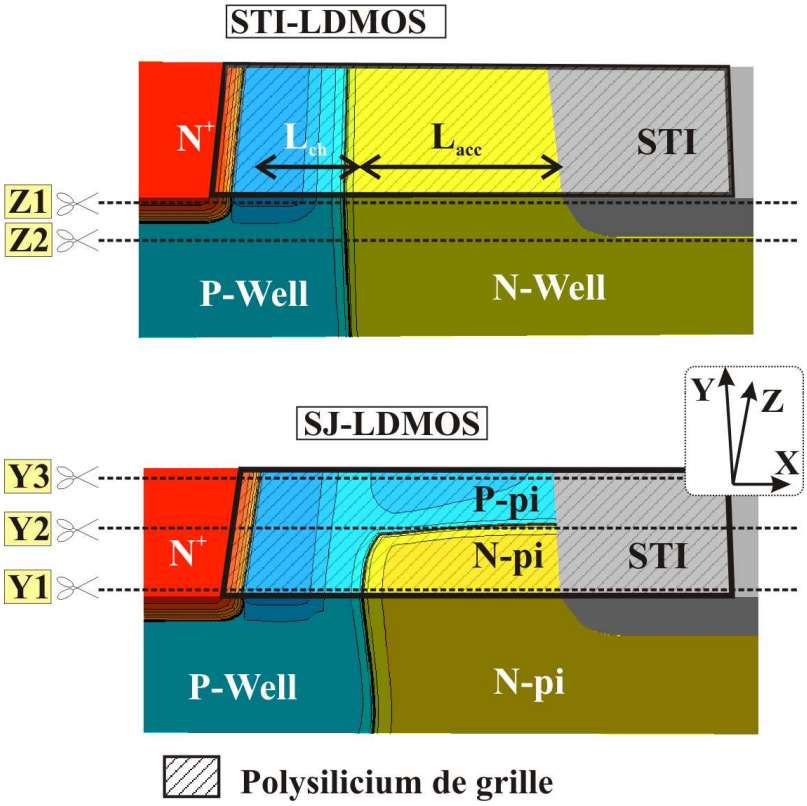

Figure II-20 : Détail de la région du canal pour (a) STI-LDMOS et (b) SJ-LDMOS avec la localisation des différentes coupes analysées

La figure II-21 (a) montre la non uniformité du champ électrique sous le canal dans le transistor à superjonction. La valeur la plus importante de champ électrique se trouve au milieu du pilier N et est plus élevée que dans le transistor STI-LDMOS. La déplétion latérale entre les piliers explique cette non uniformité, aussi bien au niveau du canal que sous le STI.

Du fait que le transistor à superjonction ne conduit du courant que sur une surface moitié moindre que celle du transistor STI-LDMOS, et de par la présence d'un champ électrique plus important dans cette même structure, on peut s'attendre à avoir une plus forte concentration de paires électron trou générées par impact par ionisation. Les résultats de la figure II-21 (b) le montrent : les trous générés par impact par ionisation sont évacués par le pilier P et le P-well comme le montre la coupe Z2, sous le STI.

Le fort champ électrique ainsi que la densité élevée de courant des trous, qui seront au final évacués par l'électrode de body, expliquent la caractéristique particulière du transistor LDMOS à superjonction.

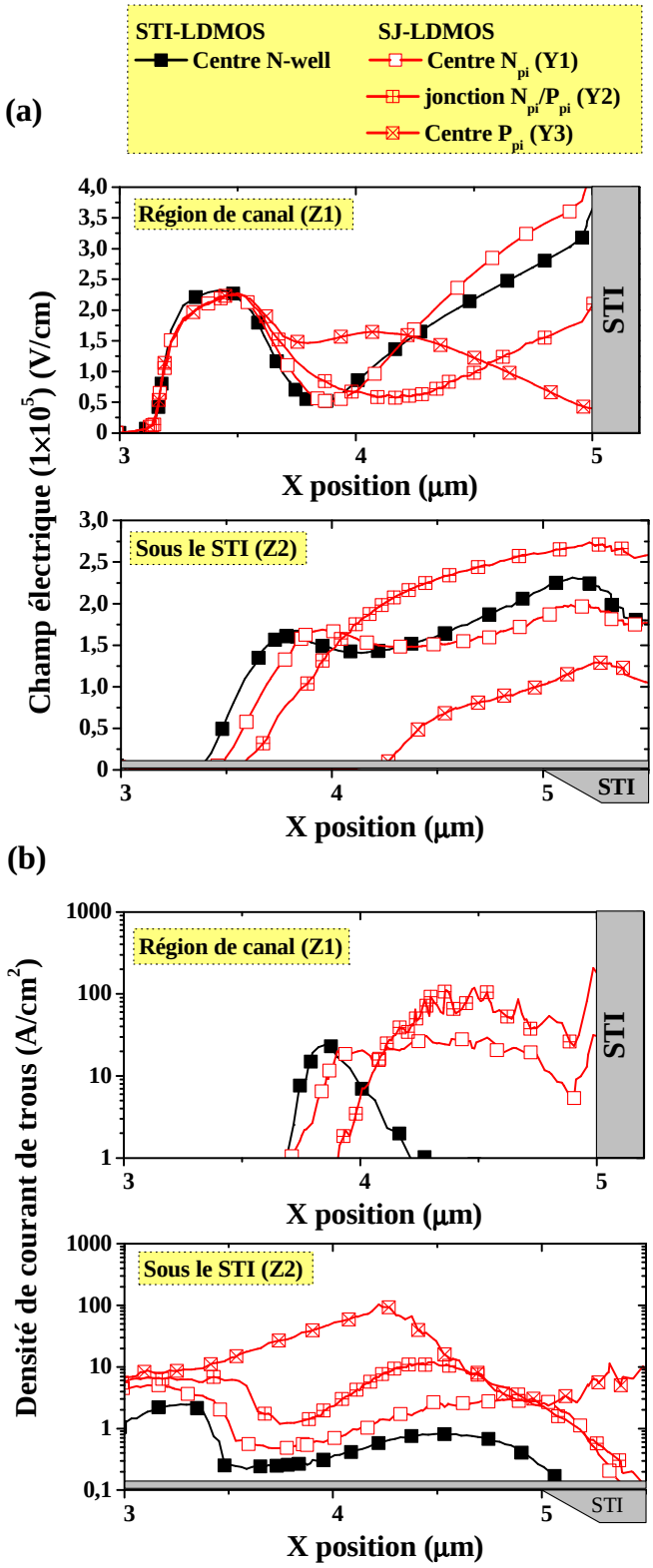

Figure II-21 : (a) Champ électrique et (b) densité de courant de trous le long du canal et sous le STI pour les structures STI-LDMOS et SJ-LDMOS

Nous venons de voir qu'il existait dans toutes les structures un compromis entre la valeur de $I_{body\text{-}max}$ et la tension $V_{GS\text{-}max}$ admissible. Les transistors STI-LDMOS présentent le meilleur compromis et celui-ci dépend de L_{STI}. Un autre paramètre à prendre en compte dans ces structures est la configuration du canal. Ayant fixé la longueur L_c (figure II-21) comprise entre le bord du polysilicium de grille et le début du STI, l'espacement entre la fin du P-well par rapport au début du N-well (ΔWells) est analysé en terme d'évolution du courant I_{body}.

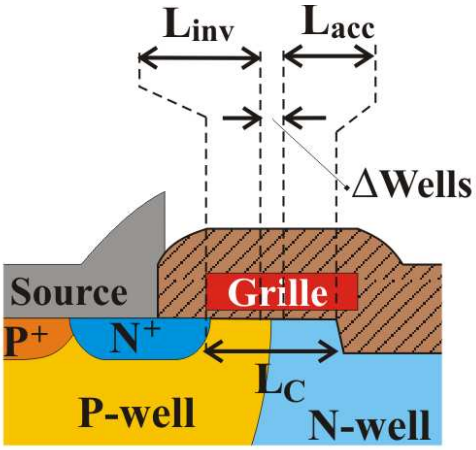

Figure II-22 : Détail de la région du canal du transistor STI-LDMOS

La longueur de L_c a été fixée à 2 µm, et la position du P-well à 0,5 µm. Le SOI étant initialement de type P, l'espacement du N-well par rapport au P-well (ΔWells) va repousser la jonction PN proche du STI. La figure II-23 montre la caractéristique de I_{body} en fonction de V_{GS} pour différentes valeurs de ΔWells.

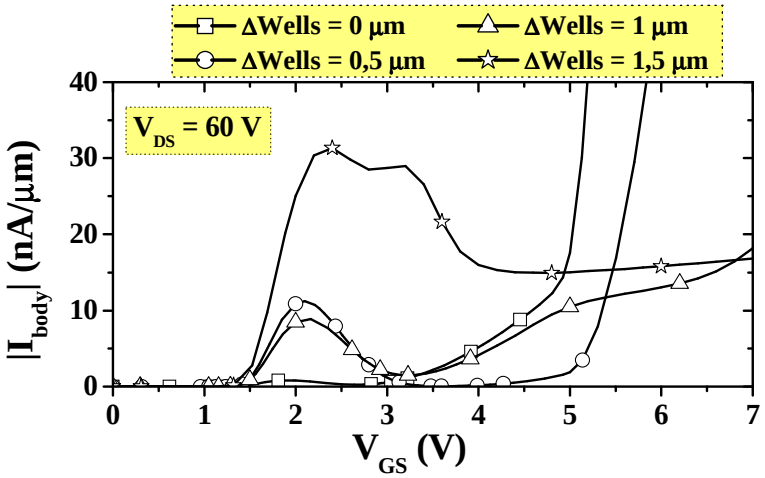

Figure II-23 : I_{body} en fonction de V_{GS} pour différentes valeurs de ΔWells pour le transistor STI-LDMOS

D'après la figure II-23, l'augmentation de ΔWells a pour effet d'accroitre la valeur de $V_{GS\text{-}max}$ mais aussi celle de $I_{body\text{-}pic}$. Cependant, le courant ne disparaît pas après le pic dans ce cas : un courant de trous important est toujours présent quelle que soit la valeur de V_{GS}. À

l'inverse, pour les faibles valeurs de ΔWells, on retrouve les caractéristiques semblables à celles obtenues figure II-18. Ces comportements sont expliqués figure II-24 où la densité de courant d'électrons, le champ électrique et la concentration de porteurs ionisés sont représentés dans la structure STI-LDMOS à V_{DS} = 60 V et V_{GS} = 2 V (valeur correspondant au pic de I_{body}) pour plusieurs valeurs de ΔWells.

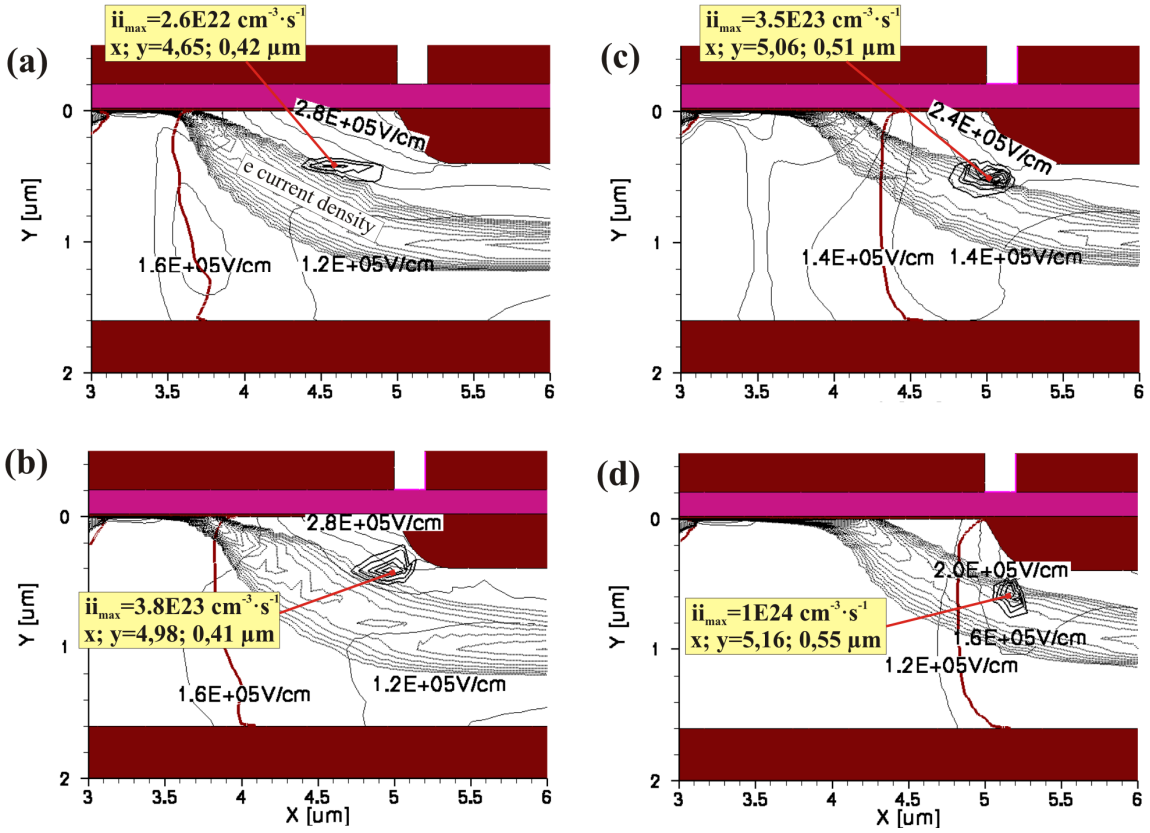

Figure II-24 : Densité de courant d'électrons, contour du champ électrique et de la concentration de porteurs ionisés dans la structure STI-LDMOS à V_{GS} = 2 V et V_{DS} = 60 V pour ΔWells égal à (a) 0, (b) 0,5, (c) 1 et (d) 1,5 µm

L'augmentation de ΔWells fait circuler le courant proche du STI, augmentant ainsi la concentration de porteurs ionisés par impact. Cette augmentation va créer plus de paires électrons - trous, trous qui seront collectés par le body, expliquant la valeur du pic de courant plus importante pour les valeurs élevées de ΔWells. De plus, l'augmentation de la concentration de paires électrons - trous générés peut entrainer l'injection de porteurs chauds dans l'oxyde, dégradant à long terme la fiabilité du transistor [67].

Pour terminer l'étude sur l'aire de sécurité, les caractéristiques de sortie ainsi que l'évolution du courant de body des transistors LDMOS et STI-LDMOS sont représentées sur la figure II-25 pour plusieurs tensions de grille.

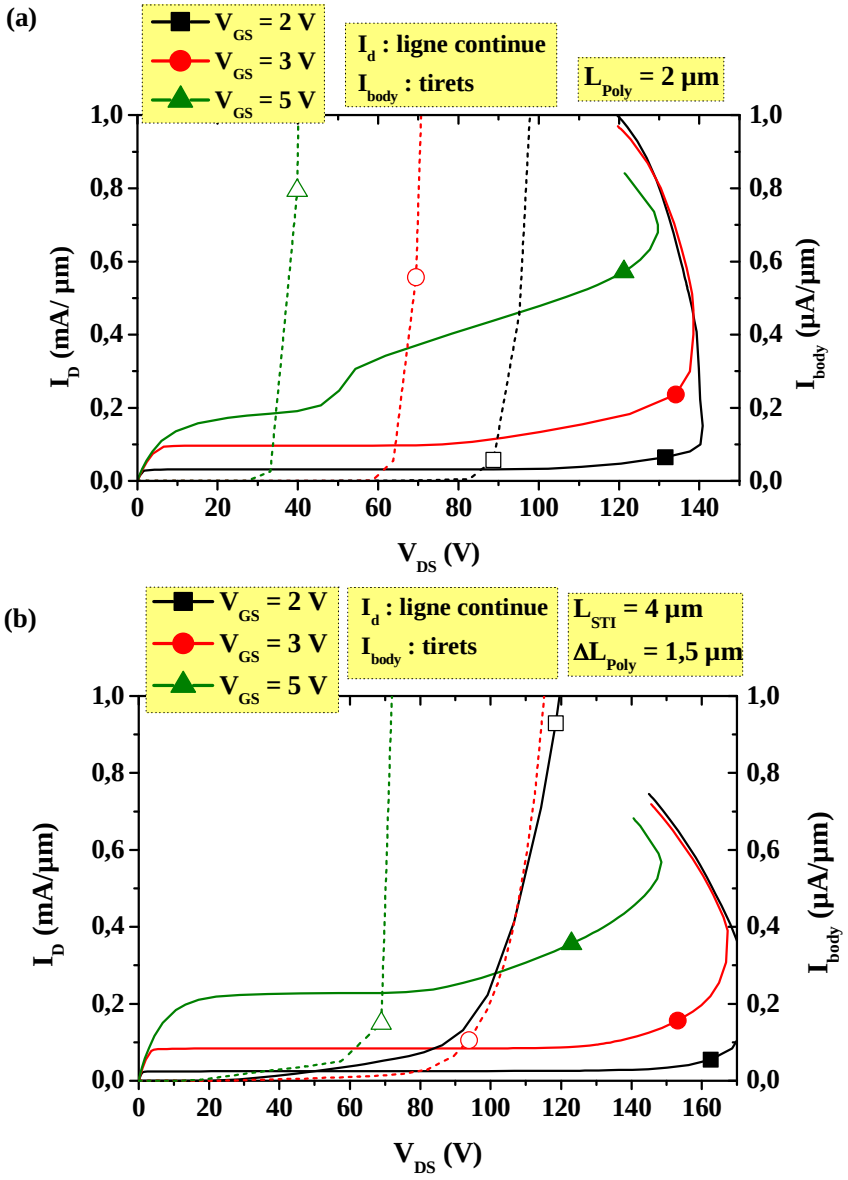

Figure II-25 : Comparaison des caractéristiques de sortie des (a) transistor LDMOS avec L_{Poly} = 2 µm et (b) STI-LDMOS avec L_{STI} = 4 µm et ΔL_{Poly} = 1,5 µm

D'après les courbes de la figure II-25, on constate une augmentation plus rapide du courant de body à V_{GS} = 3 et 5 V dans le cas du transistor LDMOS. Malgré l'apparition rapide du courant de trous, la tension de retournement reste tout de même élevée. La présence de ce courant est à l'origine de la forme typique de la caractéristique de drain dans ce cas. Ceci vient de la définition du P-well. Nous reviendrons plus en détail sur ce point dans le chapitre 4.

En conclusion sur cette partie, nous retiendrons que la caractéristique I_{body} en fonction de V_{GS}, qui est représentative de l'aire de sécurité, doit présenter une valeur $I_{body\text{-}pic}$ la plus faible possible afin d'augmenter la tenue en tension à l'état passant mais aussi une valeur

$V_{GS\text{-}max}$ la plus importante afin de repousser la destruction du composant par déclenchement du bipolaire parasite. Dans les structures STI-LDMOS, ces valeurs dépendent de la longueur du STI, donnant un compromis entre les deux paramètres critiques $I_{body\text{-}pic}$ et $V_{GS\text{-}max}$. Le design de ces structures joue un rôle sur ces caractéristiques : la jonction 'P-well / N-well' doit être la plus éloignée possible du STI et une longueur intermédiaire de celle-ci donne le meilleur compromis.

II.6 Conclusion

Dans ce chapitre, différentes structures LDMOS à canal N, réalisées sur « substrat sur isolant » (SOI) et compatibles avec un procédé CMOS 0,18 µm, ont été optimisées en terme de compromis « résistance passante spécifique - tenue en tension », à partir de simulations TCAD à éléments finis. Les résultats de simulation des trois structures étudiées ont montré l'intérêt du STI sur les performances, notamment pour la protection de la fin de la grille à l'état bloqué par un oxyde qui supporte un champ électrique plus élevé que le silicium, améliorant de ce fait la tenue en tension.

Le concept de la superjonction, qui consiste à remplacer la région N de drift par une alternance de piliers P et N, permet d'améliorer la résistance passante spécifique par une forte augmentation du dopage de la région N, mais pénalise la tenue en tension à cause de la déplétion créée par le substrat.

Les différentes structures ainsi optimisées ont ensuite été simulées dynamiquement à partir d'un essai de charge de grille à courant constant. Cet essai donne une image des différentes capacités d'entrée (C_{GS} et C_{GD}). Là encore, le STI a montré son intérêt sur la réduction de la capacité entre grille drain C_{GD} et, donc, de la charge de grille Q_g nécessaire pour rendre passant le transistor LDMOS. Ces essais ont permis de conclure que les transistors STI-LDMOS et SJ-LDMOS avec ΔL_{Poly} (débordement du polysilicium de grille au dessus du STI) égal à 1,5 µm donnent les meilleurs compromis entre résistance passante spécifique et tenue en tension et les plus faibles pertes, du fait du plus faible produit « $R_{on} \times Q_g$ ».

La dernière étape, l'estimation de l'aire de sécurité, a été effectuée par la simulation du courant de body en fonction de la tension de grille. De cette caractéristique, deux données importantes, qui sont le pic de courant de body $I_{body\text{-}pic}$ et la valeur maximale de grille $V_{GS\text{-}max}$ avant l'apparition de l'effet Kirk, ont été étudiées pour les différentes structures. Le transistor STI-LDMOS avec L_{STI} égal à 4 µm présente les meilleures performances : la valeur de

$I_{body\text{-}pic}$, est relativement faible et celle de $V_{GS\text{-}max}$, qui caractérise le retournement par le déclenchement du bipolaire parasite, est assez élevée. La jonction PN entre P-well et N-drift doit être la plus éloignée du STI pour réduire la valeur de $I_{body\text{-}pic}$ et, à long terme, la dégradation du composant par injection de porteurs chauds dans l'oxyde.

Pour résumer sur ce chapitre sur les transistors LDMOS à canal N, nous retiendrons que les structures STI-LDMOS et SJ-LDMOS présentent les meilleures performances, notamment en terme de compromis entre résistance passante spécifique et tenue en tension. La prochaine étape consiste à valider expérimentalement ces résultats. C'est ce que nous verrons dans le chapitre 4.

III Chapitre 3

Développement de transistors LDMOS à canal P

III.1 Introduction

Le transistor LDMOS est communément utilisé dans les applications du type des convertisseurs présentés dans le premier chapitre. Ces transistors sont utilisés en configuration basse ainsi qu'en configuration haute. Cependant, dans ce derniers cas, le transistor à canal N, bien que présentant une plus faible résistance, est plus contraignant à l'utilisation. En configuration haute, la source peut, comme le drain, se retrouver à des tensions élevées. Ce potentiel élevé au niveau de la source nécessite une tension de grille qui devra l'être encore plus pour dépasser la tenson de seuil et ainsi rendre passant le transistor, complexifiant ainsi sa commande. C'est pour cette raison en particulier qu'un transistor à canal P peut s'avérer une solution viable.

Ce chapitre sera consacré à l'optimisation de transistors LDMOS à canal P de calibre en tension 120 V dans le but d'être utilisés en tant qu'interrupteurs de puissance en configuration haute. Les structures devront toujours être compatibles avec le procédé CMOS 0,18 µm sur SOI. Nous chercherons à optimiser les structures en terme de compromis « résistance passante spécifique / tenue en tension » à partir de simulations TCAD. Nous étudierons aussi les caractéristiques dynamiques ainsi que l'aire de sécurité.

III.2 Structures étudiées

Trois structures LDMOS à canal P seront étudiées dans ce chapitre. La première est un transistor LDMOS conventionnel avec STI, ou PLDMOS, semblable à la structure du chapitre précédent, à l'exception d'une plaque de champ de source de longueur L_{SFP}, qui est le prolongement de métallisation de source. La seconde présente une couche N sous le P-drift pour créer l'effet RESURF, appelée R-PLDMOS, et la troisième, portant le nom de SJ-PLDMOS, utilise le concept de la superjonction. Une coupe schématique de ces structures est représentée figure III-1.

Les paramètres importants du transistor PLDMOS sont la longueur de la région de drift L_{LDD}, du STI L_{STI}, celle du débordement du polysilicium de grille au dessus du STI ΔL_{Poly}, la longueur de la plaque de champ de la source au-delà du polysilicium de grille L_{SFP} et le dopage N_A du P-drift. Pour la structure R-PLDMOS, les paramètres supplémentaires sont les épaisseurs de la couche N enterrée (T_{NBL}) et la hauteur résultante de la région de drift $T_{P\text{-}drift}$, ainsi que leurs dopages respectifs $N_{D\text{-}BL}$ et $N_{A\text{-}drift}$. Les grandeurs supplémentaires

paramétrables du transistor à superjonction sont les largeurs des piliers Y_{Npi} et Y_{Ppi} ainsi que leurs dopages $N_{D\text{-}pi}$ et $N_{A\text{-}pi}$.

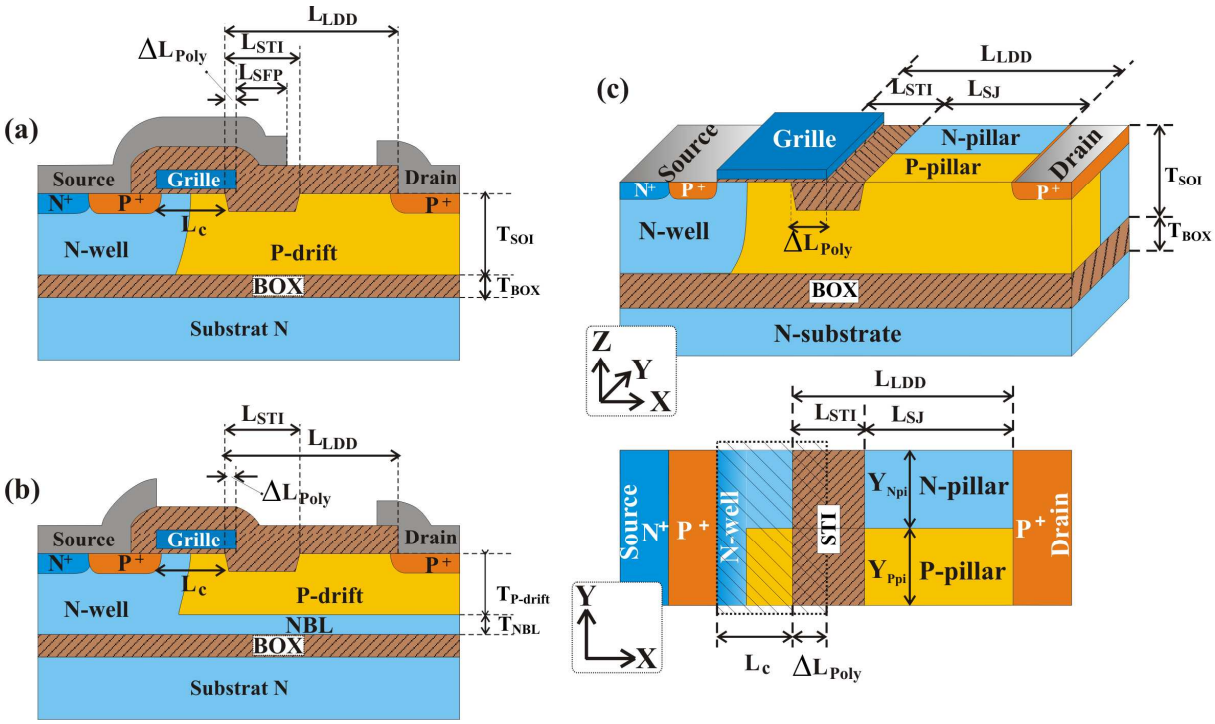

Figure III-1 : Coupes schématiques des structures étudiées : (a) transistor PLDMOS, (b) transistor R-LDMOS et (c) transistor SJ-PLDMOS

III.3 Optimisation du compromis « résistance passante spécifique – tenue en tension »

L'utilisation du transistor LDMOS à canal P en configuration haute rend les polarisations de ses électrodes différentes. La figure III-2 montre un montage en demi-pont où un transistor PMOS est utilisé en configuration haute. Dans le cas où le transistor NMOS est passant et le PMOS bloqué, ce dernier est polarisé de la manière suivante : le drain se retrouve au même potentiel que le substrat, qui lui est à la masse (0 V) alors que la source et la grille supportent la même tension positive $+V_{DD}$. C'est sous ces conditions que nous optimiserons la tenue en tension des différentes structures LDMOS à canal P.

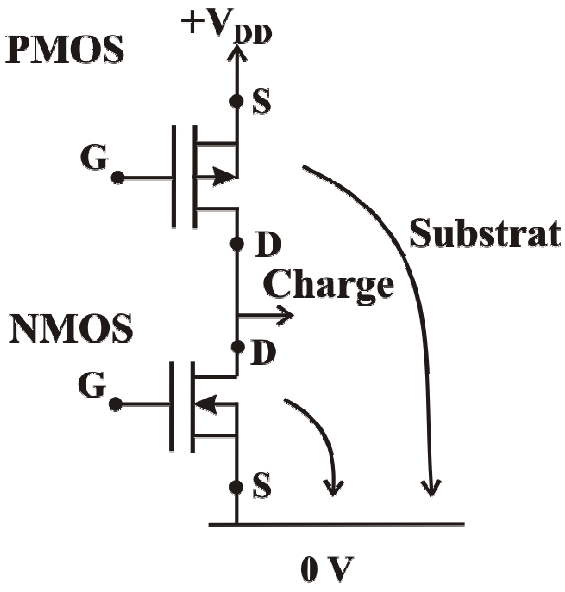

Figure III-2 : Exemple de montage en demi-pont utilisant un transistor NMOS en configuration basse et un transistor PMOS en configuration haute

III.3.1 Transistor LDMOS à canal P ou PLDMOS

Le transistor P-LDMOS reprend la même architecture que le transistor STI-LDMOS étudié dans le chapitre précédent. Les résultats de simulation aux états bloqué et passant (pour V_{GS} = -10 V et V_{DS} = -0,2 V) sont représentés figure III-3 en fonction du dopage de la région P de drift.

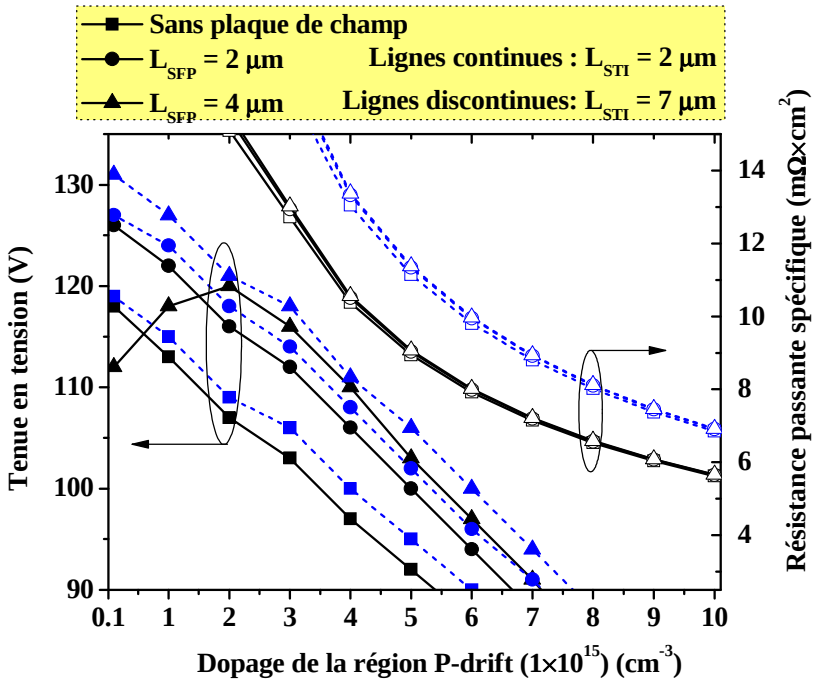

Figure III-3 : Tenue en tension et résistance passante spécifique en fonction du dopage de la région P-drift de la structure PLDMOS

Dans le cas de cette structure, la tenue en tension est régie par les propriétés d'une jonction PN plane polarisée en inverse. Les tensions de claquage les plus élevées sont obtenues pour les faibles valeurs de dopage N_A du P-drift, ce qui est en concordance avec les équations I-5 et I-7. L'ajout d'une plaque de champ de source au-delà du polysilicium de grille améliore la répartition du champ électrique longitudinal en surface de la région dans le SOI, comme le montre la figure III-4.

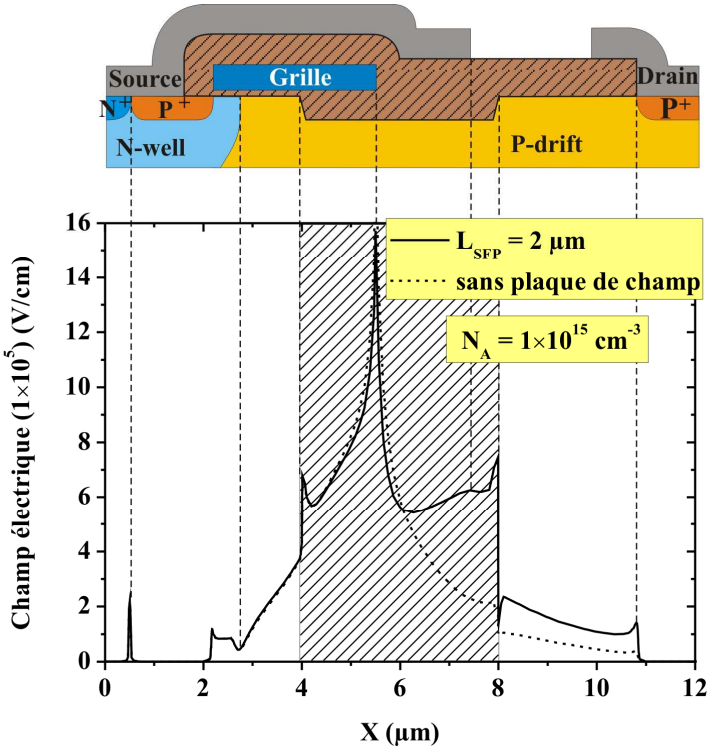

Figure III-4 : Répartition du champ électrique au moment du claquage en surface du transistor PLDMOS pour deux configurations : avec et sans plaque de champ de source

L'interface 'silicium / oxyde' crée un pic de champ électrique entre le silicium du P-drift et le STI côté source mais aussi entre l'oxyde de grille et le P-drift. C'est à cet endroit que le claquage par avalanche a lieu, du fait de la faible épaisseur de l'oxyde de grille. La présence de la métallisation de source au-delà de la grille entraine une augmentation du champ électrique au-delà du polysilicium de grille dans l'oxyde. Ceci entraine un deuxième pic de champ électrique à l'interface 'silicium / oxyde' du côté du drain du STI. Cette meilleure répartition du champ électrique, obtenue grâce à la plaque de champ, entraine ainsi un accroissement de la tenue en tension.

Les conditions de polarisation font que l'effet RESURF, obtenu naturellement pour les transistors à canal N, n'est plus présent pour les transistors PMOS. Pour recréer la déplétion du P-well et donc améliorer la répartition du champ électrique dans la structure, l'ajout d'une

région de type N, au même potentiel que la source et parallèle au P-drift, est une solution que nous appliquerons dans les autres structures P-LDMOS.

III.3.2 Transistor PLDMOS à superjonction

La première solution est d'utiliser une superjonction : les piliers N parallèles à ceux de type P vont créer une déplétion dans la troisième dimension (figure III-1). À l'état bloqué, le principe de fonctionnement reste identique aux transistors SJ-LDMOS développés dans le chapitre 2, puisque les piliers P et N sont toujours polarisés en inverse et leur bon fonctionnement est conditionné par la balance des charges. Par conséquent, les équations II-2 à II-4 restent valables, ce qui permet de partir sur les mêmes valeurs de dopage que pour les structures à canal N.

Les résultats de simulation de tenue en tension et de résistance passante spécifique sont représentés figure III-5 pour (a) Y_{Pi} = 1 µm et (b) Y_{Pi} = 0,6 µm en fonction de la variation de dopage du pilier N relativement à celui du pilier P (Equation III-1) pour différentes valeurs de α (Equation II-4) et en considérant L_{STI} = 4 µm et ΔL_{Poly} = 1,5 µm.

$$\Delta N_{D-pi}(\%) = \frac{N_{D-pi} - N_{A-pi}}{N_{A-pi}} \times 100 \qquad \textbf{Équation III-1}$$

La réduction de α engendre une diminution des dopages $N_{A\text{-}pi}$ et $N_{D\text{-}pi}$ qui sont, rappelons-le, respectivement les dopages des piliers P et N. Nous constatons, d'après les résultats de la figure III-5, que la condition de balance des charges est obtenue pour des dopages du pilier N supérieurs à ceux du pilier P, comme dans le cas des transistors à canal N, toujours à cause de la déplétion du substrat. Il en résulte une tenue en tension toujours inférieure à 150 V.

À l'état bloqué, les piliers P et N les plus faiblement dopés seront donc totalement déplétés à des tensions plus faibles. À l'inverse, les structures avec α égal à 1 ne seront totalement déplétées que lorsque le champ électrique atteindra sa valeur critique à la jonction entre les piliers. Par conséquent, certaines régions, principalement au niveau du drain du côté du pilier P, risquent de ne pas être déplétées au moment du claquage, expliquant ainsi la plus faible tenue en tension dans ce cas, comparée aux valeurs de α inférieures. En revanche, la réduction de α entraine inéxorablement l'augmentation immédiate de la résistance passante spécifique.

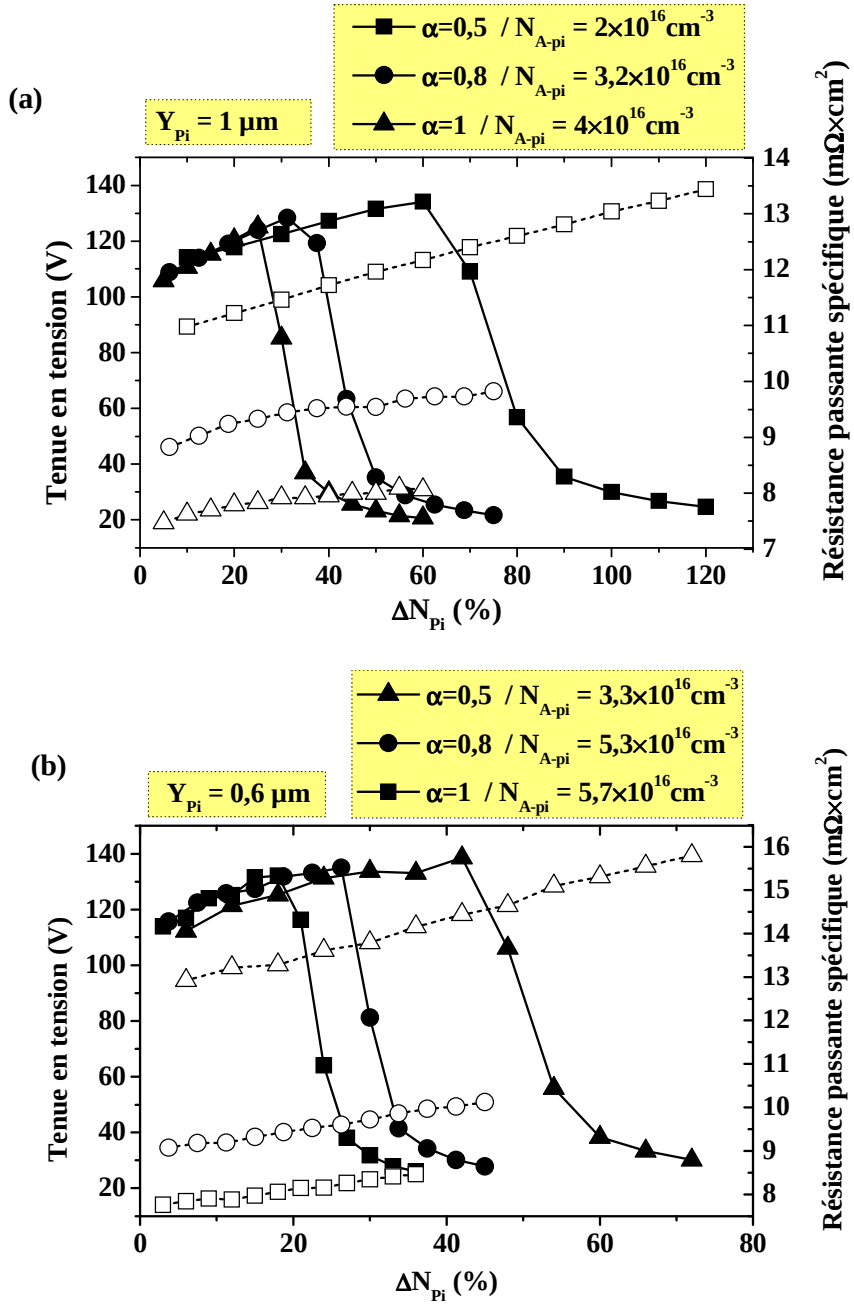

Figure III-5 : Compromis « tenue en tension / résistance passante spécifique » du transistor SJ-PLDMOS pour différentes valeurs de α et largeurs de piliers Y_{pi}

III.3.3 Transistor PLDMOS à couche N enterrée

Une solution alternative à la superjonction est l'utilisation d'une couche N sous le P-well pour créer un effet RESURF. Cette technique est régulièrement utilisée pour des structures réalisées sur des substrats SOI épais (T_{SOI} > 5µm). Dans ce cas, une couche P fortement dopée est implantée en surface du SOI [68] [69]. Le SOI étant, dans ce cas, de type N, la déplétion verticale est possible avec la couche P en surface. Le bon fonctionnement de cette structure est conditionné par la relation $T_{P-drift} \times N_A = 2.10^{12}\, cm^{-2}$ (Cf. paragraphe III.2.2

du chapitre 1) mais pas par la configuration de la région N du SOI. Or nos structures sont réalisées sur un substrat SOI fin : la couche N ajoutée sous le P-well devra être peu épaisse pour ne pas pénaliser la conduction dans la région P. L'optimisation devra se faire autant sur la configuration du P-well que sur la couche N enterrée (NBL).

III.3.3.a Étude théorique

Dans un premier temps, nous expliquerons les différents phénomènes mis en jeu, ce qui nous permettra d'obtenir des formules analytiques pour faire un premier dimensionnement de la structure. La figure III-6 montre les différents processus de déplétion mis en jeu dans cette structure.

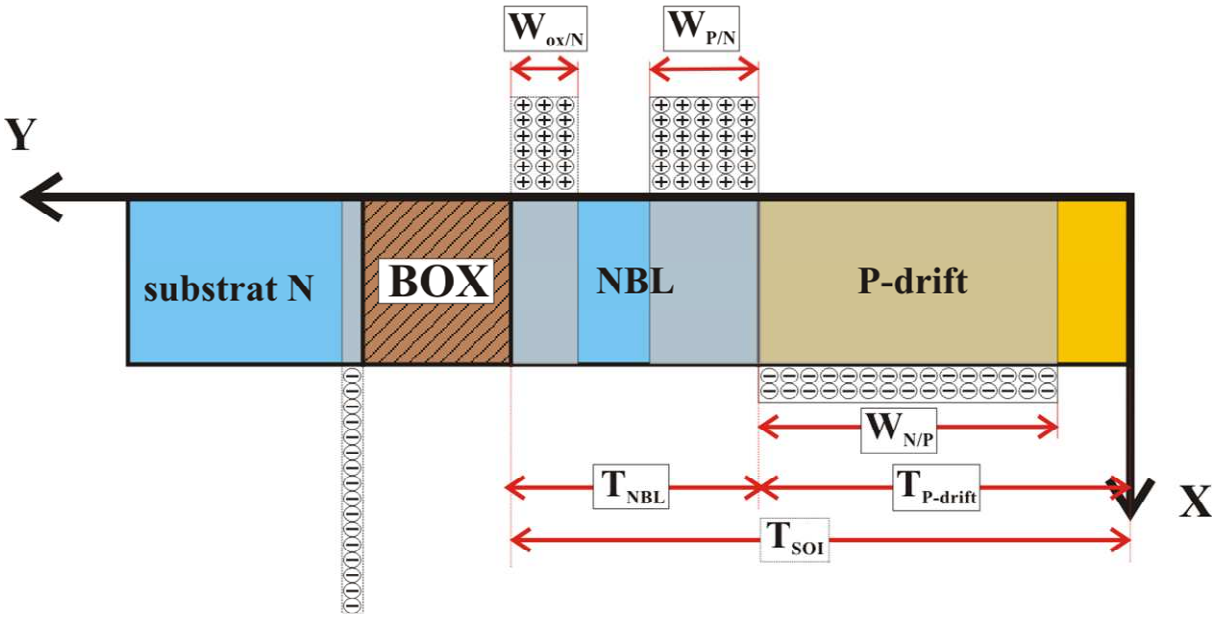

Figure III-6 : Distribution des charges à l'état bloqué dans la structure R-PLDMOS le long d'une coupe verticale

Nous rappelons qu'à l'état bloqué, la couche NBL est soumise à une polarisation positive de valeur V_{DS} puisqu'elle est connectée à la source, alors que le P-drift et le substrat sont polarisés à la masse. La jonction PN entre NBL et P-drift est donc polarisée en inverse, ce qui aura pour effet d'étendre la zone de charge d'espace d'une largeur $W_{N/P}$ du côté P et $W_{P/N}$ côté N. L'effet de champ entre le substrat et la couche NBL va déplèter cette dernière d'une largeur $W_{ox/N}$ et créer une accumulation de trous du côté du substrat. La largeur déplétée dans la région N, W_{NBL}, est donnée par :

$$W_{NBL} = W_{P/N} + W_{ox/N} \qquad \textbf{Équation III-2}$$

Avec [70] :

$$W_{ox/N} = \frac{\varepsilon_{Si} \times \varepsilon_{ox} \times V_D}{q \times N_{D-BL} \cdot (\varepsilon_{Si} \times T_{BOX} + \varepsilon_{ox} \times T_{NBL})}$$ **Équation III-3**

$$W_{P/N} = \sqrt{\frac{2 \cdot \varepsilon_{Si}}{q \times N_{D-BL} \cdot \left(1 + \frac{N_{D-BL}}{N_{A-drift}}\right)} \times (V_D + V_{bi})} \approx \sqrt{\frac{V_D}{q \times N_{D-BL}}}$$ **Équation III-4**

Où V_{bi}, potentiel de diffusion de la jonction PN (bi : *built-in*), est négligeable pour les fortes valeurs de V_D. Au claquage, la région NBL doit être totalement déplétée, ce qui revient à $W_{NBL} = T_{NBL}$ et $V_D = BV_{DS}$, avec :

$$V_{BR} = \frac{\varepsilon_{Si} \times E_C{}^2}{2 \times q \times N_{D-BL}}$$ **Équation III-5**

À partir de ces conditions, et en considérant $N_{D-BL} = N_{A-drift}$, l'équation III-2 devient :

$$W_{NBL} = T_{NBL} = \frac{\varepsilon_{Si} \times E_C}{q} \left(\frac{1}{\sqrt{2}} + \frac{\varepsilon_{Si} \times E_C}{q \times N_{D-BL}} \times \frac{\varepsilon_{ox}}{2 \times (\varepsilon_{Si} \times T_{BOX} + \varepsilon_{ox} \times T_{NBL})} \right)$$ **Équation III-6**

Dans cette équation, l'épaisseur de la couche NBL (T_{NBL}) apparaît des deux cotés de l'égalité. Il est cependant possible d'exprimer $N_{D\text{-}BL}$ en fonction des différents paramètres structurels :

$$N_{D-BL} = \frac{1}{2 \times T_{NBL}} \cdot \left(\frac{\varepsilon_{Si} \times E_C}{q \times \sqrt{2}} + \sqrt{\left(\frac{\varepsilon_{Si} \times E_C}{q \times \sqrt{2}} \right)^2 + 4 \times T_{NBL} \times \left(\frac{\varepsilon_{Si} \times E_C}{q} \right)^2 \times k_1} \right)$$ **Équation III-7**

Avec :

$$k_1 = \frac{\varepsilon_{ox}}{2 \cdot (\varepsilon_{Si} \times T_{BOX} + \varepsilon_{ox} \times T_{NBL})}$$ **Équation III-8**

Cette équation exprime le dopage optimal de la région NBL en fonction des différents paramètres structurels. De même, la déplétion entre NBL et P-drift engendre une extension verticale de la charge d'espace du côté du P-well. La valeur optimale de dopage $N_{A\text{-}drift}$ pour $W_{P/N} = W_{P-drift}$ est donnée par :

$$N_{A-drift} = \frac{\varepsilon_{Si} \times E_C}{q \times \sqrt{2} \times (T_{SOI} - T_{NBL})}$$ **Équation III-9**

Les valeurs de $N_{A\text{-}drift}$ et $N_{D\text{-}NL,}$ calculées à partir des équations III-7 et III-9, sont représentées figure III-7 en fonction de T_{NBL} et $T_{P\text{-}drift}$.

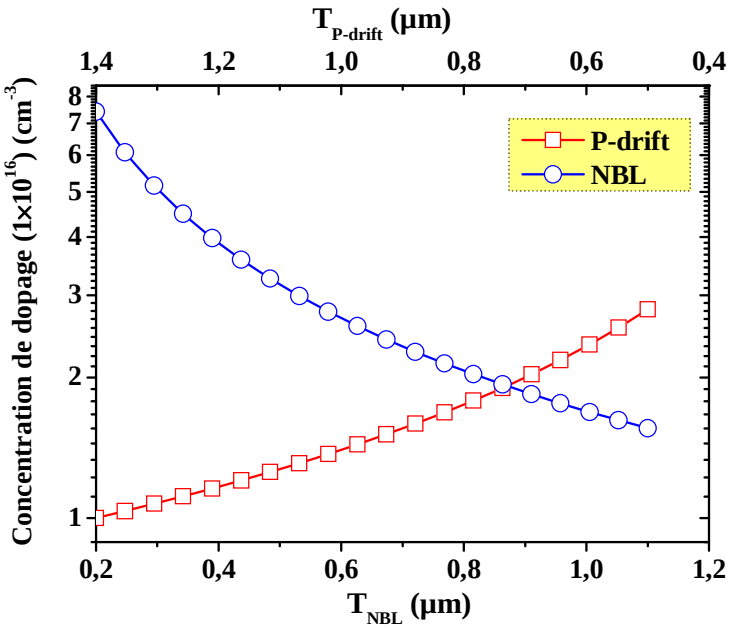

Figure III-7 : Dopage des régions de P-drift et NBL en fonction de leurs épaisseurs

Ces résultats permettent, en fixant les épaisseurs des différentes couches, de déterminer les valeurs optimales des dopages.

III.3.3.b Optimisation à partir des simulations

L'étude précédente nous a permis de déterminer les valeurs des paramètres à utiliser pour les simulations. Dans un premier temps, nous fixons à partir des équations précédentes la valeur de la couche T_{NBL}. En choisissant comme valeurs T_{NBL} = 0,3 µm et = 0,53 µm, nous obtenons $N_{D\text{-}BL}$ = 3×10^{16} cm^{-3} et 5×10^{16} cm^{-3}, respectivement. Il est ainsi possible de déduire les valeurs de $N_{A\text{-}drift}$ correspondantes : 1×10^{16} cm^{-3} ($T_{P\text{-}drift}$ = 1,3 µm) et $1{,}3\times10^{16}$ cm^{-3} ($T_{P\text{-}drift}$ = 1,07 µm). Or le P-drift, contrairement au NBL, est déplété dans les deux dimensions, verticalement par la couche NBL et horizontalement par le N-well de source. Un travail d'optimisation supplémentaire par simulation est donc nécessaire. Les résultats de la tenue en tension et résistance passante spécifique du transistor RESURF-PLDMOS sont représentés figure III-8.

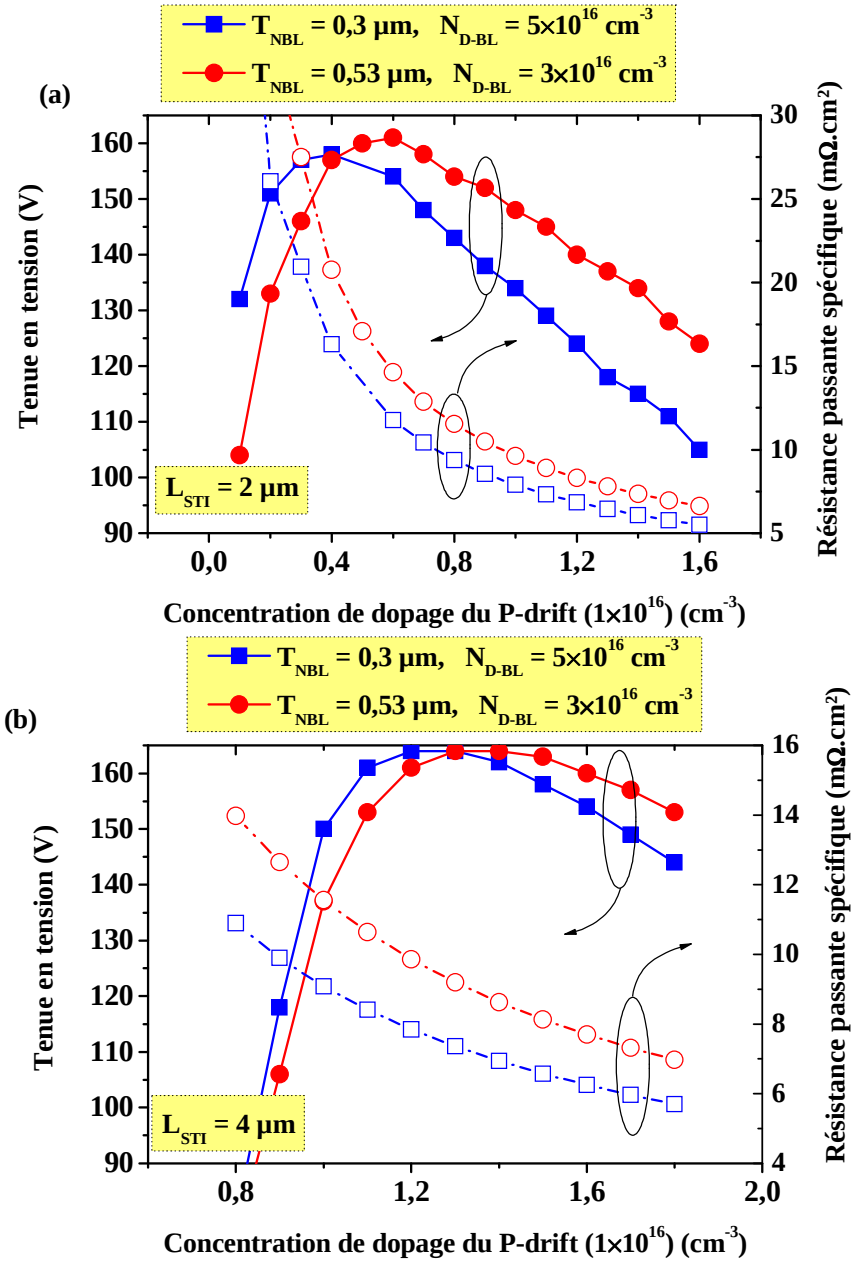

Figure III-8 : Tenue en tension et résistance passante spécifique du transistor RESURF-PLDMOS avec (a) L_{STI} = 2 µm et (b) L_{STI} = 4 µm

L'augmentation de T_{NBL} entraîne une augmentation de la résistance passante spécifique à cause de la diminution de la surface de conduction. La tension de claquage maximale admissible atteint 160 V et cette valeur est obtenue pour des valeurs de dopage du P-drift plus élevées. La courbe de tenue en tension correspond à un effet RESURF, c'est-à-dire qu'il existe une valeur $N_{A\text{-}drift}$ du P-drift donnant une tension de claquage maximale. À ce point, la répartition du champ électrique est optimale, comme le montre la figure III-9.

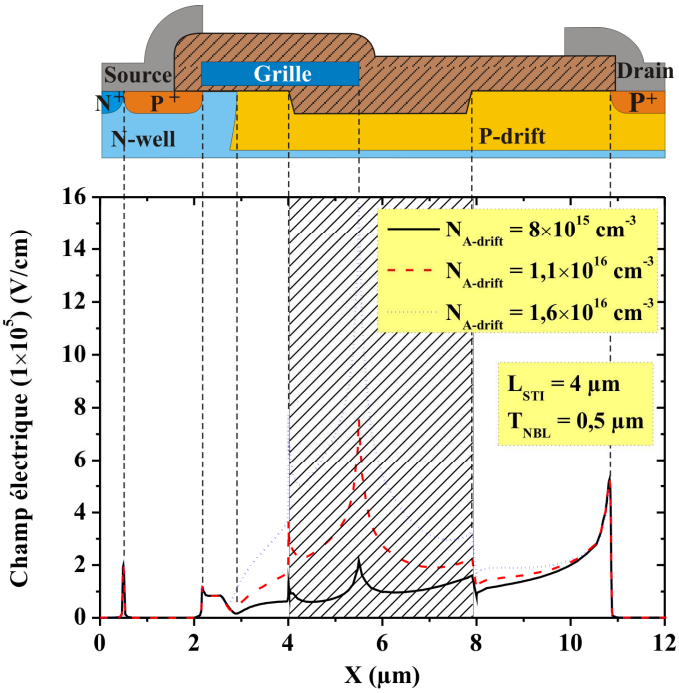

Figure III-9 : Influence du dopage du P-well sur le champ électrique surfacique du transistor R-PLDMOS

Pour les plus faibles valeurs de dopage du P-drift, le champ électrique se concentre à la diffusion P^+ du drain. L'augmentation du dopage provoque un déplacement du pic de champ électrique du côté de la source. Le pic de champ électrique critique se trouve à l'interface STI / P-drift du côté de la source juste sous la grille. La valeur de champ électrique la plus importante se situe à la fin du polysilicium de grille dans l'oxyde.

III.3.4 Comparatif des caractéristiques des structures LDMOS à canal P

Les résultats de tenue en tension et de résistance passante spécifique des trois structures sont comparés dans le tableau III-1. La faible concentration de dopage de la région P-drift dans le transistor PLDMOS nécessaire pour atteindre la tenue en tension de 120 V entraîne une forte augmentation de la résistance passante. Il existe, dans le transistor à superjonction, un compromis entre résistance passante spécifique et tenue en tension suivant la valeur de α. Une valeur de α réduite améliore la tenue en tension mais dégrade la résistance passante spécifique, alors qu'une valeur élevée de α favorise la résistance passante au détriment de la tenue en tension. Pour une même valeur de α, la réduction de la largeur des piliers (Y_{pi}) à des valeurs trop faibles a pour effet d'accroître la valeur de la résistance passante spécifique malgré l'augmentation du dopage engendré à cause de la déplétion latérale entre les piliers qui pénalise fortement la surface de conduction. Les transistors R-PLDMOS sont les seules structures à avoir une tenue en tension supérieure à 150 V, tout en présentant les meilleures performances en termes de résistance passante spécifique.

	$R_{on\text{-}sp}$ (mΩ.cm^2)	BV_{DS} (V)	$BV_{DS}^2/R_{on\text{-}sp}$ (V^2.Ω^{-1}.cm^{-2})
PLDMOS L_{STI} = 2 µm L_{SFP} = 4 µm	15,6	120	9,23×10^6
SJ-PLDMOS α = 1 Y_{pi} = 1 µm	7,83	125	1,99×10^7
SJ-PLDMOS α = 0,8 Y_{pi} = 1 µm	9,45	128	1,73×10^7
SJ-PLDMOS α = 1 Y_{pi} = 0,6 µm	8,05	132	2,16×10^7
R-PLDMOS L_{STI}=4 µm, T_{NBL} =0,3 µm	7,36	164	3,65×10^7
R-PLDMOS L_{STI}=4 µm, T_{NBL} =0,53 µm	8,63	164	3,12×10^7

Tableau III-1 : Comparaison des différentes structures LDMOS à canal P en terme de compromis résistance passante spécifique / tenue en tension

Finalement, les trois structures sont comparées, en termes de compromis « résistance passante spécifique – tenue en tension », à l'état de l'art des transistors PLDMOS sur la figure III-10.

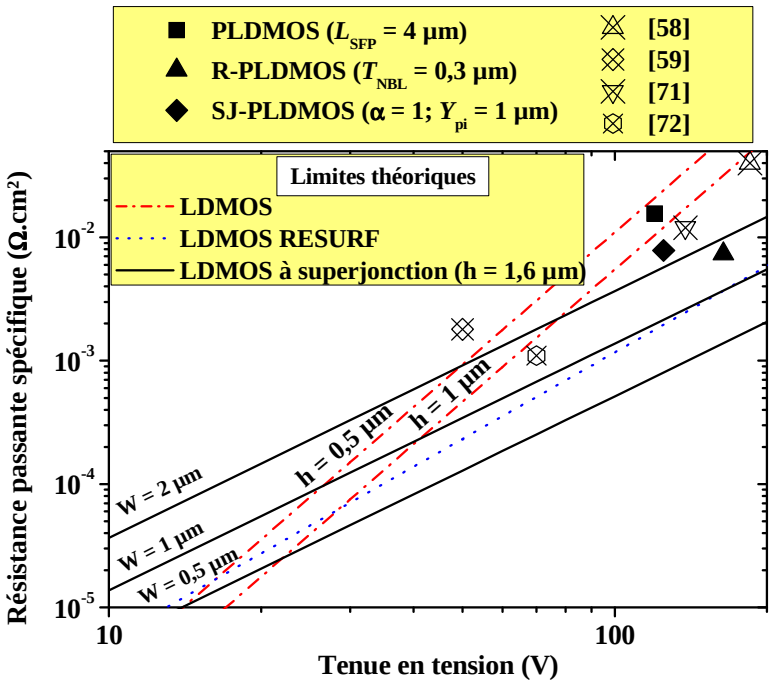

Figure III-10 : Comparaison entre les limites théoriques du silicium, les résultats obtenus et l'état de l'art des transistors LDMOS à canal P publiés

Les caractéristiques du transistor R-PLDMOS se rapprochent de la limite théorique des transistors RESURF. Les transistors à canal P n'étant pas les architectures les plus couramment utilisées, la comparaison avec l'état de l'art est plus limitée que dans le cas des transistors à canal N.

III.4 Comportement dynamique

La simulation de charge de grille, et donc de Q_g, des différentes structures LDMOS à canal P doit être faite dans les mêmes conditions que celles pour l'extraction de la résistance passante spécifique pour le calcul du facteur de mérite « R_{on}×Q_g », soit à V_{DS} = -0,2 V et pour V_{GS} = - 10 V. Cependant, la capacité C_{GD}, ou capacité Miller, est quasiment nulle pour des faibles valeurs de V_{GD}. La charge de grille des trois structures LDMOS à canal P, représentée figure III-10, a donc été faite pour V_{DS} = - 15 V.

Pour bien discerner les différences entre les caractéristiques de chaque structure, seule une partie de la courbe de V_{GS}, soit de 0 à 6 V, est représentée sur la figure III-11.

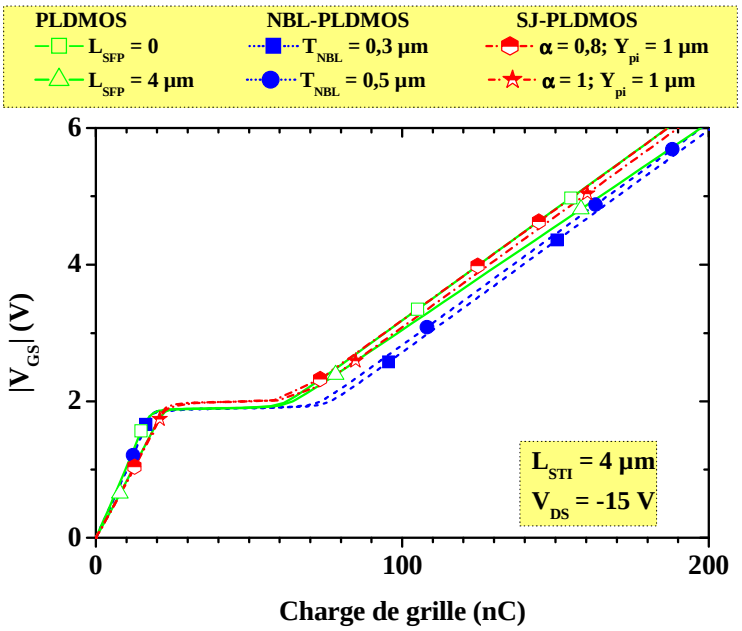

Figure III-11 : Comparaison de l'évolution de V_{GS} en fonction de la charge de grille des trois structures LDMOS à canal P

La première partie de la courbe correspond à la charge de la capacité grille source (C_{GS}). Dès la première phase de la courbe, on observe deux pentes différentes, correspondant à deux valeurs de C_{GS}. La croissance de V_{GS} est plus rapide pour les structures R-PLDMOS et PLDMOS sans plaque de champ de source (L_{SFP} = 0) par rapport aux autres structures

SJ-PLDMOS et PLDMOS avec une plaque de champ (L_{SFP} = 4 µm). La plaque de champ dans la structure PLDMOS augmente la valeur de la capacité C_{GS3} entre la métallisation de source et le polysilicium de grille (figure III-12). La capacité C_{GS} plus importante de la structure SJ-PLDMOS vient de la présence du pilier N partiellement déplété à ce niveau de tension V_{DS} dans notre cas (figure III-13).

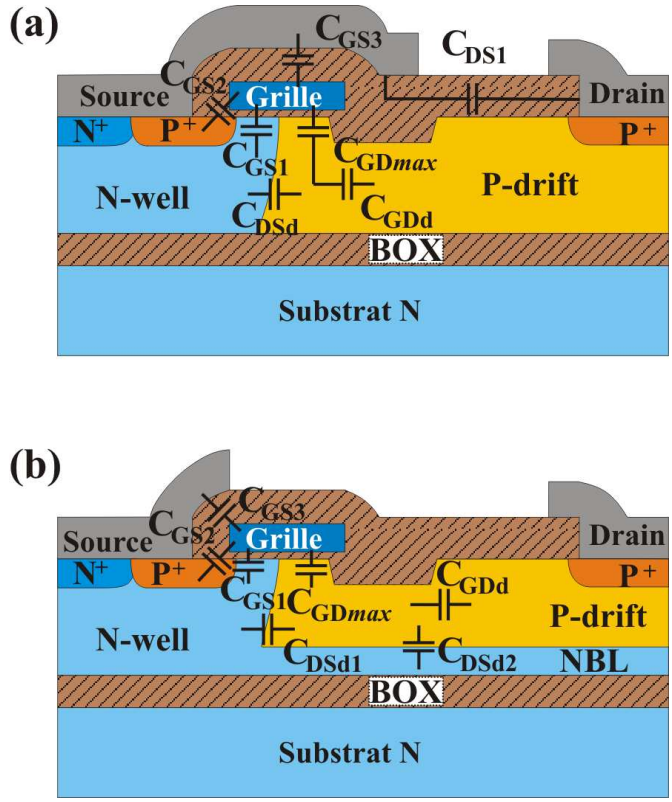

Figure III-12 : Localisation des capacités interélectrodes des structures (a) PLDMOS et (b) R-PLDMOS

Pendant la deuxième phase, correspondant à la charge de la capacité Miller, le courant I_D a atteint sa valeur nominale et la tension V_{DS} commence à décroître. La zone de charge d'espace dans la région de drift diminue, faisant augmenter les valeurs des capacités C_{GD} et C_{DS} (figure III-14). Quand la différence de potentiel entre grille et source V_{GD} descend au dessous de 4 V, les capacités C_{GD} et C_{DS} augmentent brusquement dans le transistor R-PLDMOS car la hauteur de la zone de charge d'espace dans la région P-drift devient inférieure à $T_{P\text{-drift}}$ - T_{STI} (figure III-1). Cette augmentation soudaine des capacités ralentit la décroissance de V_{DS} mais aussi l'augmentation de V_{GS}, nécessitant un temps de charge de ces capacités plus long. Ce phénomène n'apparaît pas dans le cas des transistors à superjonction puisque la déplétion entre les piliers a lieu dans la troisième dimension.

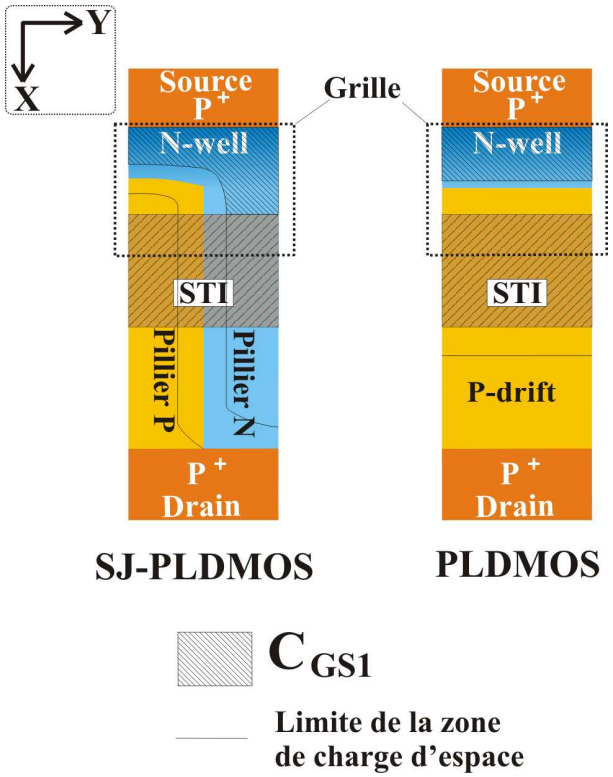

Figure III-13 : Comparaison de la capacité C_{GS1} entre les transistors PLDMOS et SJ-PLDMOS

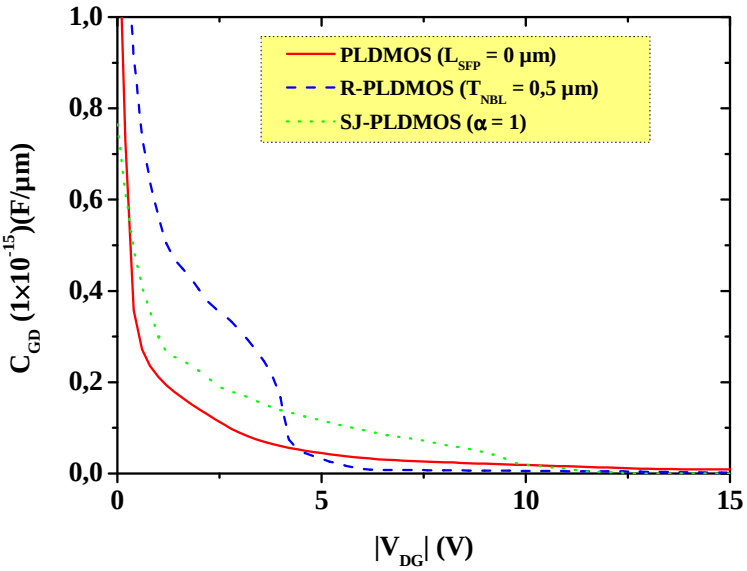

Figure III-14 : Évolution de la capacité C_{GD} en fonction de la tension V_{GD} pour les différentes structures LDMOS à canal P

Dans la troisième phase, la croissance de V_{GS} reprend. La pente correspond à la charge de la nouvelle capacité C_{GS} + C_{GDmax} où C_{GDmax} correspond à la capacité de l'oxyde de grille sous le P-drift. Toutes les structures présentent la même capacité à l'exception du transistor PLDMOS avec une plaque de champ entrainant une capacité C_{GS3} supplémentaire.

Le facteur de mérite « $R_{on}\times Q_g$ » est ensuite calculé pour les différentes structures et comparé dans le tableau III-2.

	$R_{on\text{-}sp}$ (mΩ.cm^2)	Q_g (nC)	$R_{on}\times Q_g$ (Ω×nC)	$BV_{DS}^2/R_{on\text{-}sp}$ (V^2.Ω^{-1}.cm^{-2})	$BV_{DS}^2/(R_{on\text{-}sp}^2\times Q_g)$
PLDMOS L_{STI} = 4 µm L_{SFP} = 0 µm	23,8	301	7,16	$9{,}23\times10^6$	$1{,}3\times10^6$
PLDMOS L_{STI} = 4 µm L_{SFP} = 4 µm	25,6	324	8,29	$1{,}99\times10^7$	$2{,}4\times10^6$
SJ-PLDMOS α = 0,8 Y_{pi} = 1 µm	9,45	298	2,82	$1{,}73\times10^7$	$6{,}1\times10^6$
SJ-PLDMOS α = 1 Y_{pi} = 1 µm	7,83	298	2,33	$2{,}16\times10^7$	$9{,}3\times10^6$
R-PLDMOS L_{STI}=4 µm, T_{NBL} =0,3 µm	7,36	303	2,23	$3{,}65\times10^7$	$1{,}6\times10^7$
R-PLDMOS L_{STI}=4 µm, T_{NBL} =0,53 µm	8,63	303	2,61	$3{,}12\times10^7$	$1{,}19\times10^7$

Tableau III-2 : Facteur de mérite « $R_{on}\times Q_g$ » des différentes structures LDMOS à canal P calculé pour V_{GS} = -10 V et V_{DS} = -0,2 V

Le facteur de mérite calculé dans le tableau III-2 montre clairement les moindres performances des transistors PLDMOS. Les structures SJ-PLDMOS et NBL-PLDMOS ont des valeurs de Q_g comparables. Or, comme la résistance passante des transistors R-PLDMOS est inférieure à celle des structures à superjonction, leur facteur de mérite est plus faible.

III.5 Aire de sécurité

La simulation du courant de body (I_{body}) en fonction de la tension de grille doit se faire dans les conditions de l'application. Le transistor étant en configuration haute (figure III-1), la source est polarisée à la haute tension alors que le drain et le substrat sont eux à 0 V, tandis que la grille est polarisée négativement par rapport à la source ($V_{GS} < 0$).

La caractéristique I_{body} en fonction de la valeur absolue de V_{GS} est représentée figure III-15 pour les trois structures LDMOS à canal P optimisées en terme de compromis « tenue en tension - résistance passante spécifique ».

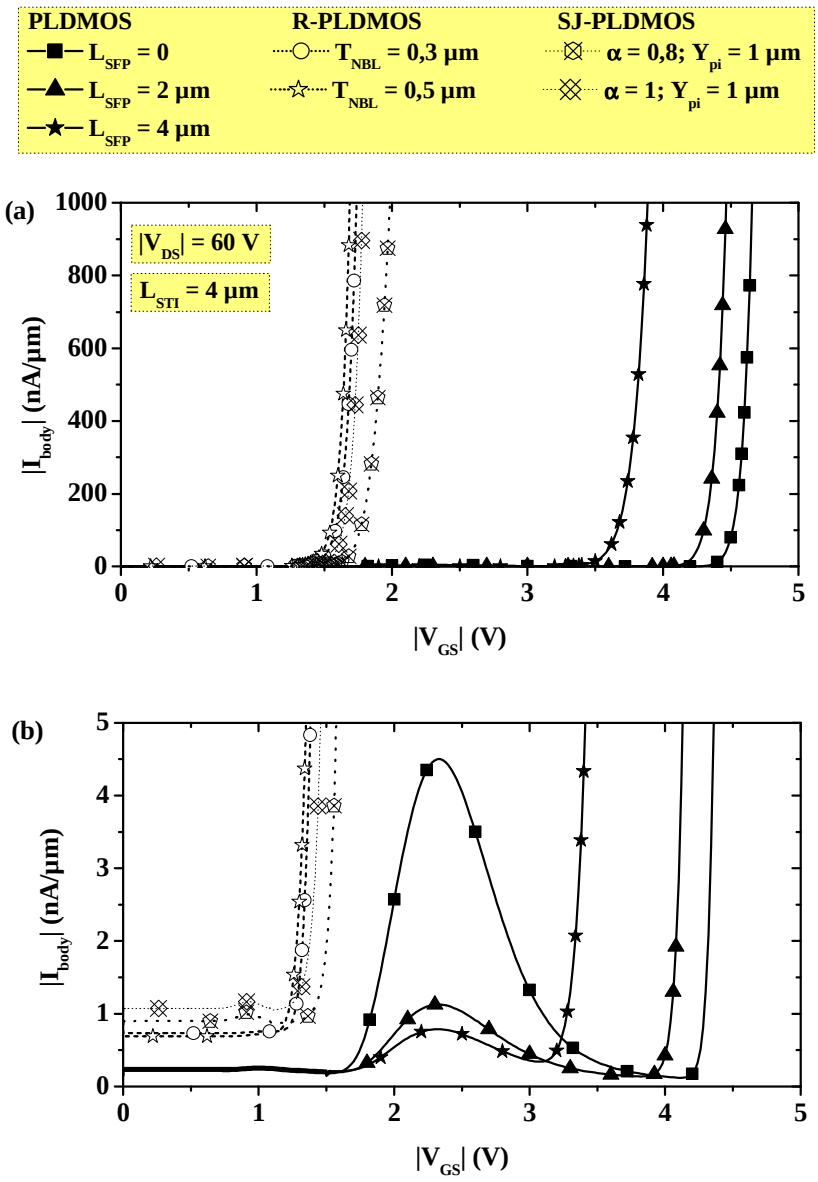

Figure III-15 : Caractéristique I_{body} en fonction de V_{GS} pour les trois structures LDMOS à canal P

L'allure des caractéristiques de la figure III-15 est semblable à celles des transistors à canal N présentées figure II-18 dans le cas des transistors PLDMOS. Pour ce qui est des structures SJ-LDMOS et NBL-LDMOS, le courant de body augmente brusquement, il en résulte une valeur de $V_{GS\text{-}max}$ faible. Pour les trois structures, un courant est présent dés V_{GS} égal à 0. Ceci peut s'expliquer par les polarisations utilisées mais aussi par l'évolution du champ électrique représenté respectivement figure III-16 et III-17 pour les structures PLDMOS et NBL-LDMOS.

Le courant de body, présent pour V_{GS} égal à 0, vient du champ électrique causé par la différence de potentiel entre source et substrat. Le premier pic de courant dans les structures PLDMOS est la conséquence du champ électrique important dans l'angle du STI côté source

comme le montre la figure III-16. La plaque de champ de source au-delà de la grille déplace le champ électrique du côté du drain, améliorant sa répartition, ce qui a pour effet de réduire le pic de courant. Le fait d'avoir un champ électrique élevé du côté du drain, dès les faibles valeurs de V_{GS}, dans le cas où L_{SFP} est égal à 2 et 4 µm, entraine une apparition de l'effet Kirk plus rapidement de par la proximité de la diffusion P^+ de drain.

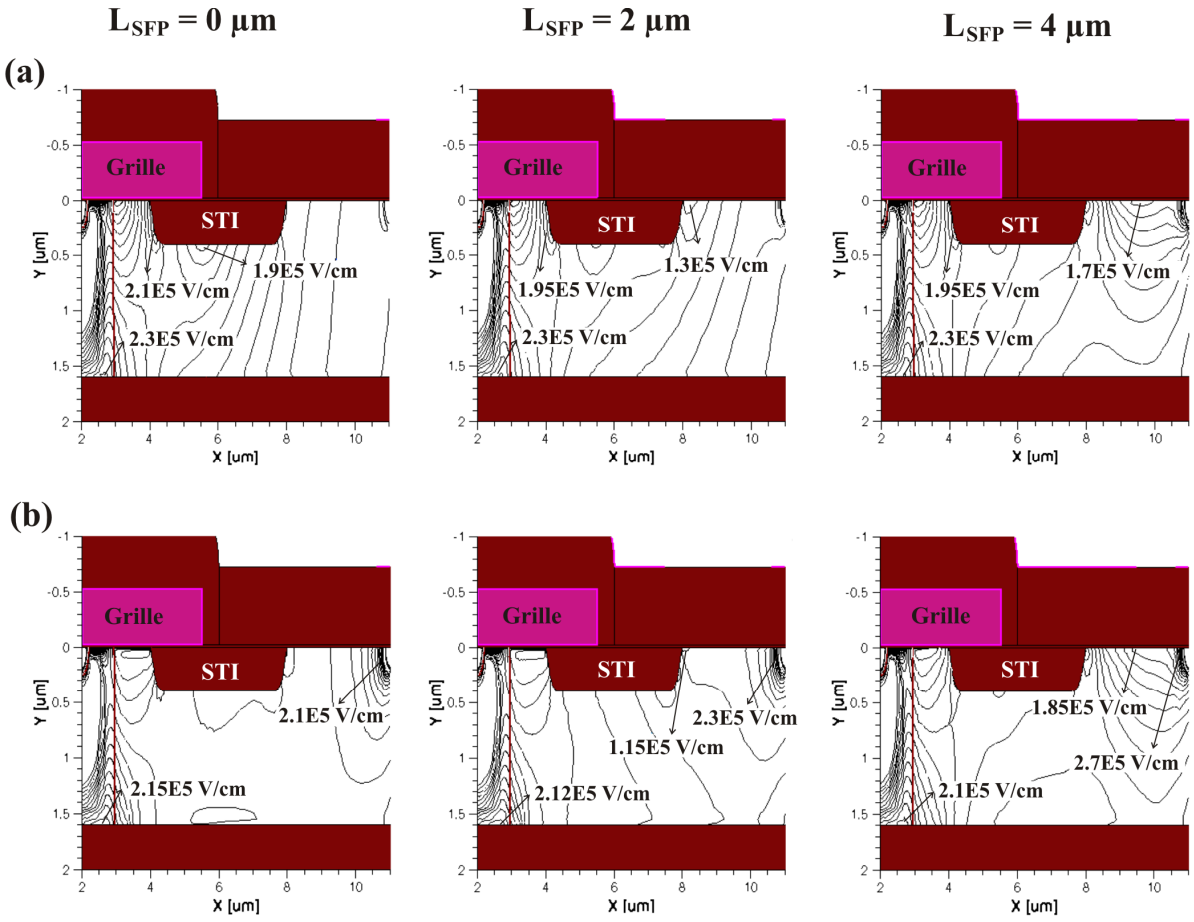

Figure III-16 : Comparaison de la répartition du champ électrique dans le transistor PLDMOS pour différentes valeurs de L_{SFP} pour (a) V_{GS} = -2,4 V et (b) V_{GS} = $V_{GS\text{-}max}$

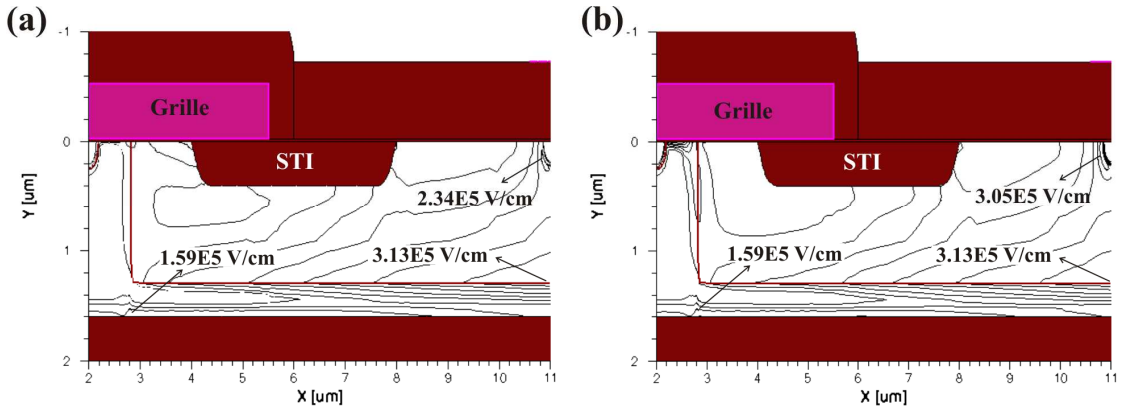

Figure III-17 : Répartition du champ électrique dans la structure NBL-LDMOS avec T_{NBL} = 0,3 µm pour (a) V_{GS} = 0V et (b) V_{GS} = $V_{GS\text{-}max}$

Dans le transistor NBL-PLDMOS (figure III-17), le fort champ électrique à la jonction 'NBL / P-drift' est à l'origine du fort courant pour V_{GS} égal à 0. À cette valeur, la présence d'un champ électrique à la diffusion P^+ de drain est la cause de l'apparition de l'effet Kirk pour des tensions V_{GS} très faibles.

Pour le transistor à superjonction, le champ électrique et le courant d'électrons en différentes coupes (figure III-18) sont représentés figure III-19, comme dans le chapitre 2, pour V_{DS} = 60 V et V_{GS} = -1,8 V, soit juste après l'apparition de l'effet Kirk.

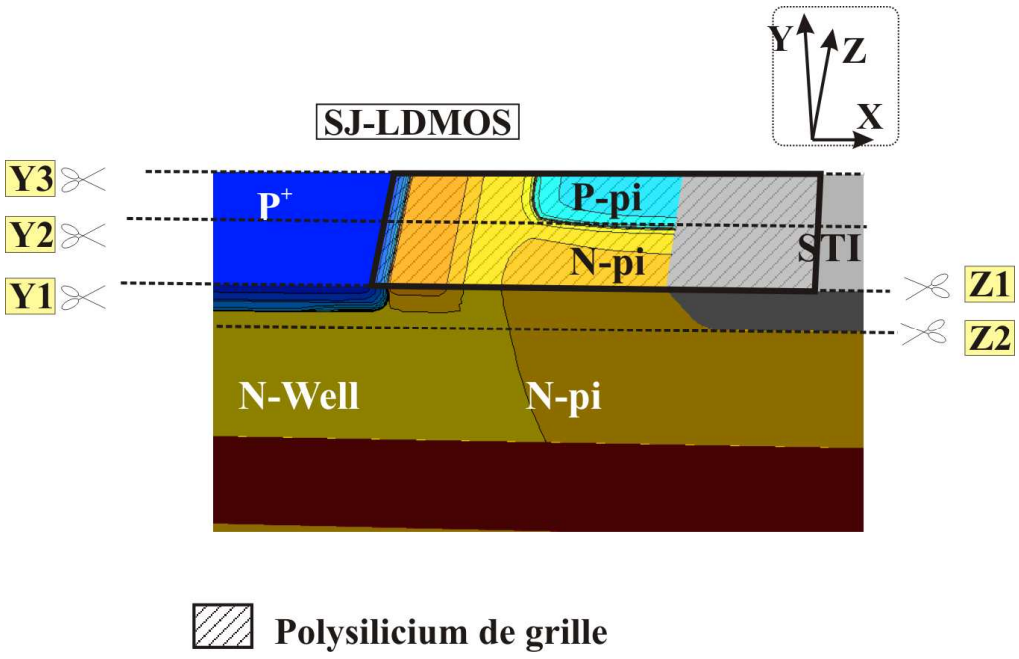

Figure III-18 : Détail de la région du canal du transistor SJ-PLDMOS avec la localisation des différentes coupes analysées

Les courbes de la figure II-21 du chapitre 2 étaient données pour V_{GS} = 2,5 V correspondant au pic de courant de body. Dans le transistor SJ-PLDMOS, du fait des polarisations différentes, le pic de courant n'existe pas. Dans le cas de la figure III-19, le champ électrique élevé, au niveau de la jonction entre les piliers P et N, est à l'origine de celui au niveau de la diffusion P^+ de drain, ce qui entraîne l'apparition de l'effet Kirk plus rapidement. Ce champ électrique génère des paires électrons - trous, dont les électrons sont évacués par le pilier N jusqu'à l'électrode de body. Le fort champ électrique dans le pilier N sous la grille crée une zone d'accumulation qui donne un chemin peu résistif pour le passage du courant d'électrons.

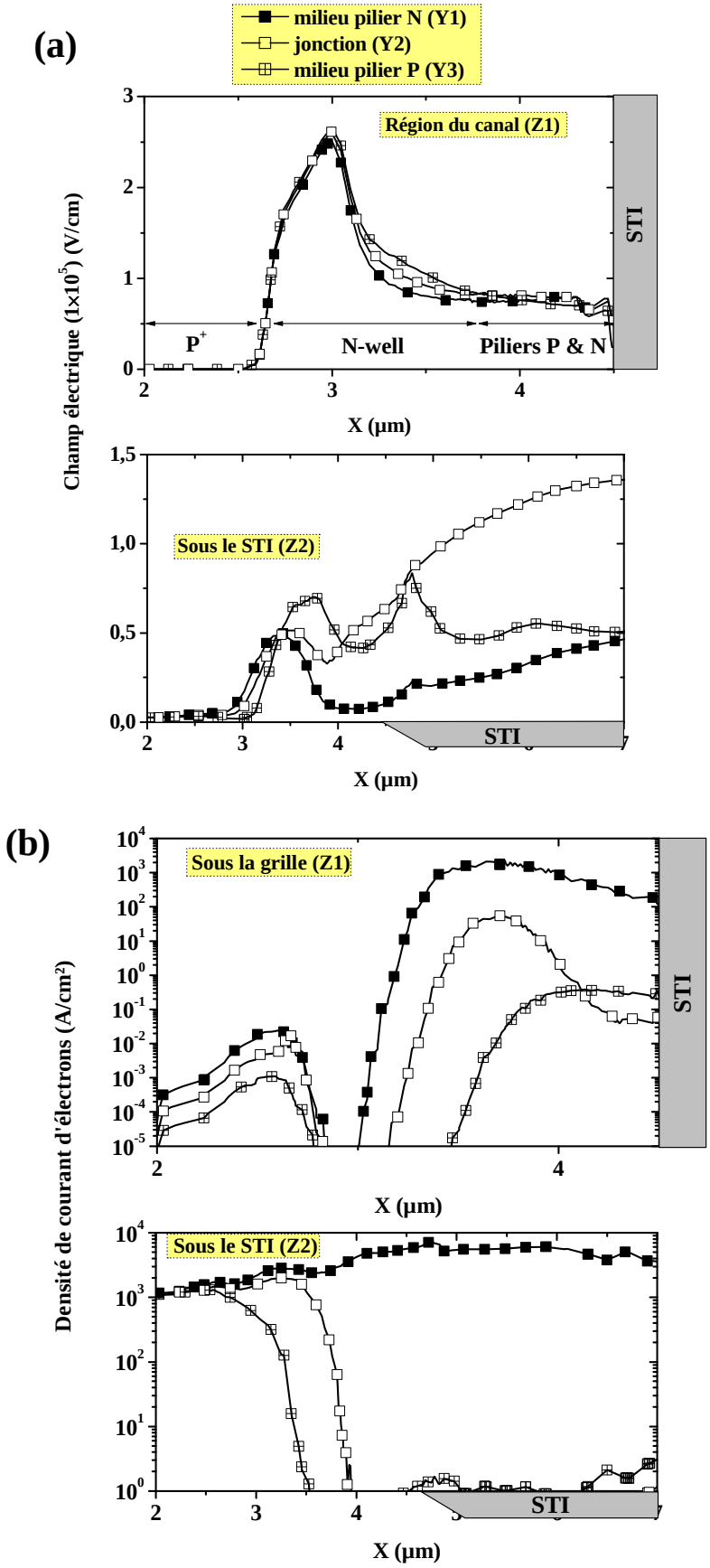

Figure III-19 : Répartition (a) du champ électrique et (b) de la densité de courant d'électrons dans le transistor SJ-PLDMOS aux différentes coupes de la figure III-17

En conclusion, les transistors PLDMOS présentent de meilleures performances en termes d'aire de sécurité par rapport aux transistors R-PLDMOS et SJ-LDMOS. La longueur de la plaque de champ (L_{SFP}) de la structure PLDMOS affecte en même temps la valeur de $I_{body\text{-}pic}$ et de $V_{GS\text{-}max}$.

Le principe de la compensation des charges, qui est le principe sur lequel reposent les transistors NBL-PLDMOS et SJ-PLDMOS pour l'amélioration du compromis « tenue en tension / résistance passante spécifique », est fortement remis en cause à cause de nombreuses charges mobiles à fort courant résultant de l'effet Kirk, venant ainsi déséquilibrer cette compensation et donc dégrader la tenue en tension.

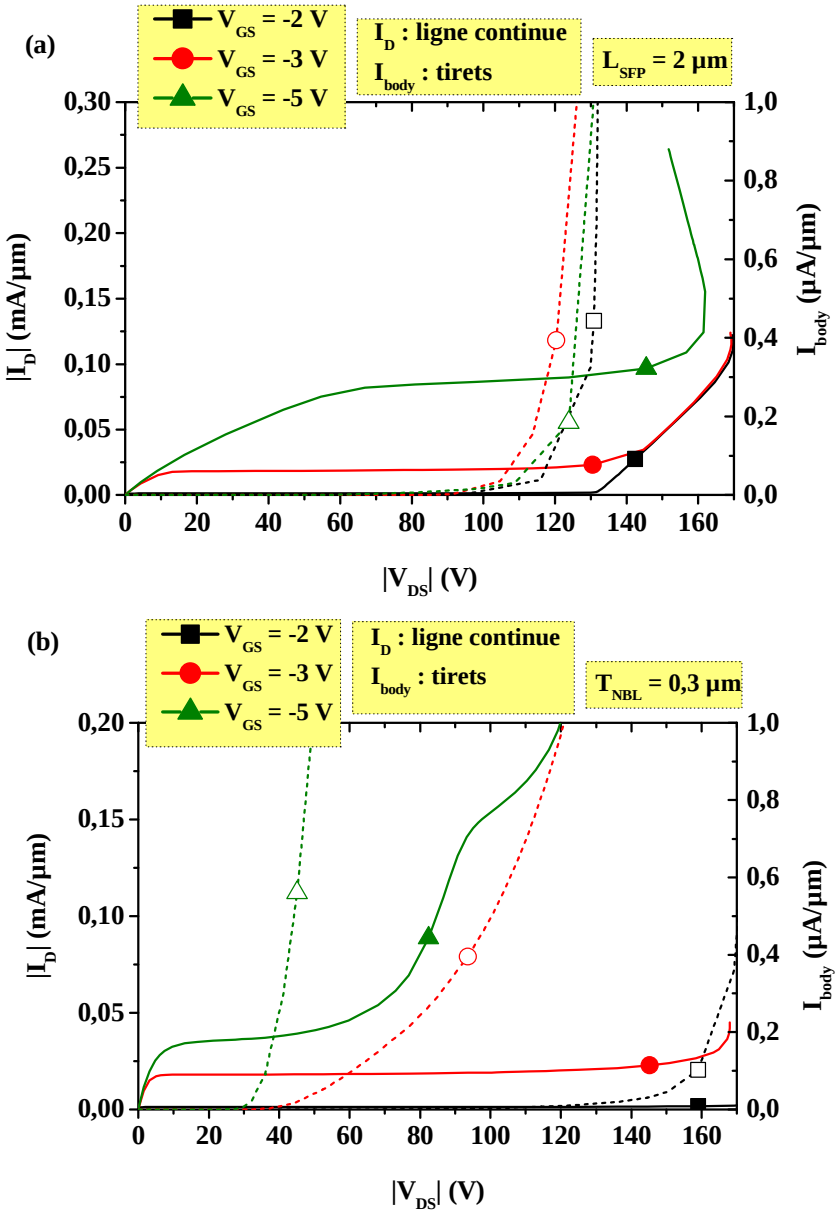

Figure III-20 : Courants de drain et de body en fonction de la tension drain – source pour le (a) PLDMOS avec L_{SFP} = 2 µm et (b) R-PLDMOS T_{NBL} = 0,3 µm

Comme dans le chapitre précédent, les caractéristiques de sortie ainsi que du courant de body des transistors PLDMOS et R-PLDMOS ont été simulées, et les résultats sont représentés sur la figure III-20.

Les résultats de la figure III-20 confirment ceux de la figure III-15 : le transistor PLDMOS présente de meilleurs résultats en termes d'aire de sécurité, comparé au transistor R-PLDMOS. Cette différence est plus marquée pour V_{GS} = - 5 V. Dans ce cas, un courant d'électrons circulant dans l'électrode de body apparaît dans le transistor R-PLDMOS pour une tension V_{DS} plus faible, et le retournement apparaît plus tôt que dans l'autre structure.

III.6 Conclusion du chapitre

Ce chapitre a été consacré à l'optimisation de transistors LDMOS à canal P utilisés en tant qu'interrupteurs en configuration haute à partir de simulations TCAD. Cette configuration inhibe l'effet RESURF présent dans les transistors à canal N. La conséquence directe est la dégradation du compromis « tenue en tension - résistance passante spécifique » dans les transistors PLDMOS.

Les structures SJ-PLDMOS et R-PLDMOS recréent un effet RESURF, soit verticalement soit dans la troisième dimension : ceci permet de réduire la résistance passante spécifique tout en ne dégradant pas la tenue en tension, voire en l'améliorant.

Les performances dynamiques ont ensuite été comparées par la simulation de la charge de grille. La charge de grille Q_g nécessaire pour rendre passant le transistor est relativement proche dans les trois structures. Nous avons cependant relevé que le transistor R-PLDMOS présentait une forme particulière de sa capacité C_{GD}, qui a pour effet d'augmenter le temps de charge de la capacité Miller. Cependant, cette capacité C_{GD} plus grande est compensée par une capacité C_{GS} plus faible que les autres structures, ne pénalisant donc pas les performances dynamiques.

Les trois structures ont finalement été simulées en termes d'aire de sécurité. Seul le transistor PLDMOS présente la même forme de caractéristique I_{body} en fonction de V_{GS} que les structures LDMOS à canal N présentées dans le chapitre 2. Dans cette structure, il existe un compromis entre $I_{body\text{-}pic}$ et $V_{GS\text{-}max}$ suivant la valeur de L_{SFP} utilisée. Les structures R-PLDMOS et SJ-PLDMOS présentent des caractéristiques très différentes. La tension V_{DS} élevée crée un champ électrique aux jonctions PN polarisées en inverse proche de la diffusion

P^+ de drain d'où a lieu l'effet Kirk, qui va engendrer le déclenchement du transistor bipolaire parasite.

Des structures LDMOS à canal P étudiées dans ce chapitre, nous retiendrons que la structure R-PLDMOS, qui est une architecture innovante puisqu'elle a fait l'objet d'un brevet, présente le meilleur compromis « résistance passante spécifique - tenue en tension » ainsi que le meilleur facteur de mérite '$R_{on}\times Q_g$', et ce malgré ses moindres performances en termes d'aire de sécurité.

IV Chapitre 4

Réalisation et validation expérimentale

IV.1 Introduction

Nous avons développé dans les chapitres précédents des structures LDMOS à canal N et P à partir de simulations TCAD. Les simulations ont montré que les caractéristiques électriques étaient très dépendantes des paramètres géométriques et technologiques, notamment du dopage de la région de drift ou de la superjonction, suivant les structures.

Les transistors réalisés doivent ainsi être validés expérimentalement pour confirmer ou éventuellement corriger les simulations. Dans ce chapitre, nous présenterons les résultats expérimentaux de certaines des structures étudiées dans les chapitres précédents et nous les confronterons aux simulations pour une éventuelle optimisation supplémentaire.

IV.2 Description du procédé technologique

Le procédé technologique utilisé, dont l'organigramme est représenté figure IV-1, est de type CMOS 0,18 µm sur SOI. Sur un substrat SOI dopé P, de concentration $N_A = 1\times10^{15}$ cm^{-3}, d'épaisseur $T_{SOI} = 1{,}6$ µm, l'isolation par STI est définie dans un premier temps. Ensuite, les quatre régions que sont les P-well, N-well, P-drift et N-drift sont réalisées par multiples implantations à différentes énergies. Les masques utilisés pour les régions P-well et N-well sont aussi utilisés pour réaliser les caissons de transistors NMOS et PMOS. Par conséquent, les doses et énergies d'implantation de ces régions sont fixes puisqu'elles définissent les tensions de seuil des différents transistors. Un recuit de diffusion est réalisé pour l'activation des dopants.

L'épaisseur de l'oxyde de grille est définie par le masque utilisé : il existe deux masques permettant d'avoir une épaisseur de 70 Å (7 nm utilisée pour les transistors CMOS 3,3 V) ou de 250 Å (utilisée pour les transistors CMOS 5 V). Le polysilicium de grille est dopé au phosphore (type N) dans le cas des transistors à canal N par une étape d'implantation supplémentaire.

Les caissons P^+ et N^+ sont réalisés en deux étapes. La première dite LDD est une première série d'implantations. Le polysilicium est dopé en même temps pour toutes les structures, ce qui permet d'obtenir un polysilicium de type P dans le cas des transistors à canal P. Les dopants sont ensuite activés par un recuit rapide d'activation (1080°C pendant 10 secondes). Les espaceurs réalisés en nitrure de silicium sont obtenus par dépôt et gravure ionique. Une nouvelle étape d'implantation est réalisée pour les différents P^+ et N^+. Les

mêmes masques que précédemment sont utilisés. L'activation se fait avec les mêmes conditions.

L'étape de « back-end » consiste à déposer l'oxyde de champ, ouvrir des contacts, déposer le premier niveau de métal et de le graver. Le procédé permet jusqu'à cinq niveaux de métal.

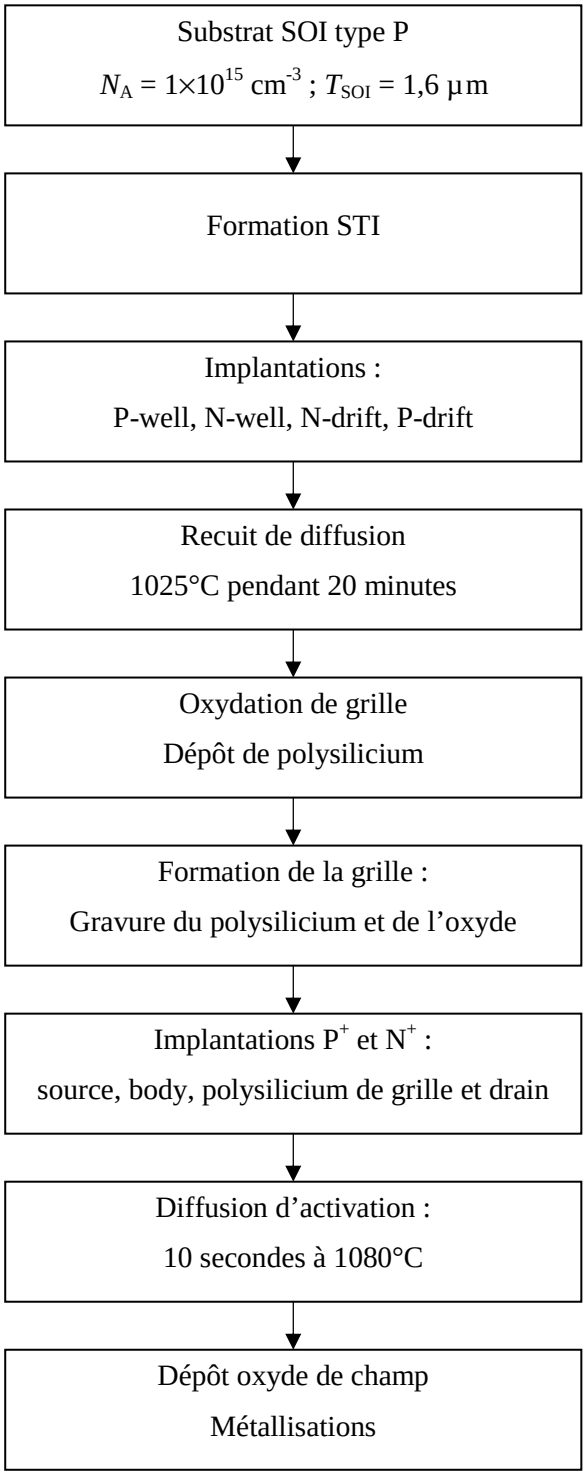

Figure IV-1 : Diagramme descriptif du procédé de fabrication des transistors LDMOS

IV.3 Essais expérimentaux

Certaines structures, les transistors STI-LDMOS et PLDMOS, ont pu être fabriquées par ATMEL. Pour la simplification des écritures, nous nommerons ces structures NLDMOS et PLDMOS. Les paramètres principaux, représentés figure IV-2 et identiques aux deux structures, sont la longueur de la région de drift L_{LDD} égale à 8 µm qui est identique à la longueur du STI (L_{STI}), le débordement du polysilicium de grille au-dessus du STI (ΔL_{Poly}) à 3,5 µm et la longueur du canal, correspondant au polysilicium de grille non recouvert par le STI, égale à 2 µm. Les régions N-well et P-well des deux structures sont réalisées par quatre implantations, dont une à basse énergie et haute dose pour ajuster la tension de seuil, et sont définies avec les mêmes masques. L'image SEM d'une structure fabriquée est aussi représentée sur la figure IV-2.a.

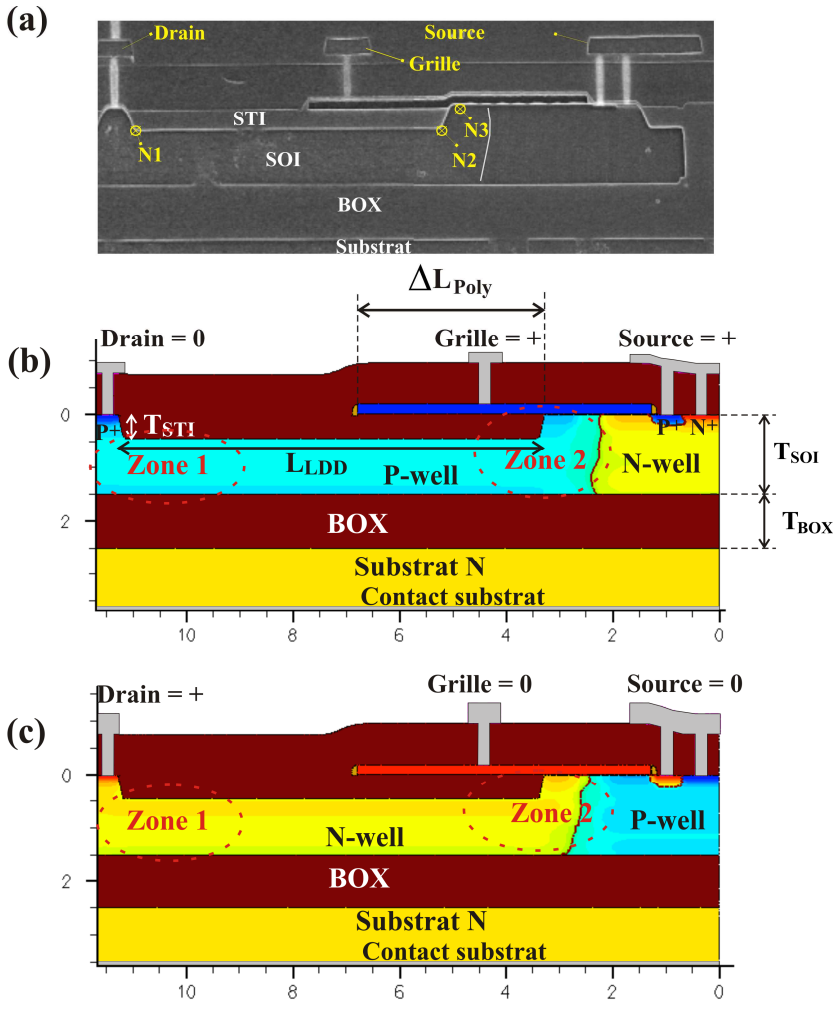

Figure IV-2 : (a) Image SEM d'une structure mesurée, coupes schématiques des structures (b) PLDMOS et (c) NLDMOS simulées

IV.3.1 Tension de claquage en fonction de la polarisation du substrat

Habituellement, les caractérisations sont obtenues en polarisant le substrat en face arrière à 0 V, qui est le potentiel de référence. Cependant, lorsqu'un transistor LDMOS est positionné en configuration haute (figure III-2), une tension entre source et substrat apparaît. Le potentiel de substrat a une influence sur l'effet RESURF et donc sur la tenue en tension, comme nous allons le voir.

IV.3.1.a PLDMOS et NLDMOS

Les résultats de la simulation de la tension de claquage en fonction de la polarisation du substrat sont comparés à ceux de la mesure figure IV-3 pour les transistors NLDMOS et PLDMOS.

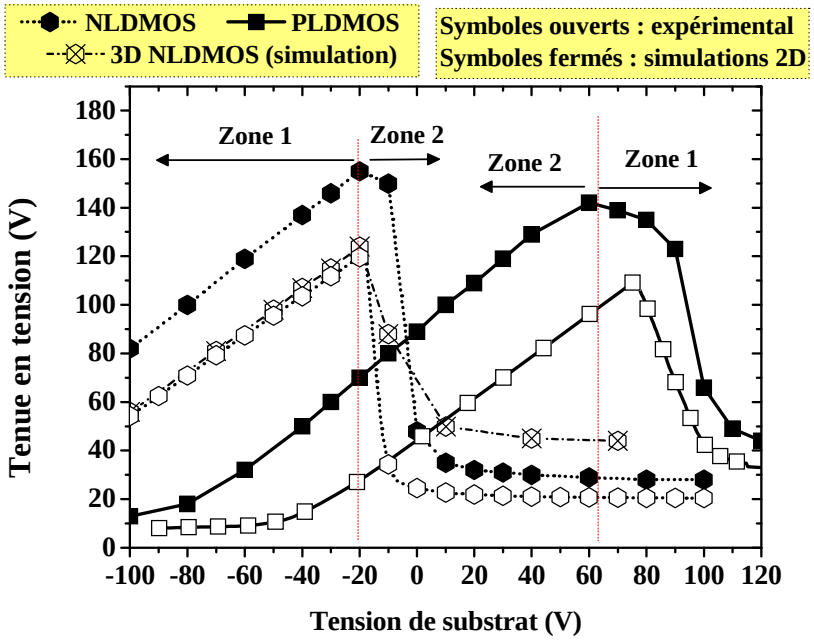

Figure IV-3 : Simulation et mesure de la tension de claquage en fonction de la polarisation du substrat

Les courbes de la figure IV-3 peuvent être divisées en deux parties. Dans le cas du transistor à canal N, pour les polarisations négatives du substrat jusqu'à -20 V, la tension de claquage croît linéairement avec la tension du substrat. La région N-well est alors totalement déplétée et le claquage a lieu dans la zone 1 représentée figure IV-2 [73]. Pour des tensions de substrat supérieures, la tension de claquage chute brusquement. Le claquage est maintenant localisé dans la zone 2. Le cas optimal est atteint pour une tension de -20 V. Dans ce cas, l'avalanche, qui est la cause du claquage, est présente dans les deux zones et le champ électrique est réparti uniformément dans la structure. Quand la tension de substrat est égale à 0 V, correspondant à une utilisation normale, le claquage a lieu dans la zone 2 et la région

N-well n'est pas totalement déplétée, comme le montre la figure IV-4, ce qui signifie que son dopage est trop important.

Les conditions de polarisation du transistor PLDMOS, données figure IV-2 et différentes de celles du transistor NLDMOS, font que les deux structures se comportent à l'inverse l'une de l'autre. Pour une polarisation à 0 V du substrat, la région P-well du transistor PLDMOS n'est pas totalement déplétée et le claquage est localisé dans la zone 2 (figure IV-4). Comme le drain et le substrat sont au même potentiel, il n'y a pas d'effet RESURF, comme cela l'a déjà été expliqué dans le chapitre 3.

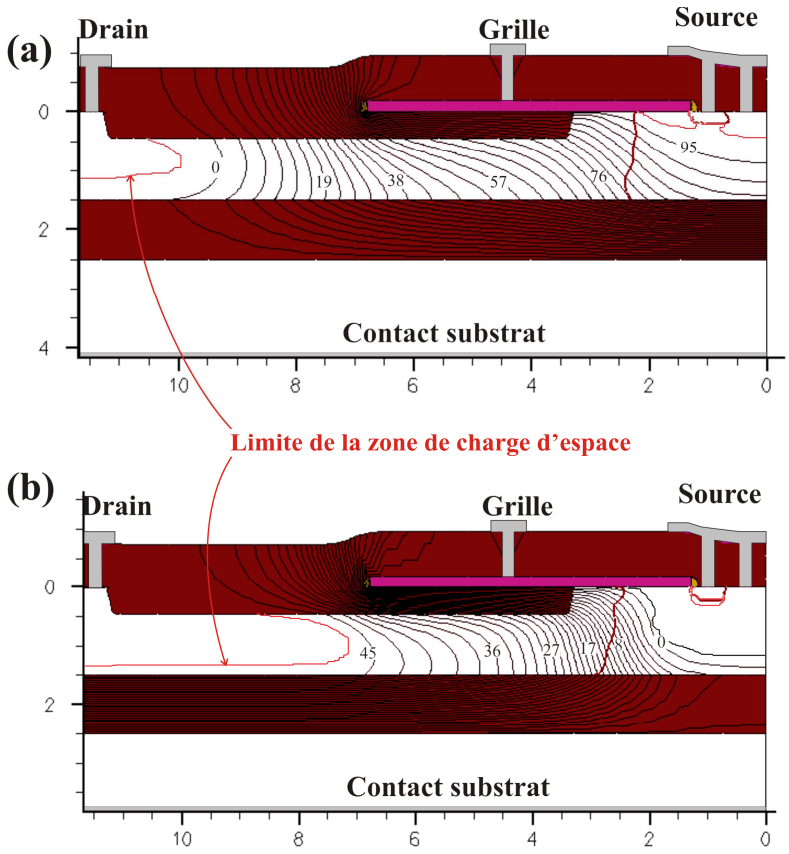

Figure IV-4 : Lignes de potentiel au claquage pour les transistors LDMOS (a) à canal P et (b) à canal N pour une polarisation du substrat de 0 V

Une différence de tension de claquage peut être observée entre les résultats de mesures et ceux de simulations. Les simulations donnent une valeur plus optimiste car les effets des terminaisons ne sont pas pris en compte dans les simulations en deux dimensions. La structure complète, comprenant une part des cellules centrales et la terminaison, dont le masque est représenté figure IV-5 (a), a été simulée électriquement. Les résultats, représentés figure IV-3 pour le transistor à canal N, montrent que la dégradation de la tenue en tension vient de la

terminaison. Le champ électrique au claquage, représenté pour une tension de substrat de -20 V, correspondant au cas optimal du transistor NLDMOS, est représenté figure IV-5 (b).

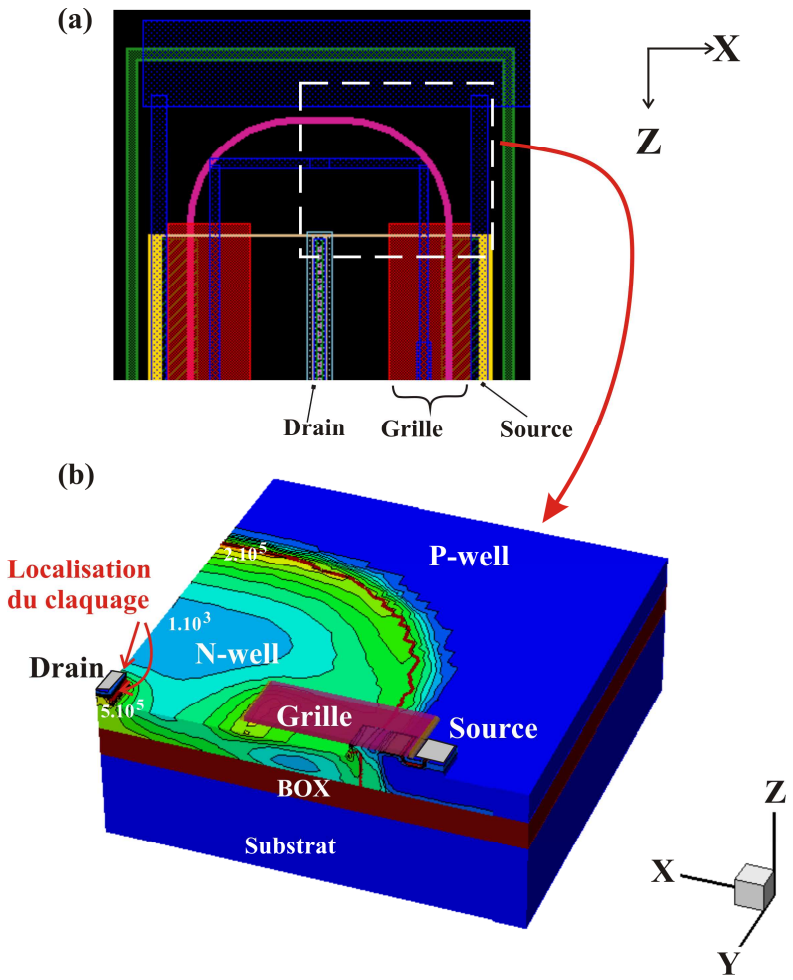

Figure IV-5 : (a) Vue de dessus de la terminaison et (b) champ électrique au moment du claquage de la structure simulée équivalente

À cause de la forte courbure au niveau du N^+ de drain, un fort resserrement des lignes de potentiel est constaté autour de cette région, engendrant ainsi un fort champ électrique à ce même endroit et donc un claquage prématuré.

IV.3.1.b Configuration du canal

Des structures LDMOS avec différentes valeurs de ΔWells (Figure IV-6) ont été caractérisées en termes de tenue en tension en fonction de la polarisation du substrat. Seuls des transistors NLDMOS sont présentés. La figure IV-7 compare les résultats de simulation avec ceux de mesure pour deux valeurs de ΔWells. Tous les autres paramètres restent inchangés.

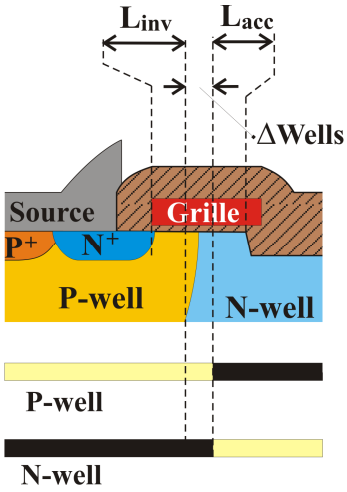

Figure IV-6 : Positions relatives du P-well (L_{inv}), du N-well (L_{acc}) et de leur espacement (ΔWells)

Les résultats de la figure IV-7 montrent clairement l'amélioration de la tension de claquage pour les valeurs élevées de ΔWells. Pour comprendre cette différence, le champ électrique et la concentration de porteurs générés par avalanche sont représentés figure IV-8 au moment du claquage en fonction de la tension de substrat aux points 1 à 3 (N1 à N3) représentés sur la figure IV-2 (a).

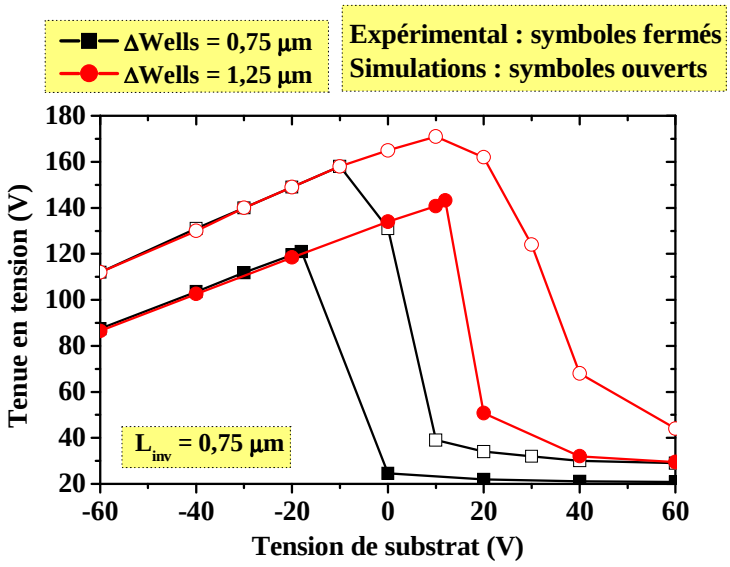

Figure IV-7 : Tenue en tension en fonction de la polarisation du substrat pour différentes valeurs de ΔWells

Dans le cas où ΔWells est égal à 1,25 µm, le masque du N-well est aligné avec le STI. Les dopants résultant de l'implantation de N-well en surface se retrouvent alors entièrement dans l'oxyde du STI. Or, cette implantation crée un dopage important (> 1×10^{17} cm^{-3}) puisqu'elle sert à ajuster la tension de seuil des transistors PLDMOS. Pour l'autre valeur de ΔWells, soit 0,75 µm, l'implantation en surface du N-well n'est plus totalement masquée par

l'oxyde. Cette forte concentration de dopage, positionnée juste sous la grille, qui, elle, est polarisée à 0 V, est à l'origine du champ électrique élevé au point N3 (figure IV-8 (a)), quelle que soit la tension du substrat, et, de ce fait, de la tension de claquage maximale plus faible.

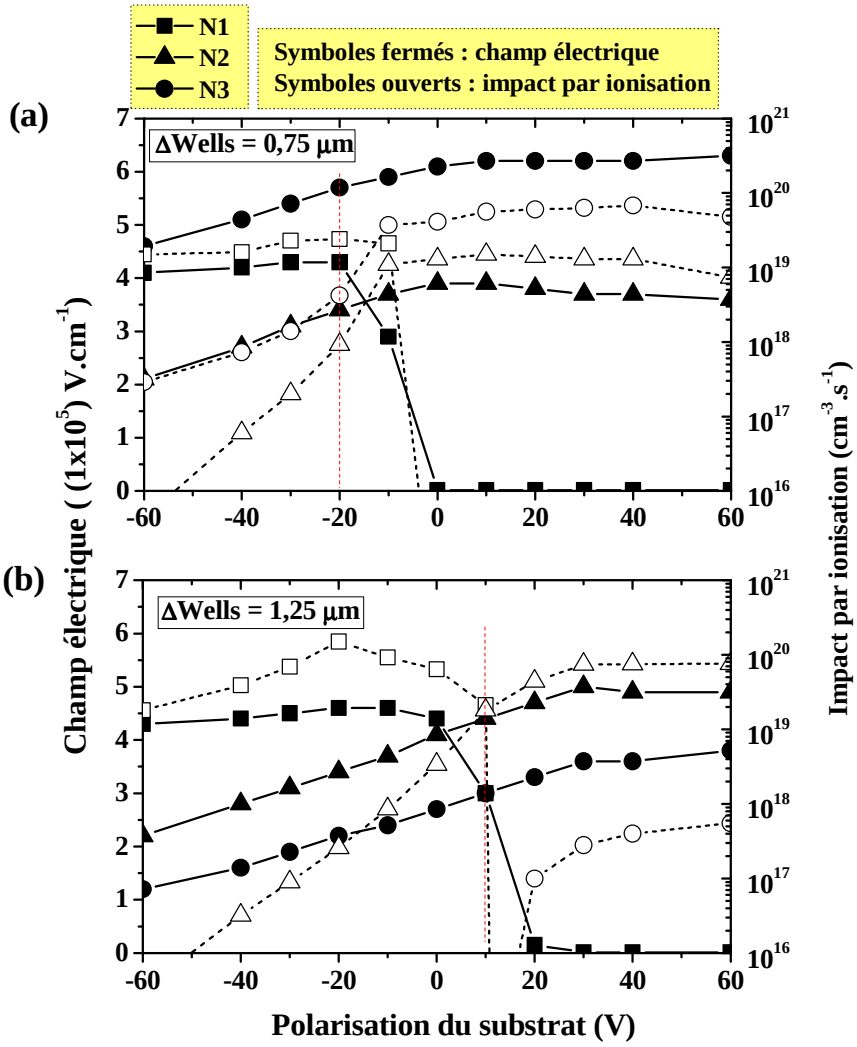

Figure IV-8 : Évolution du champ électrique et de la concentration de charges ionisées avec la tension de substrat aux points N1 à N3 pour ΔWells égal à (a) 0,75 µm et (b) 1,25 µm

L'amélioration de la tension de claquage peut se faire par l'augmentation de ΔWells. Or, nous avons montré que le positionnement de la jonction PN proche du STI était préjudiciable vis-à-vis de l'aire de sécurité (Cf. chapitre 2). La réduction du dopage à la surface du N-well permettrait donc d'améliorer les performances à la fois à l'état bloqué et à l'état passant. Cette solution oblige cependant de réaliser séparément les régions N-well des transistors LDMOS à canal N et P, ce qui implique l'utilisation de deux masques séparés. Cette proposition est aussi valable pour les transistors PMOS mais la contrainte concerne la région P-well.

IV.3.2 Caractéristiques de drain

Les caractéristiques à l'état passant de deux structures NLDMOS ont été étudiées. Ces deux structures diffèrent par la longueur L_{STI} qui est de 8 µm, comme celles étudiées dans le paragraphe précédent, pour l'une et de 2 µm pour l'autre. Pour cette dernière, la longueur de ΔL_{Poly} a été réduite à 1 µm pour que le polysilicium de grille ne dépasse pas le STI. Les autres paramètres sont les mêmes que ceux des structures précédentes. La figure IV-9 montre l'évolution du courant en fonction de la tension de drain pour les deux valeurs de L_{STI}. Les mesures, ayant été faites en continu, il est apparu un phénomène d'auto-échauffement, expliquant la diminution du courant dans la phase de saturation. Nous avons donc pris en compte ce phénomène dans les simulations.

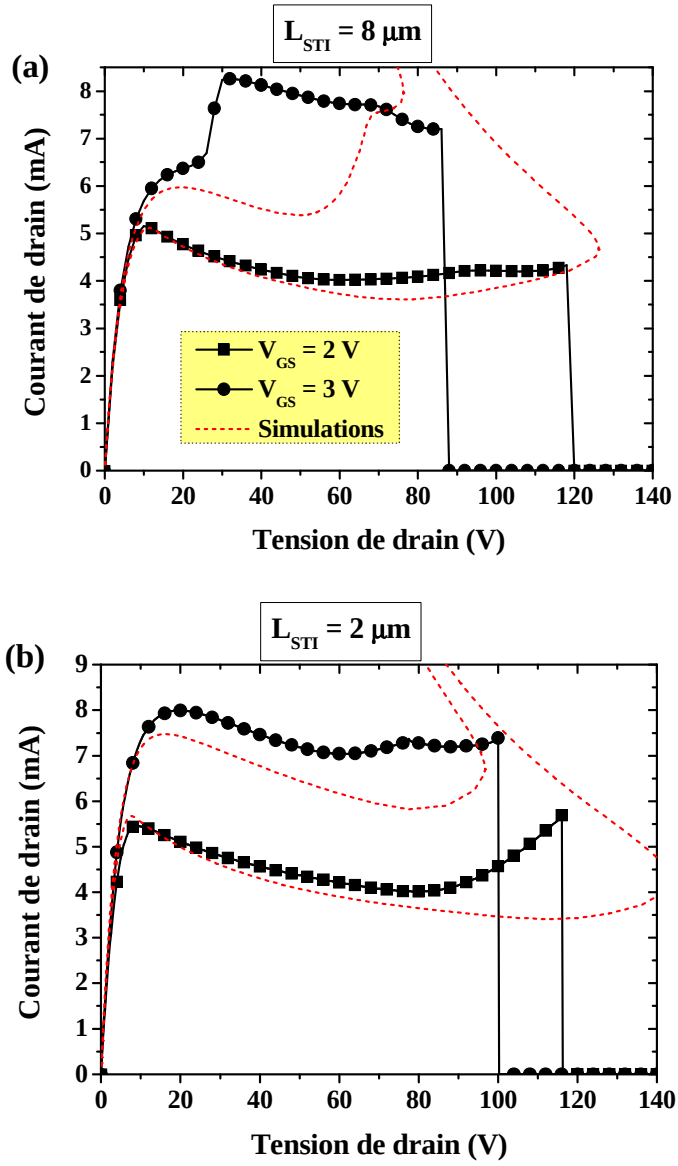

Figure IV-9 : Comparaison entre les caractéristiques simulées et expérimentales du courant en fonction de la tension de drain pour L_{STI} égal à (a) 8 µm et (b) 2 µm

La caractéristique de la figure IV-9 (a) (L_{STI} = 8 µm) a un comportement anormal pour une tension V_{GS} égale à 3 V : la courbe présente un saut en courant en régime saturé. Pour les faibles valeurs de V_{DS}, le champ électrique au niveau de la diffusion N^+ de drain est faible, donc peu de trous sont générés par impact par ionisation. L'augmentation de la tension V_{DS} entraîne une augmentation du nombre de trous générés à cause de l'effet Kirk. Ces trous sont collectés par l'électrode de body. Or ces trous sont à l'origine du déclenchement du transistor bipolaire parasite. Cependant, celui-ci ne s'enclenche pas car la chute de tension aux bornes de R_B (figure IV-10), résistance de la région P-well, n'est pas suffisante pour amorcer ce transistor bipolaire à cause du dopage élevé du P-well [74].

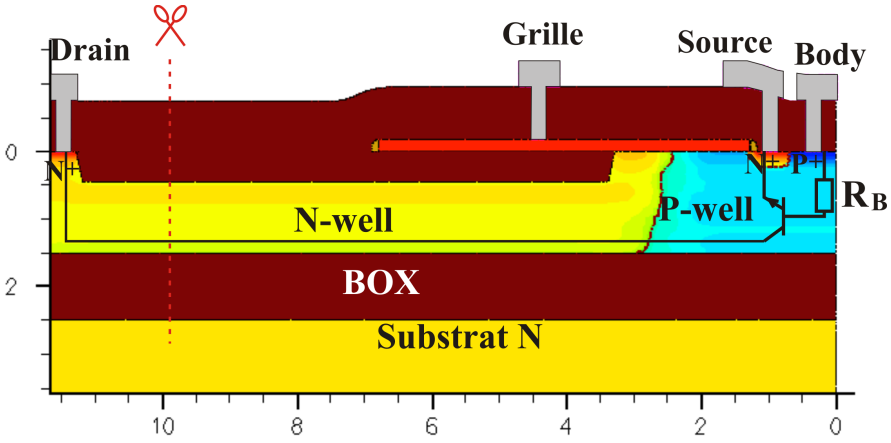

Figure IV-10 : Localisation du transistor bipolaire parasite dans le transistor LDMOS

Tant que V_{DS} reste faible, la concentration d'électrons est limitée au dopage de la région N-well, comme le montre la figure IV-11 (a). Les trous générés par impact par ionisation fournissent des charges positives à la région N-well (figure IV-11 (b)). Ces charges positives supplémentaires permettent l'augmentation des charges négatives dans cette même région et donc le courant. L'équilibre entre les charges positives et négatives fait que la charge totale dans la région N-well reste inchangée, ce qui a pour effet de maintenir le champ électrique à des niveaux raisonnables rendant le régime de fonctionnement stable, et ce, jusqu'au point de retournement [75].

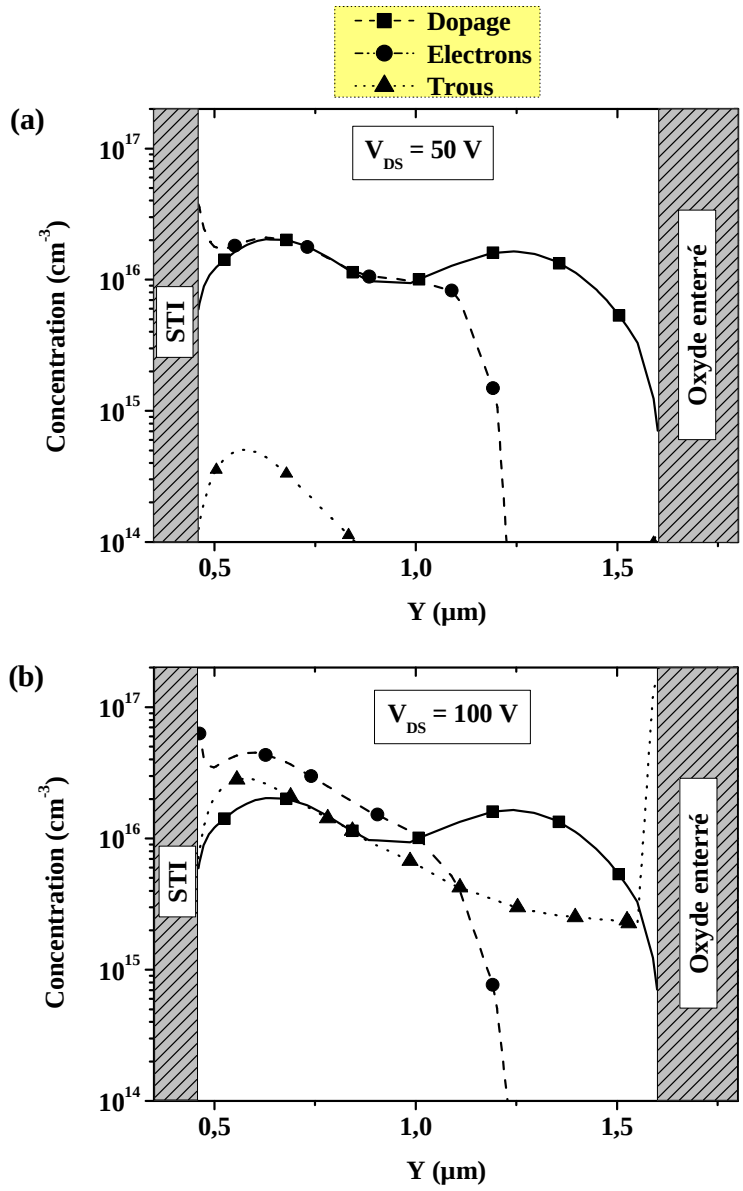

Figure IV-11 : Concentration de dopage, de trous et d'électrons dans la région de N-well suivant la coupe représentée figure IV-10 pour V_{DS} égal à (a) 50 V et (b) 100 V dans le cas où L_{STI} = 8 µm

Sur la figure IV-12 (a), on peut observer une augmentation du courant de trous circulant à travers l'électrode de body, quand la tension V_{DS} devient supérieure à 60 V. Comme expliqué précédemment, il en résulte une augmentation du courant d'électrons qui, lui, passe par l'électrode de source. La somme de ces deux courants circule à travers le drain, qui voit l'augmentation totale des deux courants. En ce qui concerne la figure IV-12 (b), le courant d'électrons reste quasiment constant quelle que soit V_{DS}. L'augmentation du courant de drain vient majoritairement de l'apparition de trous qui sont collectés par l'électrode de body. L'absence du STI dans le N-well fait apparaître une région fortement dopée en surface, puisque la même région N-well est utilisée pour les transistors à canal P. La concentration de

trous générés dans le N-well reste donc toujours inférieure à la concentration de dopage, ce qui explique pourquoi le comportement anormal observé pour l'autre structure n'apparaît pas dans ce cas.

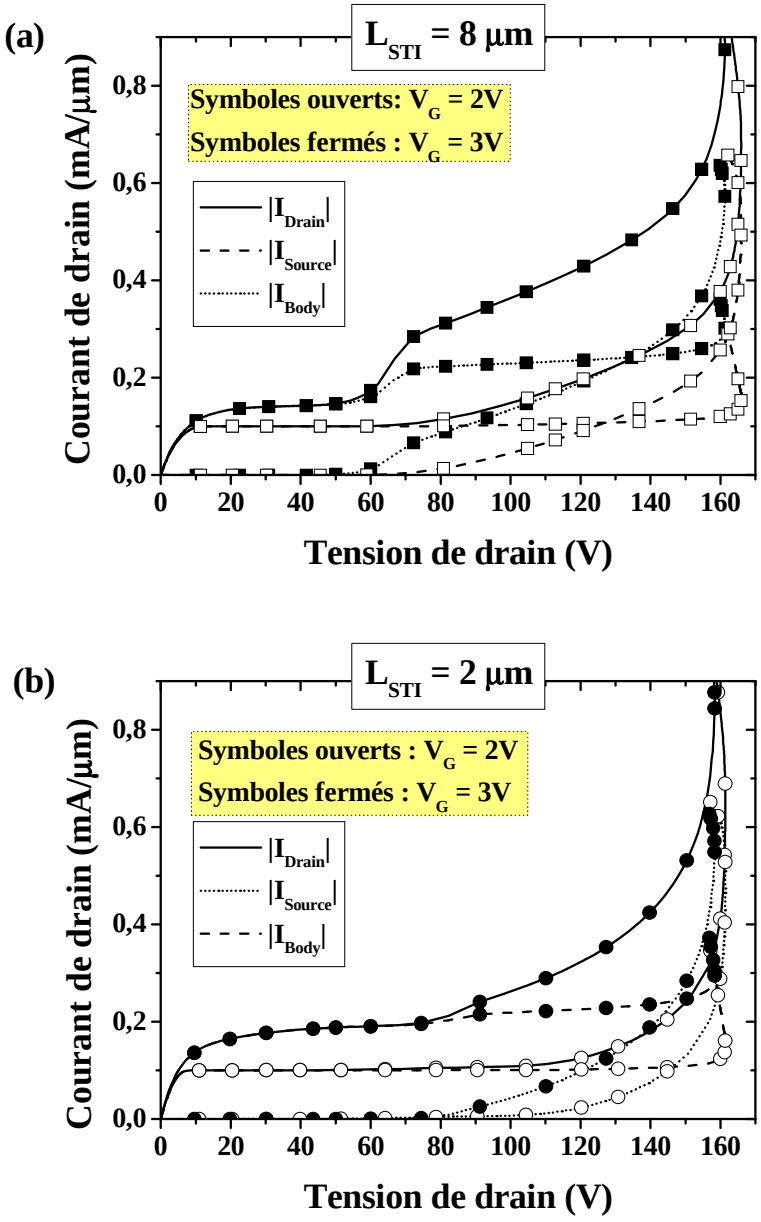

Figure IV-12 : Courants de drain, de source et de body simulés en fonction de la tension de drain pour L_{STI} égal à (a) 8 µm et (b) 2 µm

De cette partie, nous retiendrons que le point de retournement, qui est causé par le déclenchement du transistor bipolaire parasite, peut être retardé par l'utilisation d'un dopage élevé au niveau de la région P-well. Sur les deux structures étudiées, la caractéristique de drain présente un comportement anormal quand L_{STI} est élevée. Ce comportement vient de l'augmentation de la concentration de trous générés par impact par ionisation, ce qui crée des

charges mobiles qui s'additionnent aux charges fixes dans la région N-well, faisant ainsi augmenter le courant total. La constance du courant de drain peut être améliorée par l'utilisation d'un dopage élevé dans le N-well.

IV.4 Optimisation du procédé

Nous venons de voir que certains paramètres des structures LDMOS, notamment le dopage de la région de drift, ont un impact sur les caractéristiques électriques, notamment sur la tenue en tension. Un bon choix de ces paramètres est important pour retrouver les caractéristiques obtenues dans les chapitres précédents.

IV.4.1 Transistors à canal N

Dans le chapitre 2, nous avions conclu que les transistors STI-LDMOS et SJ-LDMOS présentaient les meilleures caractéristiques électriques parmi les transistors à canal N. L'optimisation ne portera que sur ces deux structures.

IV.4.1.a Transistor STI-LDMOS

a. Définition des profils de dopage

Dans un premier temps, nous chercherons, à partir de simulations à une dimension, les conditions d'implantation du N-drift permettant d'obtenir le profil de dopage le plus constant possible, car, comme nous l'avons vu sur l'étude expérimentale de la tension de claquage en fonction de la polarisation de substrat, un dopage excessif en surface dégrade fortement la tenue en tension. Le procédé nous autorise à utiliser quatre à cinq implantations à des énergies allant jusqu'à 1700 keV. La séquence d'implantation constituée de quatre implantations régulièrement positionnées dans le SOI, dont les conditions sont données dans le tableau IV-1, permet d'obtenir le profil de dopage de la figure IV-13.

Dose (cm^{-2})	Energie (keV)	Position du pic (µm)	Dose effective après diffusion (cm^{-2})
N1 = $0{,}65\times10^{12}$	1200	1,25	$0{,}43\times10^{12}$
N2 = $0{,}53\times10^{12}$	700	0,85	$0{,}49\times10^{12}$
N3 = 0.5×10^{12}	300	0,5	$0{,}49\times10^{12}$
N4 = $0{,}5\times10^{12}$	70	0,2	$0{,}39\times10^{12}$

Tableau IV-1 : Séquence d'implantation du N-drift

La dose effective du N-drift après diffusion, calculée par intégration du profil de dopage, est égale à $1{,}8\times10^{12}$ cm^{-2}. Nous partirons de ces conditions d'implantation pour

définir le dopage du N-drift pour l'optimisation des structures LDMOS et ferons varier la dose de toutes les implantations dans les mêmes proportions.

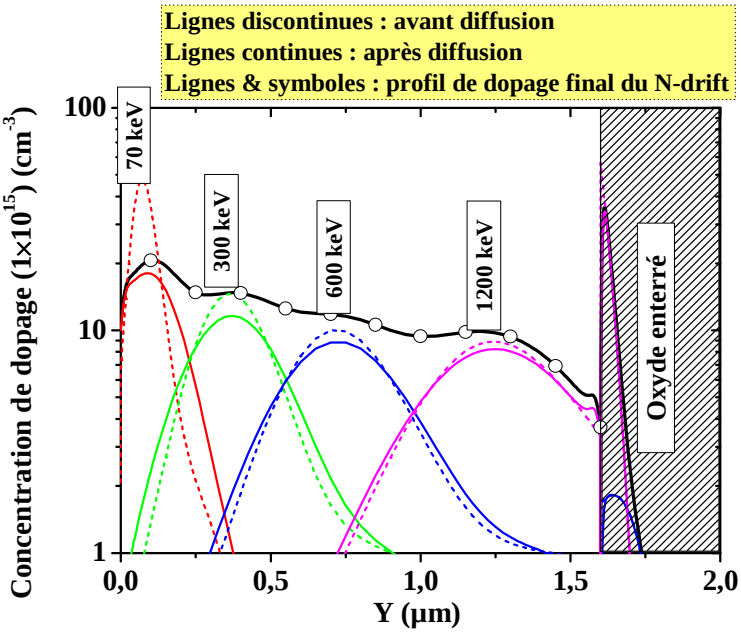

Figure IV-13 : Superposition des quatre implantations séparées et du profil de dopage du N-drift

b. Simulations électriques

Afin d'optimiser les transistors STI-LDMOS en terme de compromis « résistance passante spécifique / tenue en tension » à partir des conditions d'implantation, des simulations technologiques 2D sont nécessaires. La figure IV-14 montre la tenue en tension et la résistance passante en fonction de la variation de la dose implantée par rapport aux valeurs données dans le tableau IV-1.

L'incrément de la dose implantée pour l'obtention du meilleur compromis « résistance passante spécifique / tenue en tension » engendre une plus forte dose effective dans le N-drift. Celle-ci peut ainsi être comparée avec la dose calculée d'après les dopages obtenus dans le chapitre 2. Cette dernière s'obtient par le produit entre N_D, dopage du N-drift et T_{SOI}, épaisseur du SOI.

ΔImp (%)	L_{STI} (µm)	Dose effective après diffusion (cm^{-2})	Dose calculée d'après chapitre 2 (cm^{-2})
0		$1,82\times10^{12}$	
30	2	$2,37\times10^{12}$	$2,4\times10^{12}$
55	4	$2,82\times10^{12}$	$2,72\times10^{12}$
95	7	$3,56\times10^{12}$	$3,04\times10^{12}$

Tableau IV-2 : Comparaison entre les doses effectives obtenues d'après les simulations technologiques et celles calculées d'après les résultats du chapitre 2

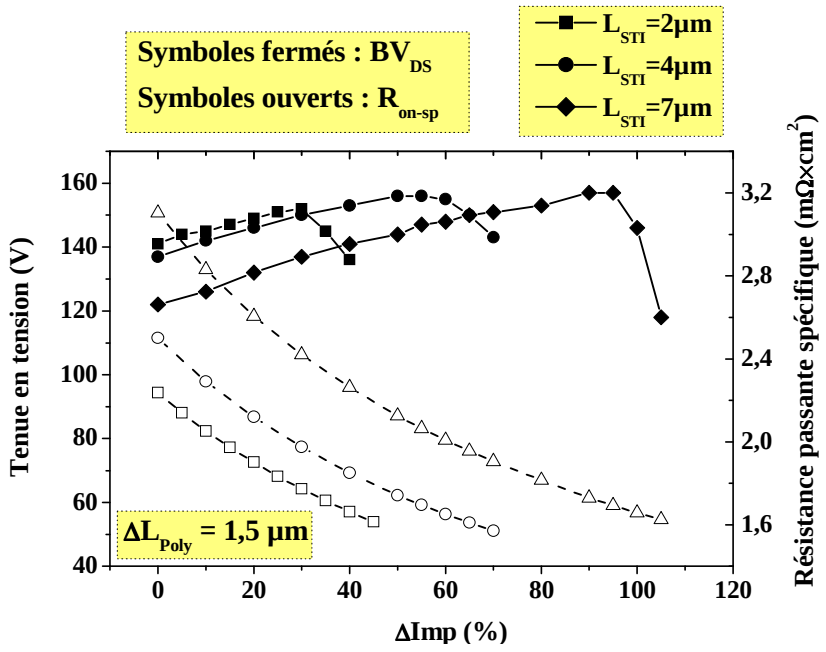

Figure IV-14 : Tenue en tension et résistance passante spécifique du transistor STI-LDMOS en fonction de la variation de la dose implantée du N-drift

Le calcul de la dose à partir des résultats du chapitre 2 est en concordance avec le calcul de la simulation technologique. Il est donc possible, en connaissant le dopage optimal grâce aux simulations réalisées dans le chapitre 2, de définir approximativement la séquence d'implantations donnant les mêmes résultats électriques à partir de simulations process à une dimension.

Les positions du P-well ainsi que du N-drift (figure IV-6) ont aussi été étudiées en termes de caractéristiques électriques. La figure IV-15 montre l'effet de l'espacement entre P-well et N-drift (ΔWells) sur le compromis « résistance passante spécifique / tenue en tension ».

L'éloignement entre P-well et N-drift rend la jonction moins abrupte, améliorant la répartition du champ électrique. Le claquage a lieu du côté de la source sur la partie descendante de la courbe de tenue en tension. La forte dégradation de la tenue en tension pour les fortes valeurs de ΔImp dans le cas ΔWells=0,5 µm s'explique par le champ électrique plus élevé à la jonction PN. Par ailleurs, l'augmentation de ΔWells a pour effet de déplacer la jonction PN proche du STI à cause du substrat de départ qui est de type P, ce qui engendre une résistance d'accès entre canal et zone de drift élevée.

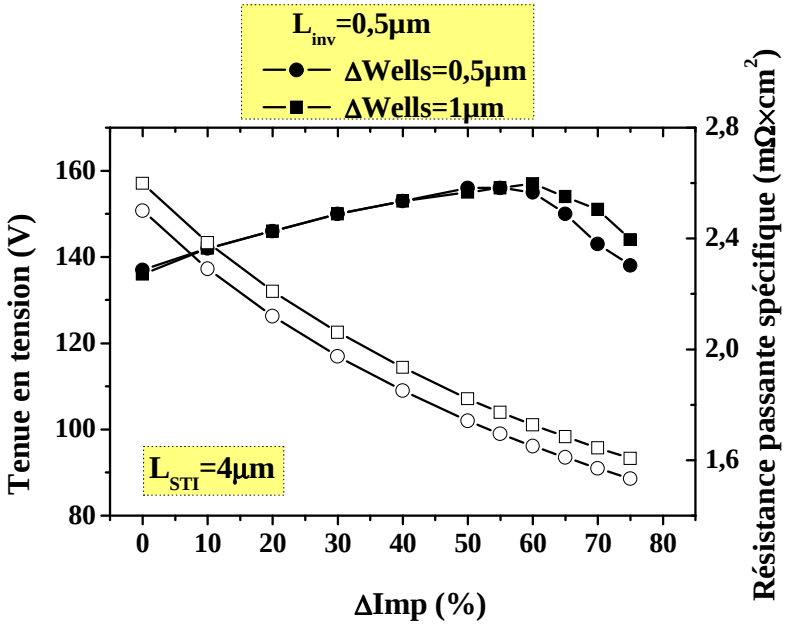

Figure IV-15 : Résistance passante spécifique et tenue en tension en fonction de l'espacement entre N-drift et P-well (ΔWells)

Les résultats de simulation de la tenue en tension en fonction de la polarisation du substrat sont représentés figure IV-16 dans le cas du transistor STI-LDMOS pour plusieurs valeurs de L_{STI}. Comme le dopage de la région de drift a été optimisé, la tension de claquage maximale a lieu pour une polarisation du substrat égale à 0 V.

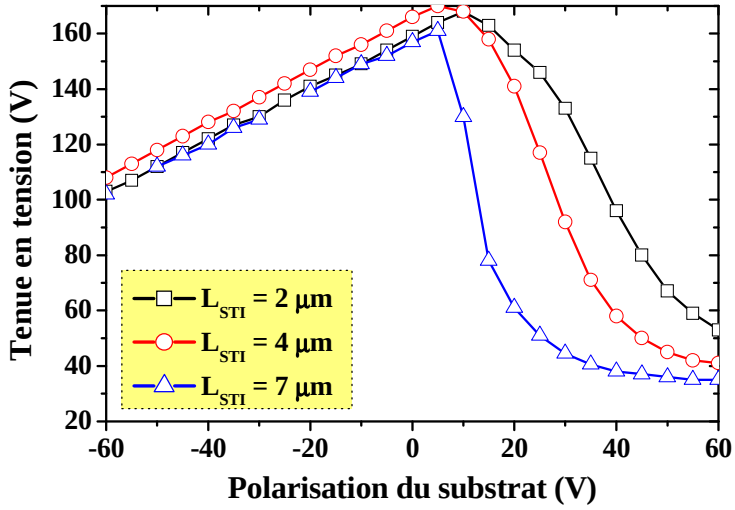

Figure IV-16 : Variations de la tenue en tension avec la polarisation du substrat dans le cas du transistor STI-LDMOS pour plusieurs valeurs de L_{STI}

Toujours d'après la figure IV-16, nous pouvons relever une brusque dégradation de la tension de claquage pour les tensions positives du substrat quand L_{STI} augmente. Quand la tension de substrat augmente, la localisation du claquage se déplace de la diffusion N^+ du

drain, puis à l'angle du STI côté drain, à l'autre angle du STI et sous la grille. Or, dans le cas où le STI couvre toute la région de drift, la diffusion N^+ du drain est accolée au coin du STI. Dans ce cas, le claquage, qui a lieu du côté du drain pour les tensions négatives, bascule directement du côté de la source, comme cela a été observé dans les mesures (Cf. figure IV-8).

IV.4.1.b Transistor SJ-LDMOS

a. Définition des profils de dopage

Nous venons de définir les conditions de fabrication du transistor STI-LDMOS. Nous allons faire de même pour le transistor LDMOS à superjonction. L'optimisation de ces structures nécessite de réaliser des simulations technologiques en trois dimensions à cause des différents phénomènes de diffusion ayant lieu. Nous devons, dans un premier temps, définir les profils de dopages des piliers P et N à partir des résultats obtenus dans le chapitre 2. Comme il a été dit dans le chapitre 2, une superjonction avec une largeur de pilier Y_{Pi} de 0,6 µm est difficilement réalisable à cause des effets d'ombrage lors des implantations. Seul le cas Y_{Pi} = 1 µm sera étudié. La séquence d'implantation du pilier N est identique à celle utilisée pour l'obtention de la région N de drift du transistor STI-LDMOS. Seules les doses d'implantation doivent être adaptées au transistor à superjonction où les dopages des piliers sont nettement plus élevés. Le tableau IV-3 donne les doses d'implantation (N1 à N4, identiques à celles du tableau IV-1) donnant le même dopage N_D que celui obtenu dans le chapitre 2.

L_{STI} (µm)	ΔImp (%)	N_D (cm^{-3})	N1 (cm^{-2})	N2 (cm^{-2})	N3 (cm^{-2})	N4 (cm^{-2})
2	490	$6,8\times10^{16}$	$3,83\times10^{12}$	$3,1\times10^{12}$	$2,95\times10^{12}$	$2,95\times10^{12}$
4	525	$7,2\times10^{16}$	$4,06\times10^{12}$	$3,31\times10^{12}$	$3,1\times10^{12}$	$3,1\times10^{12}$
6	580	$7,8\times10^{16}$	$4,42\times10^{12}$	$3,604\times10^{12}$	$3,4\times10^{12}$	$3,4\times10^{12}$

Tableau IV-3 : Définition des doses d'implantation du pilier N du transistor SJ-LDMOS permettant d'obtenir la valeur du dopage N_D obtenu dans le chapitre 2

Dans un même temps, il faut aussi définir les doses d'implantation du pilier P. Le tableau IV-4 permet d'obtenir les conditions d'implantation permettant d'obtenir le profil de la figure IV-17.

Dose (cm^{-2})	Energie (keV)	Position du pic (µm)	Dose effective après diffusion (cm^{-2})
P1 = $0,7\times10^{12}$	650	1,3	$0,67\times10^{12}$
P2 = $0,7\times10^{12}$	370	0,85	$0,7\times10^{12}$
P3 = 0.7×10^{12}	180	0,5	$0,49\times10^{12}$
P4 = $0,7\times10^{12}$	60	0,2	$0,39\times10^{12}$

Tableau IV-4 : Séquence d'implantation du pilier P du transistor SJ-LDMOS

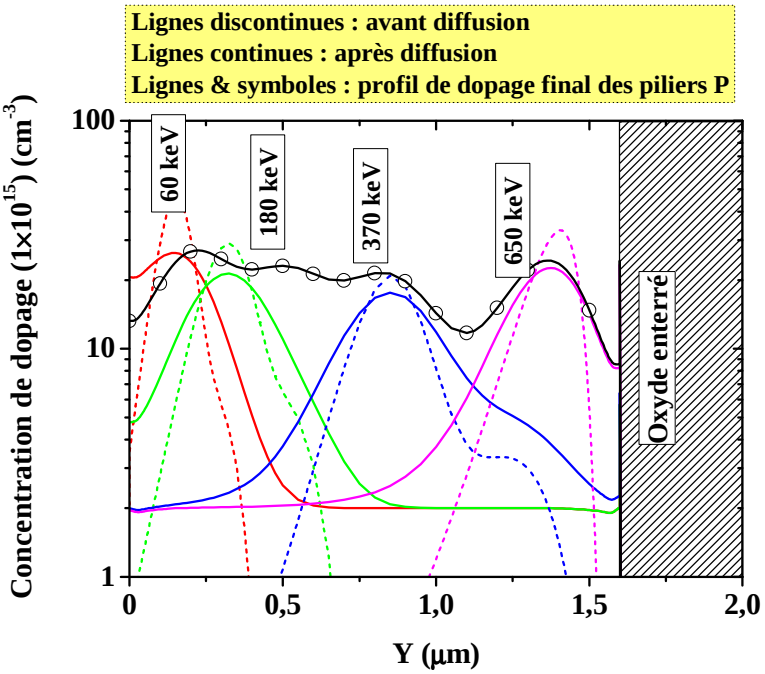

Figure IV-17 : Superposition des quatre implantations séparées et du profil de dopage du pilier P

b. Simulations électriques

Les conditions décrites précédemment ont été utilisées pour la simulation complète du transistor SJ-LDMOS. La tension de claquage et la résistance passante spécifique sont représentées figure IV-18 en fonction de la variation de la dose du pilier N implantée.

Les courbes de tenue en tension présentent la même tendance que celles de la figure II-9. Cependant, la tension de claquage ne dépasse pas 130 V. L'observation de la répartition de la zone de charge d'espace au moment du claquage montre, pour cette valeur maximale de tenue en tension, que les piliers ne sont pas totalement déplétés. Les mêmes simulations ont donc été refaites avec des doses implantation du pilier P réduites de 10 % par rapport à celles données dans le tableau IV-4. La réduction du dopage du pilier P permet d'atteindre une tenue en tension de 140 V.

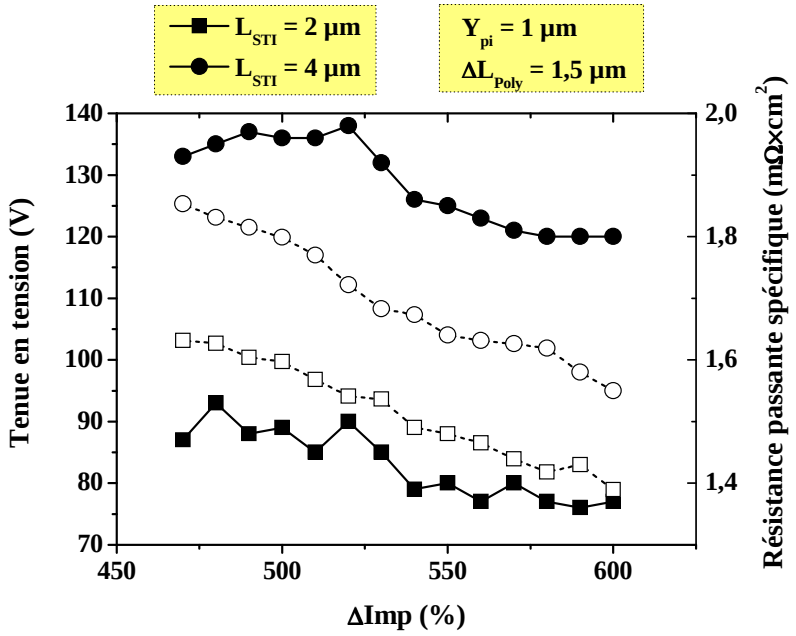

Figure IV-18 : Tenue en tension et résistance passante spécifique en fonction de la variation de dose du pilier P implantée du transistor SJ-LDMOS

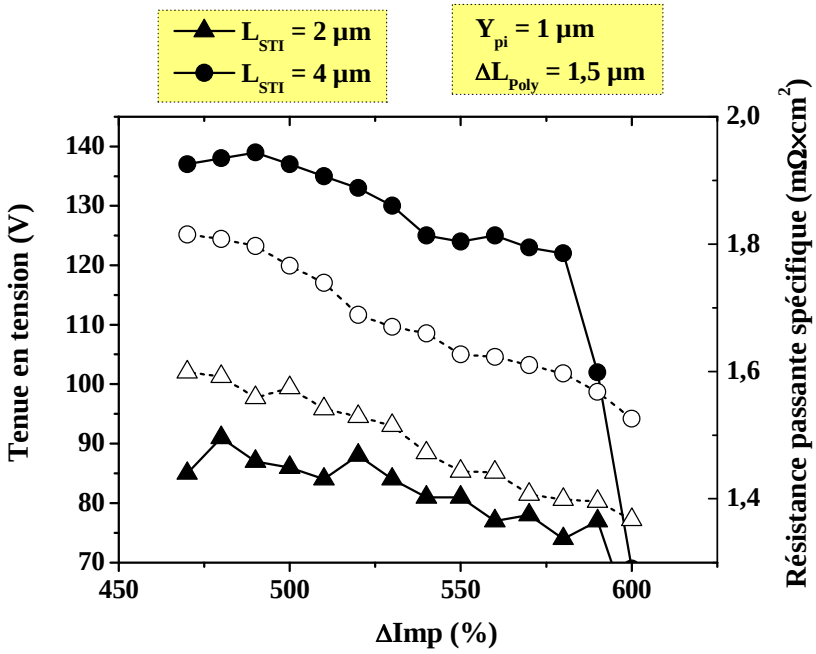

Figure IV-19 : Tenue en tension et résistance passante spécifique en fonction de la variation de dose implantée dans le pilier N par rapport aux doses du tableau IV-1 et avec des doses implantées du pilier P inférieures de 10 % par rapport à celle du tableau IV-4

La limitation des simulations technologiques à trois dimensions est liée au nombre élevé de points de maillage nécessaires à une bonne précision. Cependant, le nombre important de points de calcul nécessaires pour la simulation technologique n'a pas suffi pour avoir une précision suffisante, comme le montrent les résultats des figures IV-18 et IV-19.

IV.4.2 Transistor à canal P

Dans cette partie, seule l'optimisation du procédé des transistors R-PLDMOS sera abordée, puisque le procédé du transistor SJ-PLDMOS est presque identique à celui du SJ-LDMOS à canal N.

IV.4.2.a Définition des profils de dopage

Les couches NBL et de P-drift dans le transistor R-PLDMOS sont réalisées à partir du même masque. Par conséquent, la séquence d'implantation devra comprendre des implantations de type N mais aussi de type P. La séquence d'implantation doit être choisie de manière à avoir la jonction 'P-drift / NBL' proche de l'oxyde enterré. La distance 'jonction - oxyde enterré' définit l'épaisseur de la couche NBL T_{NBL}. Une séquence comprenant trois implantations de bore (type P) et une de phosphore (type N) permettant d'obtenir T_{NBL} égal à 0,5 µm, est donnée dans le tableau IV-5.

Dose (cm^{-2})	Energie (keV)	Position du pic (µm)	Dose effective après diffusion (cm^{-2})
N1 = $2{,}25\times10^{12}$	1300	1,31	$1{,}54\times10^{12}$
P2 = $0{,}6\times10^{12}$	520	1,1	$5{,}96\times10^{11}$
P3 = $0{,}6\times10^{12}$	260	0,67	$5{,}96\times10^{11}$
P4 = $0{,}6\times10^{12}$	60	0,19	$5{,}93\times10^{11}$

Tableau IV-5 : Séquence de quatre implantations pour la définition des régions P-drift et NBL du transistor R-PLDMOS

La séquence d'implantation du tableau IV-5 permet d'obtenir le profil de dopage de la figure IV-20.

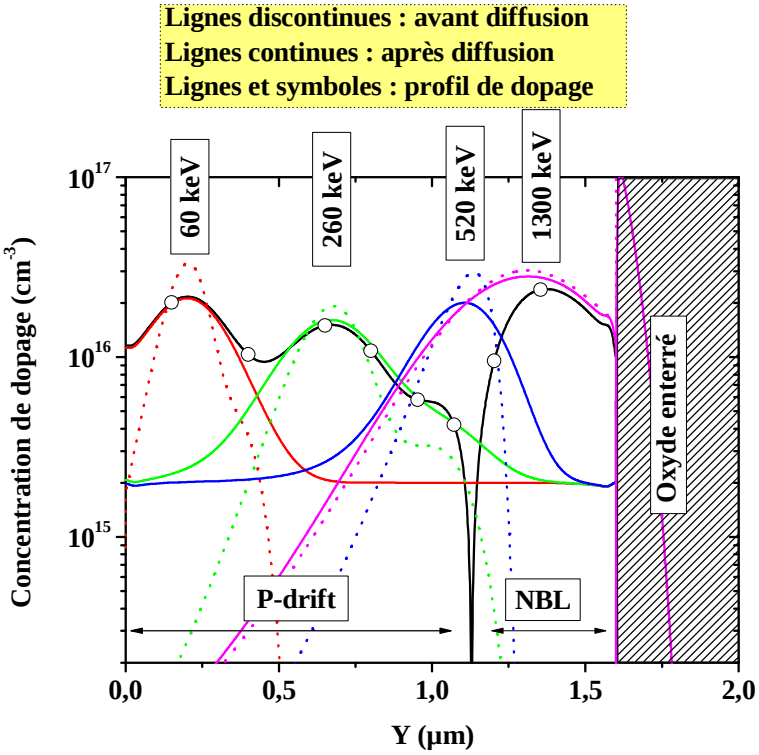

Figure IV-20 : Profil de dopage des régions P-drift et NBL obtenu à partir de quatre implantations

En utilisant cinq implantations, quatre de type P et une de type N, il est possible de réaliser la couche NBL sur une épaisseur de 0,3 µm seulement. La séquence d'implantation et le profil de dopage correspondant sont donnés respectivement tableau IV-6 et figure IV-21.

Dose (cm^{-2})	Energie (keV)	Position du pic (µm)	Dose effective après diffusion (cm^{-2})
N1 = $2,8\times10^{12}$	1550	1,43	$1,41\times10^{12}$
P2 = $0,8\times10^{12}$	620	1,25	$0,8\times10^{12}$
P3 = $0,6\times10^{12}$	400	0,9	$5,96\times10^{11}$
P4 = $0,6\times10^{12}$	170	0,49	$5,97\times10^{11}$
P5 = $0,6\times10^{12}$	40	0,12	$5,88\times10^{11}$

Tableau IV-6 : Séquence de cinq implantations pour la définition des régions P-drift et NBL du transistor R-PLDMOS

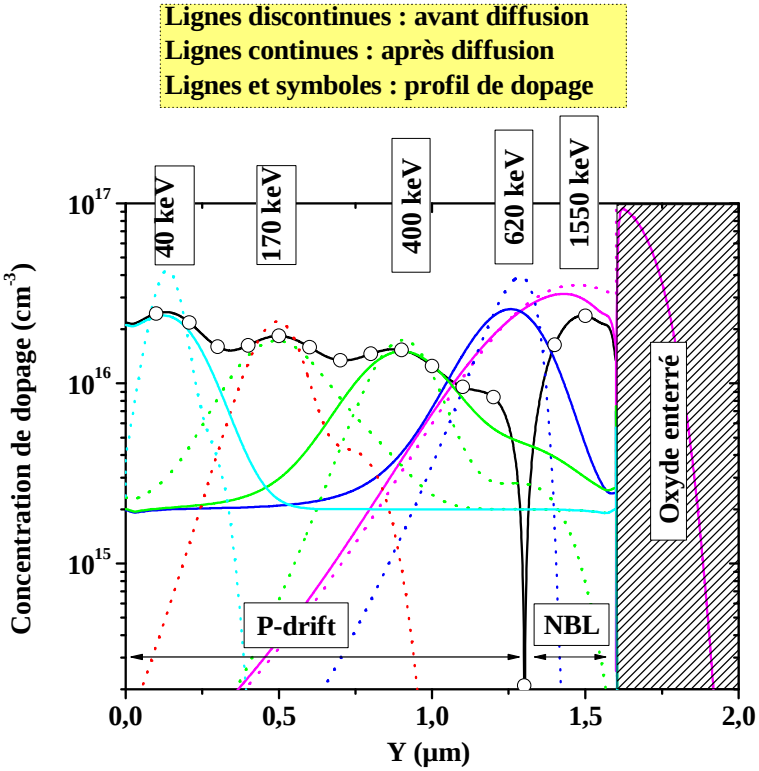

Figure IV-21 : Profil de dopage des régions P-drift et NBL obtenu à partir de cinq implantations

IV.4.2.b Simulations électriques

La tension de claquage et la résistance passante spécifique du transistor R-PLDMOS ont ensuite été évaluées en simulation à partir des profils de dopages définis précédemment, en faisant varier respectivement les doses de bore et de phosphore pour la définition des régions P-drift ($\Delta N_{\text{A-imp}}$) et NBL ($\Delta N_{\text{D-imp}}$). Les résultats sont représentés figure IV-22 dans le cas où (a) quatre implantations et (b) cinq implantations sont utilisées pour la réalisation des régions P-drift et NBL.

Contrairement au transistor STI-LDMOS où les simulations technologiques permettaient de retrouver les mêmes résultats que ceux obtenus dans les chapitre 2, la tension de claquage de la structure R-PLDMOS atteint difficilement 150 V, alors qu'elle dépassait 160 V dans le cas de l'optimisation du chapitre 3. Cette dégradation est imputée à la fois à la définition de la région N-well dans les simulations technologiques et à la réalisation du STI avant les implantations pour les régions P-drift et NBL (figure IV-23).

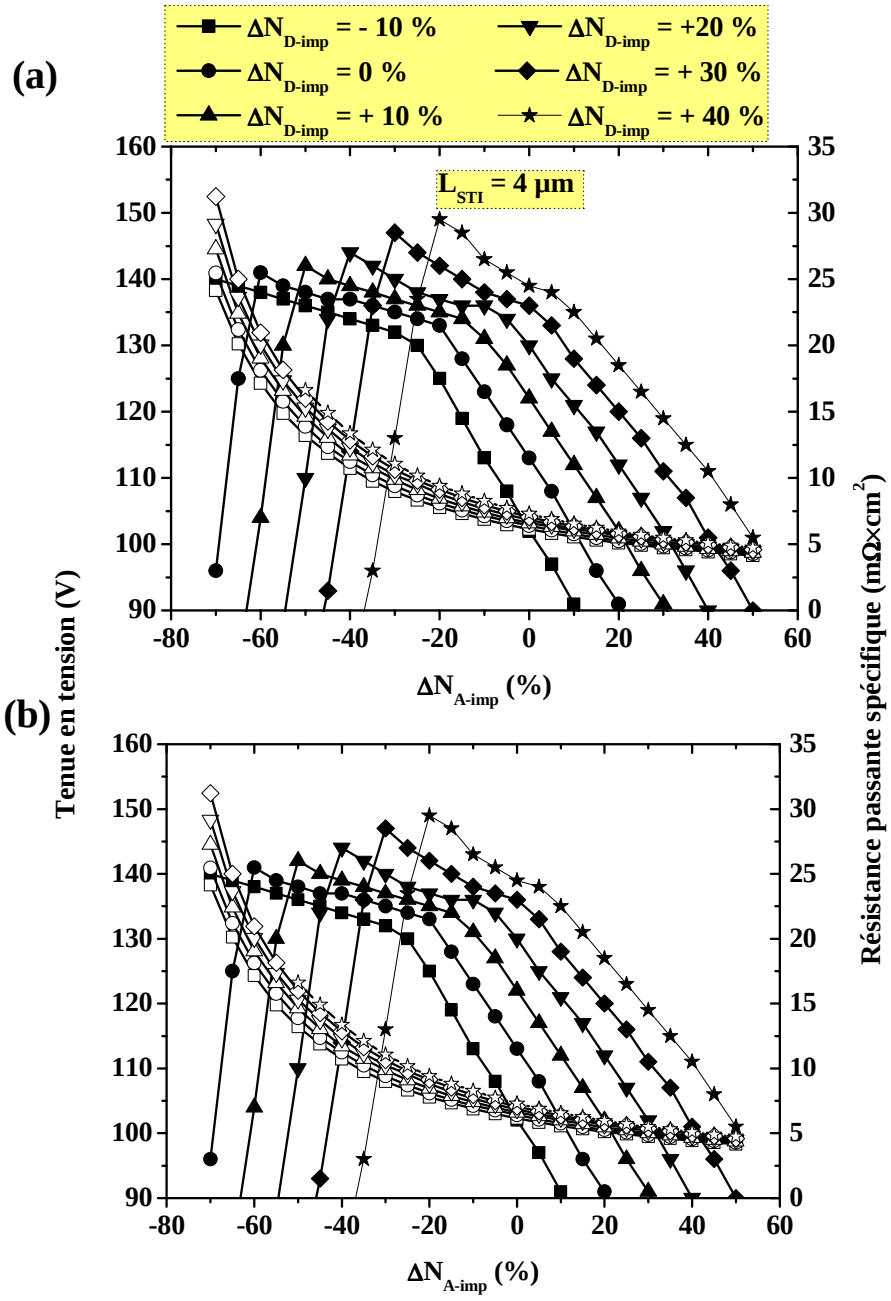

Figure IV-22 : Tenue en tension et résistance passante spécifique du transistor R-PLDMOS en fonction de la variation de dose de bore (P-drift) implantée pour différentes doses de phosphore (NBL) avec (a) quatre et (b) cinq implantations

La région N-well est réalisée à partir du masque servant à la définition des caissons N des transistors PMOS du procédé standard. Or, ces caissons sont réalisés avec seulement trois implantations de type N, ce qui ne permet pas de couvrir toute la couche de SOI, laissant ainsi une région de type P sous le N-well (figure IV-24 (a)), modifiant ainsi la répartition du champ électrique au niveau de cette jonction.

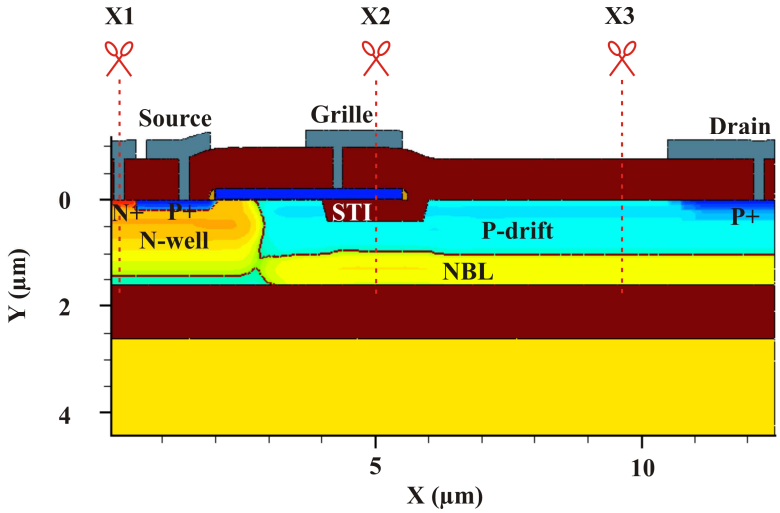

Figure IV-23 : Coupe schématique du transistor R-PLDMOS obtenu à partir de simulations technologiques avec la localisation des différentes coupes

L'oxyde du STI faisant barrage aux dopants lors des implantations pour la réalisation des régions P-drift et NBL, les dopants sont implantés moins profondément dans le silicium, ce qui modifie les profils de dopage, comme le montre la figure IV-24 (b). La profondeur de la jonction 'P-drift / NBL' et la dose de la couche NBL calculées à partir des deux coupes X2 et X3 de la figure IV-24 (b) sont comparées dans le tableau IV-7.

Coupe	Position de la jonction (µm)	Dose effective après diffusion (cm^{-2})
X2	0,93	$1{,}54\times10^{12}$
X3	1,13	$1{,}92\times10^{12}$

Tableau IV-7 : Position de la jonction 'P-drift / NBL' et dose de la couche NBL au niveau des coupes X2 et X3 de la figure IV-13 (b)

Au niveau de X2, soit sous le STI, la jonction 'P-drift / NBL' est moins profonde qu'au niveau de X3. De plus, une moindre proportion des atomes de phosphore permettant de réaliser la couche NBL atteint l'oxyde enterré, il en résulte une plus grande concentration dans le silicium et donc une dose plus importante. Ainsi, si le dopage $N_{D\text{-}BL}$ correspond au cas optimal au niveau de X3, il ne le sera pas au niveau de X2, expliquant la dégradation de la tension de claquage.

L'amélioration de la tenue en tension passe donc par une modification du procédé de fabrication : l'addition d'implantations à haute énergie pour la région N-well permet de lisser le profil de dopage et de supprimer la région P sous le N-well, comme le montre la figure II-24 (a). Cette modification, tolérée par ATMEL, puisque n'influençant pas les

caractéristiques des composants concernés qui sont les transistors PMOS, permet d'accroître la tension de claquage de plus de 5 V et donc de translater les courbes de tenue en tension de la figure IV-22 vers le haut. Les résultats obtenus permettent donc de se rapprocher de ceux obtenus dans le chapitre 3. La réalisation du STI après les implantations des couches NBL et P-drift permettraient d'atteindre les tenues en tensions du chapitre précédent.

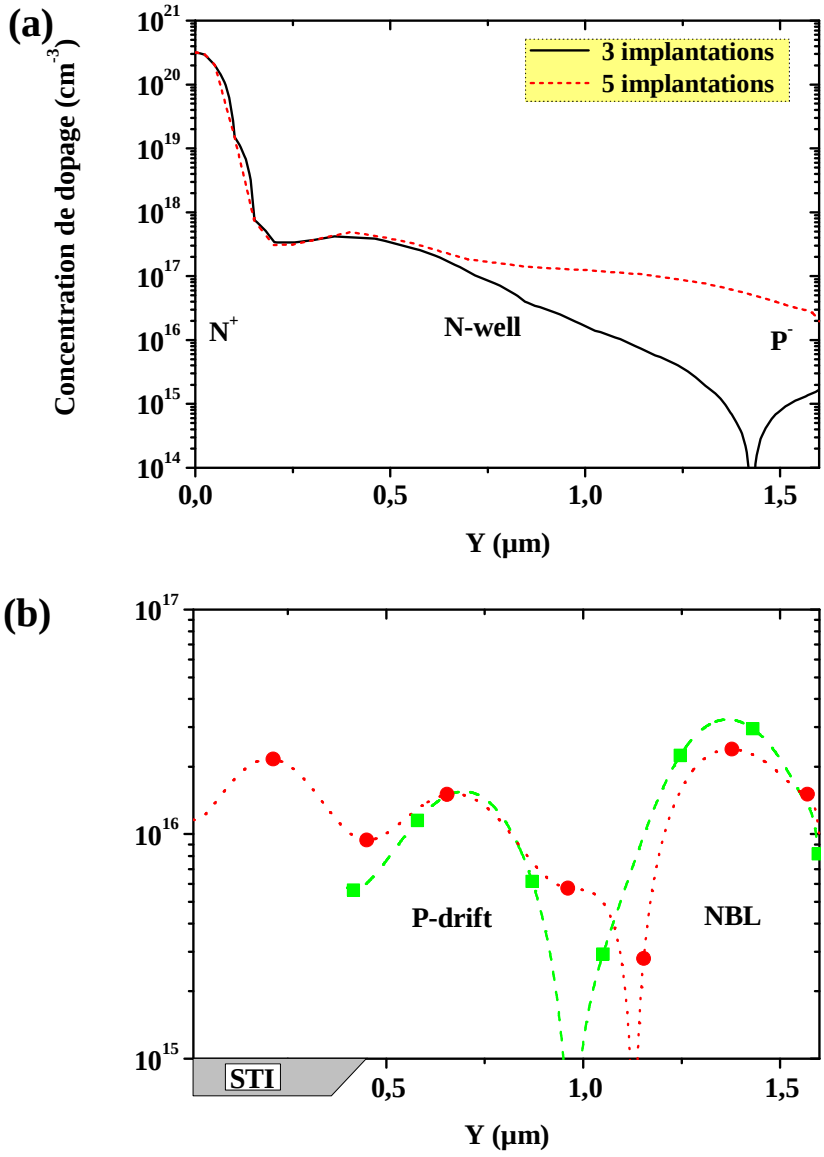

Figure IV-24 : Profils de dopage (a) au niveau du N-well et (b) du P-drift dans le transistor R-PLDMOS obtenus à partir de simulations technologiques

IV.5 Conclusion du chapitre

Différentes structures LDMOS, le transistor STI-LDMOS (à canal N) et PLDMOS (à canal P), ont été validées expérimentalement et les résultats obtenus ont été confrontés à ceux de simulation. La mesure de tenue en tension en fonction de la polarisation de substrat a

permis de montrer que le dopage utilisé pour les régions de P-well et N-well n'était pas optimisé puisque la tension de claquage maximale est obtenue pour une tension de substrat différente de 0 V. De plus, les simulations 3D ont montré la dégradation de la tension de claquage au niveau de la périphérie. L'utilisation des mêmes masques pour la réalisation des régions N-well et P-well des transistors à canal N et P nécessite un dopage élevé en surface pour l'ajustement de la tension de seuil. Ce dopage élevé est à l'origine d'un champ électrique sous la grille dans le transistor complémentaire.

Les mesures sur la caractéristique de drain ont montré un comportement anormal au niveau du courant de drain : dans certains cas, on observe une augmentation brusque du courant. Cette augmentation est causée par les trous ionisés par impact dans le N-well qui créent des charges négatives mobiles supplémentaires. Ce phénomène n'a pas lieu quand le dopage de cette même région est plus élevé. Dans ce cas, la concentration de trous mobiles générés est négligeable par rapport aux charges positives fixes du N-well.

Les mesures ont montré que le dopage excessif à la surface de la région de drift des transistors LDMOS avait des conséquences préjudiciables sur la tenue en tension. Pour cela, nous avons cherché à optimiser le procédé de fabrication des structures LDMOS des chapitres précédents qui présentaient les meilleures caractéristiques électriques. Dans un premier temps, la séquence d'implantation des régions N-drift, P-drift et des piliers P et N, suivant les structures, a été définie afin d'obtenir un profil de dopage le plus constant possible le long de l'épaisseur de la région de silicium active. Dans un second temps, le procédé complet des différentes structures LDMOS a été optimisé à partir de simulations technologiques en deux ou trois dimensions, suivant les structures, et de simulations électriques afin de définir le meilleur compromis « tenue en tension – résistance passante spécifique ». Parmi les structures développées, seuls les résultats du transistor STI-LDMOS permettent de retrouver ceux obtenus dans l'étude d'optimisation du chapitre 2. Le développement pour les simulations technologiques 3D n'est pas encore arrivé à maturité, ce qui donne des résultats imprécis et ce, malgré l'utilisation de moyens informatiques importants. En ce qui concerne le transistor R-PLDMOS, la présence du STI lors des implantations des régions NBL et P-drift modifie la dose et la profondeur des dopants sous l'oxyde, ce qui nuit au bon fonctionnement de la structure, principalement à la tenue en tension. La modification des conditions d'implantation du N-well du procédé standard permet d'améliorer la tenue en tension, tout en ne modifiant pas les caractéristiques des autres composants.

Conclusion générale

La réduction de la lithographie dans les circuits intégrés de puissance nécessite de repenser la compatibilité des interrupteurs de puissance qui y sont intégrés. Cette thèse s'est inscrite dans la démarche de concevoir des transistors LDMOS haute tension compatibles avec un procédé technologique CMOS 0,18 µm sur substrat « silicium sur isolant » (SOI).

Dans le premier chapitre, nous nous sommes attachés à introduire les technologies de puissance. Nous avons exposé le problème des perturbations que peuvent apporter les composants de puissance dans ces technologies, mais aussi les solutions d'isolation possibles. L'isolation par diélectrique s'avère être la meilleure solution en terme de protection des composants CMOS, qui sont les éléments les plus sensibles dans ce type de circuits. Nous nous sommes ensuite penchés plus attentivement sur les composants MOS haute tension. Les transistors MOS sont à conduction unipolaire, ce qui signifie qu'ils sont pénalisés par leur forte résistance à l'état passant qui est d'autant plus grande que la tension supportée par le composant devra être élevée. Pour améliorer le compromis « résistance passante spécifique / tenue en tension », plusieurs solutions innovantes sont apparues ces dernières années. La description de certaines de ces solutions nous a permis de définir celles compatibles avec notre application.

Le chapitre suivant portait sur l'étude de différentes architectures LDMOS à canal N sur SOI. Les simulations à l'état bloqué ont montré le gain apporté par l'utilisation du STI en fin de grille sur la tenue en tension. Les configurations du STI et du polysilicium de grille ont une incidence aussi bien sur les caractéristiques à l'état bloqué qu'à l'état passant. Le concept de la superjonction, qui permet en théorie de dépasser la limite du silicium des transistors MOS, est pénalisé, dans le cas d'une utilisation pour des composants latéraux, à cause de l'effet de champ engendré par l'électrode de substrat en face arrière qui dégrade la tenue en tension. Les différentes structures ainsi optimisées en terme de compromis « résistance passante spécifique / tenue en tension » ont été comparées dynamiquement par l'essai de charge de grille à courant constant, qui permet de quantifier les différentes capacités d'entrée (C_{GS} et C_{GD}). L'ajout du STI permet de réduire la capacité C_{GD} et, par conséquent, la charge de grille Q_g nécessaire pour rendre les composants LDMOS passants. La valeur de Q_g, étant similaire pour les structures STI-LDMOS et SJ-LDMOS pour une même valeur de ΔL_{Poly}, le facteur de mérite « $R_{on} \times Q_g$ » est meilleur dans le cas des transistors à superjonction à cause de leur résistance plus faible. L'estimation de l'aire de sécurité, obtenue par la simulation du courant de body (I_{body}) en fonction de la tension de grille (V_{GS}) permet de voir le moment du déclenchement du transistor bipolaire. La configuration du STI, mais aussi son absence, a un

effet à la fois sur le premier pic de courant de body, mais aussi sur la valeur maximale de V_{GS} avant le déclenchement du transistor bipolaire parasite. Les transistors à superjonction, dont la tenue en tension est conditionnée par le principe de la compensation des charges, sont dégradés par l'ajout de charges mobiles lors du passage d'un courant important à l'état passant. Le dernier point étudié dans ce chapitre est la configuration de la zone de canal dans les transistors avec STI. Les résultats de simulation ont montré que la jonction 'P-well / N-drift' devrait être la plus éloignée possible du STI pour réduire le courant de trous générés par impact par ionisation, mais aussi pour prévenir à plus long terme la dégradation par injection de porteurs chauds.

Dans le troisième chapitre, nous nous sommes attachés à l'optimisation de transistors LDMOS à canal P par simulations TCAD. L'utilisation de ces composants en configuration haute a mis en évidence le problème dans ce type de structures : l'absence d'effet RESURF qui a pour effet direct la dégradation du compromis « résistance passante spécifique / tenue en tension ». L'utilisation d'une couche N au même potentiel que la source permet d'améliorer la déplétion à l'état bloqué. La superjonction apporte un gain mais est toujours pénalisée par la déplétion due au substrat. L'ajout d'une couche N sous la région P de drift permet d'améliorer grandement la tenue en tension mais aussi la résistance passante spécifique par effet RESURF. Cette structure, unique en son genre, a fait l'objet d'un brevet. Les trois structures optimisées ont ensuite été simulées dynamiquement par le même essai de charge de grille. Les trois structures présentent une évolution similaire de la tension de grille en fonction du temps, du moins sur la dernière partie de la caractéristique. La structure R-PLDMOS est la plus pénalisée, surtout lors de la charge de la capacité Miller, à cause de l'évolution anormale de sa capacité C_{GD}. Les deux structures R-PLDMOS et SJ-PLDMOS présentent des résultats similaires, pour ce qui est du facteur de mérite « $R_{on}\times Q_g$ » dans les meilleurs cas. Enfin, les trois structures ont été caractérisées en terme d'aire de sécurité. Seul le transistor PLDMOS présente une caractéristique I_{body} en fonction de V_{GS} semblable à ce qui a pu être observé sur les transistors à canal N. Les deux autres structures présentent une valeur de V_{GS} maximale faible à cause des conditions de polarisation utilisées, mais aussi du champ électrique élevé au niveau des jonctions principales et de la diffusion P^+ de drain dès les faibles valeurs de V_{GS}.

Le quatrième chapitre était consacré à la validation expérimentale des transistors LDMOS étudiés dans les chapitres précédents. Ainsi, des structures STI-LDMOS (à canal N) et PLDMOS (à canal P) ont été fabriquées par ATMEL. Les résultats des essais de tenue en tension en fonction de la tension de substrat ont montré que les structures réalisées n'étaient

pas optimisées au niveau des dopages des régions de drift, pour une utilisation normale quand le substrat est polarisé à 0 V. De ces mesures, nous avons mis en évidence le problème de l'utilisation de deux masques uniquement pour la réalisation des régions N-well et P-well des deux structures à cause du dopage élevé nécessaire en surface pour l'ajustement des tensions de seuil. Les caractéristiques de drain ont révélé dans certaines structures un comportement anormal qui nous a amené à nous pencher sur les phénomènes qui y ont lieu. Le fort dopage du P-well permet de retarder le déclenchement du transistor bipolaire et la forte concentration de trous dans le N-well, générés par impact par ionisation à cause de l'effet Kirk, permet une plus grande concentration d'électrons et donc plus de courant. Les résultats expérimentaux ont ainsi montré que le dopage trop élevé à la surface de la région de drift entrainait indéniablement une dégradation de la tenue en tension. Pour cela, nous avons cherché à optimiser le procédé de fabrication des principales structures qui sont le transistor STI-LDMOS, SJ-LDMOS et R-PLDMOS à partir de simulations technologiques puis électriques. Les conditions d'implantation des régions de drift et des piliers de la superjonction ont donc été définies pour obtenir un profil de dopage le plus constant possible sur l'épaisseur de la couche de silicium actif. Ces profils ont ensuite été utilisés pour simuler le procédé complet des cellules élémentaires et les structures ainsi obtenues ont été simulées électriquement afin de déterminer les doses d'implantation optimales permettent d'obtenir le meilleur compromis « résistance passante spécifique / tenue en tension ». Nous avons pu retrouver, dans le cas du transistor STI-LDMOS, les mêmes résultats que ceux obtenus dans le chapitre 2. Les simulations technologiques en trois dimensions nécessaires pour l'optimisation des transistors à superjonction demandent beaucoup de ressources informatiques et ne permettent pas d'obtenir des résultats suffisamment précis. À cause de la chronologie des étapes de fabrication, les régions P-drift et NBL du transistor R-PLDMOS sont réalisées après le STI. La présence de l'oxyde en surface modifie la profondeur des implantations et donc les doses présentes dans le silicium. Ce changement crée un déséquilibre des charges dans l'effet RESURF, détériorant ainsi la tenue en tension.

De cette thèse, nous retiendrons que transistors STI-LDMOS et R-PLDMOS sont les meilleures structures LDMOS à canal N et P pouvant être intégrées dans un circuit intégré de puissance réalisé à partir d'un procédé CMOS 0,18 µm sur substrat SOI. De plus, bien que ces nouvelles structures n'aient pas pu être validées expérimentalement, les mesures, effectuées sur des transistors STI-LDMOS (à canal N) et PLDMOS (à canal P) ont pu être confrontées à des simulations, ce qui a permis la validation de ces dernières.

Les travaux présentés dans ce manuscrit ouvrent sur un nombre relativement important de prospectives :

- de nombreuses simulations électriques ont été effectuées. Il serait intéressant de vérifier expérimentalement les comportements particuliers que nous avons pu observer lors des différentes études.

- l'oxyde enterré dans les substrats SOI apporte une résistance thermique importante. Des simulations à haute température seraient intéressantes pour étudier l'effet de la température sur les caractéristiques électriques.

- la dégradation par porteurs chauds, qui est la principale cause de dégradation des transistors LDMOS, a été étudiée de manière intensive dans le cas de structures avec LOCOS. Or, l'utilisation du STI dans les transistors LDMOS est assez récente et, à ce jour, il n'existe que peu d'études sur ces architectures. Une étude à partir de simulations, et idéalement de mesures, des différents paramètres, tels que la configuration de la zone du canal, permettrait d'étudier plus précisément la dégradation des transistors STI-LDMOS, comme cela a été introduit dans le chapitre 2.

Références bibliographiques

[1] C. Contiero, A. Andreini, P. Galbiati, “Roadmap Differentiation and Emerging Trends in BCD technology”, Proceedings ESSDERC’2002, pp. 275-282, 2000.

[2] F. Morancho, “Physique et modélisation des composants et des circuits intégrés de puissance”, Lavoisier, Paris, 2007.

[3] B. L. Gregory, B. D. Shafer, “Latch-up in CMOS integrated circuits”, IEEE Transaction on Nuclear Science, Vol. 20, n° 6, pp 293-299,1973.

[4] R. Menozzi, L. Selmi, E. Sangiorgi, G. Crisenza, T. Cavioni, B. Riccò, “Layout Dependence of CMOS Latch up”, IEEE Transactions on Electron Devices, Vol. 35, N° 11, pp 1892-1900, 1988.

[5] C. Mazure, W. Reczek, D. Takacs, J. Winnerl, “Improvement of Latch up Hardness by Geometry and Technology Tuning”, IEEE Transactions on Electron Devices, Vol. 35, N° 10, pp 1609-1615, 1988.

[6] D. K. Schroder, “Carrier Lifetimes in Silicon”, IEEE Transactions on Electron Devices, Vol. 44, N° 1, pp 160-170, 1997.

[7] O. Gonnard, G. Charitat, P. Lance, E. Stefanov, M. Suquet, M. Bafleur, N. Mauran. A. Peyre-Lavigne, “Substrate Current Protection in Smart Power IC's”, Proceedings ISPSD 2000, pp 169-172, 2000.

[8] C. Y. Huang, M. J. Chen, “Design Model and Guideline for n-Well Guard Ring in Epitaxial CMOS”, IEEE Transactions on Electron Devices, Vol. 41, N° 10, pp 1806-1810, 1994.

[9] R. Zhu, V. Parthasarathy, J. Capilla, W. Peterson, M. Bacchi, M. Zunino, R. Baird, “Suppression of substrate injection by RESURF LDMOS in a smart power technology for 20-30V applications”, Proceedings BCTM 1998, pp 184-186, 1998.

[10] R. Zhu, V. Parthasarathy, V. Khemka, A. Bose, T. Roggenbauer, “ Implementation of High-Side, High-Voltage RESURF LDMOS in a sub-half Micron Smart Power Technology”, Proceedings BCTM 2001, pp 403-406, 2001.

[11] C. Contiero, P. Galbiati, M. Palmieri, G. Riotti, R. Stella, “ Smart Power Approaches VLSI Complexity”, Proceedings ISPSD 1998, pp 11-16, 1998.

[12] J. P. Laine, O. Gonnard, G. Charitat, L. Bertolini, A. Peyre-Lavigne, “Active Pull-Down Protection for full substrate current isolation in Smart Power IC’s”, Proceedings ISPSD 2002, pp 273-276, 2002.

[13] J. P. Laine, O.Gonnard, G. Charitat, M. Bafleur, L. Bertolini “ Substrate current control in Smart Power IC’s with a Flexible Protection Structure” Proceedings BCTM 2002, pp 36-40, 2002.

[14] S. M. Sze, “Physics of semiconductor devices, 2nd edition”, Wiley-Interscience, New York, 1981.

[15] V. Parthasarathy, R. Zhu, V. Khemka, T. Roggenbauer, A. Bose, P. Hui, P. Rodriquez, J. Nivision, D. Collins, Z. Wu, I. Puchades, M. Butner, “A 0.25µm CMOS based 70V smart power technology with deep trench for high-voltage isolation”, Proceedings IEDM 2002, pp 459-462.

[16] G. K. Celler, “Frontiers of silicon-on-insulator”, Journal of Applied Physics, Vol. 93, n° 9, pp 4955 – 4978, 2003.

[17] K. Izumi, M. Doken, H. Ariyoshi, “CMOS Devices fabricated on Buried SIO2 Layers Formed by Oxygen Implantation into Silicon”, Electronics Letters, Vol. 14, n° 18, pp 593-594, 1978.

[18] W. P. Maszara, G. Goetz, A. Caviglia, J. B. McKitterick, “Bonding of silicon wafers for silicon - on - insulator”, Journal of Applied Physics, Vol. 64, n° 10, pp 4943 – 4950, 1988.

[19] M. Bruel, “Silicon on Insulator Material Technology”, IEEE Electronics Letters, Vol. 31, n° 14, pp 2101-2102, 1995.

[20] T. Yonehara, K. Sakaguchi, N. Sato, “Epitaxial Layer Transfer by Bond and Etch Back of Porous Silicon”, Applied Physics Letter, Vol. 64, n° 16, pp 2108-2110, 1994.

[21] Y. Ichikawa, T. Yonehara, M. Sakomato, Y. Naruse, J. Nakayama, K. Yamagata, K. Sakaguchi, “Method for producing semiconductor articles”, United States Patent 5466631, 1995

[22] P. Francis, A. Terao, G. Gentinne, D. Flandre, J. P. Colinge, “SOI technology for high-temperature Applications”, Proceedings IEDM 1992, pp 353-356, 1992.

[23] A. W. Ludikhuize “A versatile 700 – 1200V IC process for analog and switching applications”, IEEE Transactions on Electron Devices, Vol. 38, n° 7, pp 1482-1589, 1991.

[24] T. R. Efland, C. Y. Tsai, S. Pendharkar, “Lateral Thinking About Power Devices (LDMOS)”, Proceedings IEDM 1998, pp 679-682, 1998.

[25] P. Kouakou, “Etude physique des non-linéarités dans les transistors MOS de puissance radiofréquences”, Thèse de l’Université Paul Sabatier de Toulouse, 1999.

[26] M. Gharbi, “La tenue en tension et le calibre en courant du transistor MOS vertical dans les gammes des moyennes tensions (300 V à 1000 V)”, Thèse de l’Université Paul Sabatier de Toulouse, 1985.

[27] F. Morancho, “De nouvelles limites pour le compromis « Résistance passante spécifique / tenue en tension » des composants unipolaires de puissance”, Habilitation à Diriger des Recherches, Université Paul Sabatier, 2004.

[28] J. A. Appels, H. M. J. Vaes, “High voltage thin layer Devices (RESURF Devices)”, Proceedings IEDM 1979, pp 238-241, 1979.

[29] J. Appels, M. Collet, P. Hart, H. Vaes, I. Verhoeven, Thin-layer HV-devices, Philips J. Res. 35 (1980), p.1-13.

[30] A. W. Ludikhuize, “A review of RESURF technology”, Proceedings ISPSD 2000, pp 11-18, 2000.

[31] R. P. Zingg, “New Benchmark for RESURF, SOI and Super-Junction Power Devices”, Proceedings ISPSD 2001, pp 343-346, 2000.

[32] M. F. Chang, G. Pifer, H. Yilmaz, E. J. Wildi, R. G. Hodgins, K. Owyang, M. S. Adler, “Lateral HVIC with 1200V bipolar and field-effect devices”, IEEE Transactions on Electron Devices, Vol. 33, n° 12, pp 1992-2001, 1986.

[33] A.W. Ludikhuize, “High-voltage DMOS and PMOS in analog IC’s”, Proceedings IEDM 1982, pp 81-84.

[34] N. Cézac, “Transistor MOS de puissance à faible résistance à l’état passant”, Thèse de doctorat de l’Université Paul Sabatier de Toulouse, janvier 2001.

[35] F. Udrea, A. Popescu, W.I. Milne, “3D RESURF double-gate MOSFET- a revolutionary power device concept”, IEEE Electronics Letters, Vol. 34, n° 8, pp 808-809, 1998.

[36] T. Fujihira, “Theory of Semiconductor Superjunction Devices”, Japanese Journal of Applied Physics, Vol. 36 (1), n°10, pp.6254-6262, 1997.

[37] I. Y. Park, C. A. T. Salama, “CMOS compatible Super Junction LDMOST with N-Buffer Layer”, Proceedings ISPSD 2005, pp 163-166, 2005.

[38] W. Chen, B. Zhang, Z. Li, “Novel SJ-LDMOS on SOI with Step Doping Surface Implanted Layer” Proceedings ICCCAS 2007, pp 1256-1259, 2007.

[39] R. Stengl, U. Gosele, “Variation of Lateral Doping - A new Concept to avoid High Voltage Breakdown of Planar Junctions”, Proceedings IEDM 1985, pp 154-157, 1985.

[40] S. Colak, “Effects of Drift Region Parameters on the Static Proprieties of Power LDMOST”. IEEE Transactions on Electron Devices, Vol. 28, n° 12, pp 1455-1466, 1981.

[41] Y. Q. Li, C. A. T. Salama, M. Seufert, M. King, “Submicron BiCMOS Compatible high Voltage MOS Transistors”, Proceedings ISPSD 1994, pp 355-358, 1994.

[42] T. Efland, P. Mei, D. Mosher, B. Todd, “Self-Aligned RESURF to LOCOS Region LDMOS Characterization shows excellent R_{sp} vs BV performance”, Proceedings ISPSD 1996, pp 147-150, 1996.

[43] K. Kinoshita, Y. Kawaguchi, A. Nakagawa, “A New Adaptive RESURF Concept for 20V LDMOS without Breakdown Voltage Degradation at High Current”, Proceedings ISPSD 1998, pp 65-68, 1998.

[44] S. Isomae, S. Yamamoto, S. Aoki, A. Yajima, “Oxidation-Induced Stress in a LOCOS Structure”, IEEE Electron Device Letter, Vol. 7, N° 6, pp 368-370, 1986.

[45] M. Zitouni, “Une nouvelle structure d’interrupteurs pour circuits intégrés de puissance : le concept du transistor LUDMOS”, Thèse de doctorat de l’Université Paul Sabatier de Toulouse, octobre 1999.

[46] M. Annese, S. Bertaiola, G. Croce, A. Milani, R. Roggero, P. Galbiati, C. Contiero, “0.18 µm BCD High Voltage Gate (HVG) Process to address Advanced Display Drivers Roadmap”, Proceedings ISPSD 2005, pp 363-366, 2005.

[47] R. Zhu, V. Khemka, A. Bose, T. Roggenbauer, “Stepped Drift LDMOSFET: A novel Drift Region Engineering Device for Advanced Smart Power Technologies”, Proceedings ISPSD 2006, pp 1-4, 2006.

[48] I. Cortés, P Fernández-Martínez, D Flores, S. Hidalgo, J.Rebollo "Static and dynamic electrical performances of STI thin-SOI power LDMOS transistors" Semicond. Sci. Technol, Vol. 23, N° 9, pp 1 – 7, 2008.

[49] J. Sonsky; A. Heringa, “Dielectric RESURF: Breakdown voltage control by STI layout in standard CMOS”, Proceedings IEDM 2005, pp 373-376, 2005.

[50] A. Heringa, J. Sonsky, J. Perez-Gonzalez; R. Y. Su, P.Y. Chiang, “Innovative lateral field plates by gate fingers on STI regions in deep submicron CMOS”, Proceedings ISPSD 2008, pp 271-274, 2008.

[51] Y. S. Huang, B. J. Baliga, “Extension of RESURF principle to dielectrically isolated power devices”, Proceedings ISPSD 1991, pp 27-30, 1991.

[52] E. Arnold, “Silicon-on-insulator Devices for High Voltage and Power IC Applications”, J. Electrochem. Soc, Vol. 141, No 7, juillet 1994, pp 1983 - 1988.

[53] S. Merchant, E. Arnold, H. Baumart, R. Egloff, T. Letavic, S. Mukherjee, H. Pein, “Dependence of Breakdown Voltage on Drift Length and Buried Oxide Thickness in SOI RESURF LDMOS Transistors”, Proceedings ISPSD 1993, pp 124-128, 1993.

[54] M. A. Amberetu, C. A. T. Salama, “150V Class Superjunction Power LDMOS Transistor Switch on SOI”, Proceedings ISPSD 2002, pp 101-104, 2002.

[55] N. Fujishima, M. Saito, A. Kitamura, Y. Urano, G. Tada, Y. Tsuruta, “A 700V Lateral Power MOSFET with Narrow Gap Double Metal Field Plates Realizing Low On-resistance and Long-term Stability of Performance” Proceedings ISPSD 2001, pp 255-258, 2001.

[56] S. G. Nassif-Khalil, C. A. T. Salama, “Super junction LDMOST in silicon-on-sapphire technology (SJ-LDMOST)”, Proceedings ISPSD 2002, pp 81-84, 2002.

[57] T. Rotter, M. Stoisiek, “High-Voltage Extension (VBR > 800 V) for Smart-Power SOI-Technologies”, Proceedings IEDM 2004, pp 447-450, 2004.

[58] A. W. Ludikhuize, J. A. van der Pol, A. Heringa, A. Padiy, E. R. Ooms, P. van Kessel, G. J. J. Hessels, M. J. Swanenberg, B. van Velzen, H. van der Vlist, J. H. H. A. Egbers, M. Stoutjesdijk, “Extended (180V) Voltage in 0.6µm Thin-Layer-SOI A-BCD3 Technology on 1µm BOX for Display, Automotive & Consumer Applications”, Proceedings ISPSD 2002, pp 77-80, 2002.

[59] T. Uhlig, A. Bemmann, C. Ellmers, F. Ftirnhammer, M. GroB, Y. H. Hu, J. Liu, R.-R. Ludwig, M. Reinhold, M. Stoisiek, E. Votintseva, M. Wittmaack, "A18 – a novel 0.18µm Smart Power SOC IC Technology for Automotive Applications", Proceedings ISPSD 2007, pp 237-240, 2007.

[60] C.-J. Ko, S.-Y. Lee, I.-Y. Park, C.-E. Park, B.-K. Jun, Y.-J. Lee, C.-H. Kang, J.-O. Lee, N.-J. Kim, K.-D. Yoo, "Implementation of 85V High Side LDMOS with n-layer in a 0.35µm BCD Process", Proceedings ISPSD 2008, pp 103-106, 2008.

[61] T. Khan, V. Khemka, R. Zhu, W. Huang, X. Cheng, P. Hui, M.-l. Ger, B. Grote, P. Rodriquez, "Combined Lateral Vertical RESURF (CLAVER) LDMOS structure", Proceedings ISPSD 2009, pp 13-16, 2002.

[62] I.-Y. Park, Y.-K. Choi, K.-Y. Ko, C.-J. Yoon, Y.-S. Kim, M.-Y. Kim, H.-T. Kim, H.-C. Lim, N.-J. Kim, K.-D. Yoo, "Implementation of Buffered Super-Junction LDMOS in a 0.18um BCD Process" Proceedings ISPSD 2009, pp 192-195, 2009.

[63] P. L. Hower, "Safe Operating Area - a new Frontier in Ldmos Design", Proceedings ISPSD 2002, pp 1-8, 2002.

[64] P. L. Hower, J. Lin, S. Haynie, S. Paiva, R. Shaw, N. Hepfinger, "Safe operating area considerations in LDMOS transistors", Proceedings ISPSD 1999, pp 55–58, 1999.

[65] S. K. Lee, C. J. Kim, J. H. Kim, Y. C. Choi, H. S. Kang, C.S. Song, "Optimization of safe-operating-area using two peaks of body-current in submicron LDMOS transistors", Proceedings ISPSD 2001, pp 287–290, 2001.

[66] A. W. Ludikhuize, "Kirk effect limitations in High Voltage IC's", Proceedings ISPSD 1994, pp 249-22, 1994.

[67] S. H. Chen, J. Gong, M. C. Wu, A. Su Yu-kwen, "Hot-carrier degradation rate of high-voltage lateral diffused metal-oxide-semiconductor field-effect transistors under maximum substrate current stress conditions, Japanese Journal of Applied Physics, 43, pp 54-60, 2004.

[68] D. Hongfei Lu, T. Mizushima, H. Sumida, M. Saito, H. Nakazawa, "High Voltage SOI P-channel Field MOSFET Structures", Proceedings ISPSD 2009, pp 17 – 20, 2009.

[69] V. Palumbo, M. Ventaruto, M. Gallo, F. Pozzobon, M. P. Galbiati, C. Contiero, "High doped drain double-Resurf 100V P-channel MOS on SOI 0.35 µm BCD technology", Proceedings ISPSD 2008, pp 283 – 286, 2008.

[70] W. Chen, B. Zhang, Z. Li, “Optimization of super-junction SOI-LDMOS with step doping surface-implanted layer”, Semiconductor Science and Technology, Vol. 22, pp 464 – 470, 2007.

[71] V. Palumbo, M. Venturato, M. Gallo, F. Pozzobon, M. P. Galbiati, C. Contiero, “High doped drain double-Resurf 100V P-channel MOS on SOI 0.35 μm BCD technology”, Proceedings ISPSD 2008, pp 283 – 286, 2008.

[72] T. Letavic, S. Sharma, R. Cook, R. Brock, A. Gondal, C .Mandhare, W. van Noort, “A Field-Plated Drift-Length Scalable EDPMOS Device Structure”, Proceedings ISPSD 2009, pp 108 – 111, 2008.

[73] S. Schwantes, T. Florian, M. Graf, F. Dietz, V. Dudek, “Analysis of the back gate effect on the breakdown behaviour of SOI LDMOS transistors”, Proceedings ESSDERC 2004, pp 17 – 20, 2004.

[74] P. Hower, J. Lin, S. Pendharkar, B. Hu, J. Arch, J. Smith, T. Efland, “A rugged LDMOS for LBC5 Technology”, Proceedings ISPSD 2005, pp 1 – 4, 2005.

[75] J. Lin, P. Hower, “Two-Carrier Current Saturation in a Lateral Dmos”, Proceedings ISPSD 2006, pp 1 - 4, 2006.

Liste des publications

Brevet international

W. J. Toren, B. Villard, E. Hugonnard-Bruyère, G. Toulon, F. Morancho, I. Cortes Mayol, T. Pedron, "Enhanced HVPMOS", Atmel Ref. 09065RFO, déposé le 5 août 2010.

Revues internationales

I. Cortés, G. Toulon, F. Morancho, J. Urresti, X. Perpiñà, B. Villard, "Analysis and optimization of safe-operating-area of LUDMOS transistors based on 0.18 µm SOI CMOS technology", Semiconductor Science and Technology, Vol. 25, N. 4, 7 pages, avril 2010.

G. Toulon, I. Cortes, F. Morancho, B. Villard, "Analysis and Optimization of LUDMOS Transistors on a 0.18µm SOI CMOS Technology", International Journal of Microelectronics and Computer Science (JMCS), Vol. 1, 6 pages, juillet 2010.

Conférences internationales

G. Toulon, I. Cortés, F. Morancho, B. Villard, "Analysis and optimization of LUDMOS transistors on a 0.18µm SOI CMOS technology", 16th International Conference Mixed Design of Integrated Circuits & Systems, (MIXDES '09), Lotz (Pologne), 6 pages, juin 2009.

G. Toulon, I. Cortés, F. Morancho, B. Villard, "LUDMOS transistors optimization on a 0.18um SOI CMOS technology", 13th European Conference on Power Electronics and Applications (EPE '09), Barcelone (Espagne), 10 pages, septembre 2009.

G. Toulon, I. Cortés, F. Morancho, E. Hugonnard-Bruyère, B. Villard, W. J. Toren, "High voltage MOS transistors on 0.18µm SOI CMOS technology", Sixth Workshop of the Thematic Network on Silicon on Insulator technology, devices and circuits (EUROSOI 2010), Grenoble (France), 2 pages, janvier 2010.

G. Toulon, I. Cortés, F. Morancho, E. Hugonnard-Bruyère, B. Villard, W. J. Toren, "Analysis of technological concerns on electrical characteristics of SOI power LUDMOS transistors", 22nd International Symposium on Power Semiconductor Devices & IC's (ISPSD), Hiroshima (Japon), 4 pages, juin 2010.

I. Cortés, G. Toulon, F. Morancho, E. Hugonnard-Bruyère, B. Villard, W. J. Toren, "Analysis and Optimization of Lateral Thin-Film Silicon-on-Insulator (SOI) MOSFET Transistors", 10^{th} International Seminar on Power Semiconductors (ISPS), Prague (République Tchèque), septembre 2010.

Résumé

Titre : Conception de transistors MOS haute tension en technologie CMOS 0,18 µm sur substrat "silicium sur isolant" (SOI) pour les nouvelles générations de circuits intégrés de puissance.

Les circuits intégrés de puissance combinent dans une même puce des fonctions logiques digitales, obtenues par des circuits CMOS, associées à des interrupteurs de puissance de type transistors DMOS. La demande pour des applications de plus en plus complexes nécessite l'utilisation de lithographies plus fines pour augmenter la densité de composants CMOS. L'évolution des technologies CMOS oblige à développer des composants DMOS compatibles dans les circuits intégrés de puissance. Le travail de cette thèse se concentre sur la conception de transistors LDMOS haute tension (120 V) compatibles avec un procédé CMOS 0,18 µm sur substrat « silicium sur isolant » (SOI). Différentes architectures de transistors LDMOS à canal N et P ont été proposées et optimisées en termes de compromis « tenue en tension / résistance passante spécifique » à partir de simulations TCAD à éléments finis. Les performances de ces structures ont été comparées en termes de facteur de mérite $R_{on} \times Q_g$ qui est le produit entre charge de grille et résistance passante spécifique, mais aussi en termes d'aire de sécurité. Les meilleurs transistors STI-LDMOS et SJ-LDMOS (à canal N) et R-PLDMOS (à canal P) affichent des performances statiques et dynamiques comparables voire parfois supérieures à celles des composants de puissance de la littérature. Différentes mesures effectuées sur les transistors LDMOS réalisés par ATMEL et comparées aux simulations ont permis de valider les simulations effectuées dans cette thèse.

Mots clés : Transistors LDMOS, circuits intégrés de puissance, SOI, simulations numériques à éléments finis.

Abstract

Design of high voltage MOS transistors based on a 0.18 µm CMOS process on a “silicon on insulator” (SOI) substrate for the new generations of power integrated circuits

Power integrated circuits combine on a same ship digital logic functions from CMOS circuits associated with power switches such as DMOS transistors. The demand for more and more complex applications requires finer lithography in order to increase the CMOS components density. The evolution of CMOS technology requires developing new DMOS components compatible with the power integrated circuits. This thesis focuses on the conception of high voltage LDMOS transistors (120V) compatible with a 0.18 µm CMOS process based on a “silicon on insulator” substrate. Several N and P channel LDMOS transistor designs were studied and optimised in terms of “breakdown voltage / specific on-state resistance” trade-off from finite element TCAD simulations. The performances of the structures were compared in terms of figure of merit $R_{on} \times Q_g$, which is the product between the on-state resistance and the gate charge, and in terms of safe operating area. The best STI-DLMOS and SJ-LDMOS (N-type) and R-PLDMOS (P-type) transistors exhibit static and dynamic performances comparable and sometime superior to those of the state-of-the-art power transistors. Different experimental measurements carried out on LDMOSFETs manufactured by ATMEL and compared with simulations, allowed to validate the simulation results performed in this thesis.

Keywords: LDMOS transistors, power integrated circuits, SOI finite-element numerical simulations.