

# Design of High Isolation Frequency Mixer in CMOS 0.18 $\mu\text{m}$ Technology Suitable for Low Power Radio Frequency Applications

Khalid Faitah, Ahmed El Oualkadi, Abdellah Ait Ouahman

► **To cite this version:**

Khalid Faitah, Ahmed El Oualkadi, Abdellah Ait Ouahman. Design of High Isolation Frequency Mixer in CMOS 0.18  $\mu\text{m}$  Technology Suitable for Low Power Radio Frequency Applications. Physical and Chemical News, Best Edition, 2009, 49, pp.1-7. <hal-00947412>

**HAL Id: hal-00947412**

**<https://hal.inria.fr/hal-00947412>**

Submitted on 16 Feb 2014

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# DESIGN OF HIGH ISOLATION FREQUENCY MIXER IN CMOS 0.18 $\mu\text{m}$ TECHNOLOGY SUITABLE FOR LOW POWER RADIO FREQUENCY APPLICATIONS

## CONCEPTION D'UN MELANGEUR DE FREQUENCE EN TECHNOLOGIE CMOS 0,18 $\mu\text{m}$ , FAIBLE PUISSANCE ET BONNE ISOLATION, DEDIE A DES APPLICATIONS RADIO FREQUENCES

**K. Faitah\*, A. El Oualkadi, A. Ait Ouahman**

*Laboratoire de Microinformatique, Systèmes Embarqués et Systèmes sur Puces  
Université Cadi Ayyad Ecole Nationale des Sciences Appliquées.*

*Avenue Abdelkrim El Khattabi BP : 575 Marrakech Maroc.*

*\* Corresponding author. E-mail: faitah@ensa.ac.ma*

*Received: 16 July 2008; revised version accepted: 10 October 2008*

### Abstract

In this paper we will present the design of Single Balanced Mixer, operating at a frequency RF of 1.9 GHz, implemented in 0.18  $\mu\text{m}$  CMOS technology at supply voltage of 1.8 V. We will calculate the values components of this circuit and in particular the size of CMOS used to achieve a better isolation while keeping a good gain of the proposed architecture with a low power consumption. The obtained results show a conversion gain equal to 7 dB and low power consumption equal to 3.86 mW at 1.8 V voltage supply. The single side band noise figure performance can be acceptable roughly equal to 8 dB. These results show a good potential of this CMOS mixer and justify its use for low-power wireless communications.

**Keywords :** Analog design; RF mixer; Conversion gain; Wireless communications; CMOS technology.

### Résumé

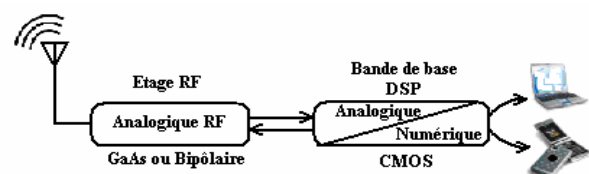
L'évolution technologique de la nouvelle génération des systèmes de communications sans fil est actuellement en pleine mutation, elle se caractérise par la forte demande de solutions de plus en plus intégrées à faible consommation et à bas coût. C'est dans cette perspective que s'inscrit le travail de ce présent article dont l'objectif terminal est l'analyse et la conception d'un mélangeur RF en technologie CMOS 0,18  $\mu\text{m}$  dédié pour des applications à 1,9 GHz. Ce travail consiste donc à aboutir à partir de cette technologie, des circuits opérationnels pour les systèmes Radio Fréquences et a permis en l'occurrence d'obtenir des résultats révélant une bonne potentialité de la technologie CMOS en matière de mélangeur RF. Ainsi le mélangeur exhibe une valeur de gain de conversion de 7 dB, une consommation de 3,8 mW et un facteur de bruit de l'ordre de 8 dB. Ces résultats obtenus, comparés avec ceux obtenus par d'autres méthodes, justifient la fiabilité de la proposition pour les applications HF.

**Mots clés :** Mélangeur RF; Gain de conversion; Technologie CMOS; Point de compression; Point d'interception.

### 1. Introduction

L'évolution remarquable que connaît le domaine de communication sans fil entraîne des contraintes et des performances de plus en plus accrues, ce qui augmente la complexité des systèmes utilisés pour ces applications. Traditionnellement, les systèmes de communication sans fil sont réalisés avec des technologies différentes, l'arséniure de gallium (GaAs) ou le silicium germanium (SiGe) pour la partie radiofréquence (RF) et le CMOS pour la partie bande de base (BB), comme l'illustre la figure 1. Les technologies GaAs ou SiGe sont

utilisées pour leurs fréquences de transition relativement élevées et leur faible niveau de bruit. Par contre, leurs coûts de fabrication sont onéreux, imposant des frais assez élevés, en plus de leur incompatibilité avec les modules numériques [1].



**Figure 1 :** Système de communication bidirectionnel.

D'autre part, l'utilisation de la technologie CMOS, permettant d'atteindre des niveaux d'intégration très élevés, présente des avantages significatifs pour la réalisation des circuits intégrés radiofréquences. En effet, l'énorme effort fourni par l'industrie de la microélectronique au cours des dernières années pour réduire les dimensions des transistors, rend de plus en plus possible l'intégration de fonctions radiofréquences en technologie CMOS. Cette intégration vise la réduction du coût, de la taille et de la consommation, tout en augmentant la fonctionnalité du système. En outre, elle permet l'intégration complète des circuits analogiques et numériques sur une seule puce. Cependant, l'intégration et la conception à basse tension, tout particulièrement les applications en hautes fréquences, imposent de nouveaux défis et nécessitent de nouvelles architectures capables de répondre à ce changement, notamment une faible consommation et un bas coût.

Le mélangeur est un module indispensable dans tout système de télécommunication dont l'impact est critique sur les performances de l'ensemble des fonctions. Tout compte fait pour restituer le signal désiré, nous sommes obligés d'accomplir une conversion de fréquence par un mélangeur permettant une multiplication temporelle de deux signaux, l'un RF provenant d'une antenne réceptrice éventuellement filtré et amplifié et l'autre LO provenant d'un Oscillateur Local (figure 2), le résultat est une transposition vers une haute ou basse fréquence intermédiaire (IF) dépourvue de parasites et/ou bruits H.F. Toutefois un ensemble de difficultés provient de ce processus qui induit un défi en termes de gain, de bruit, de linéarité, d'isolation, de consommation et de coût.

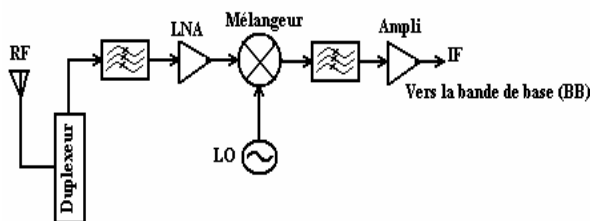


Figure 2 : Bloc d'un récepteur RF.

Le présent article a pour objectif d'étudier et de concevoir un mélangeur simplement équilibré intégré en technologie CMOS 0,18  $\mu\text{m}$  pour la réception RF. Le but principal est d'optimiser les performances du mélangeur à étudier afin de le rendre utilisable pour les applications de communication sans fil autour d'une fréquence RF égale à 1,9 GHz. Pour ce faire, nous avons commencé notre étude par la recherche d'un

dimensionnement optimal des valeurs des composants du circuit mélangeur en CMOS 0,18  $\mu\text{m}$  et d'une polarisation correcte du circuit afin d'améliorer ses performances au point de vue gain de conversion, point de compression à 1 dB et point d'interception d'ordre 3. Les résultats obtenus seront comparés avec ceux trouvés récemment ce qui justifiera la fiabilité de notre méthode de conception adoptée permettant d'atteindre des niveaux d'intégrations élevés et présentant des avantages significatifs pour la réalisation des circuits intégrés radiofréquences.

## 2. Architecture du circuit mélangeur proposé

Un mélangeur idéal est un multiplicateur analogique possédant trois ports comme illustré à la figure 3. En pratique l'opération de mélange est réalisée en utilisant des composants non linéaires, bien que l'opération de multiplication est simple mathématiquement, elle s'avère quasiment difficile « voir impossible » à réaliser de manière idéale [2]. De plus comme le montre le schéma du montage de la figure 2, le mélangeur se situe comme interface dans tout bloc récepteur entre un LNA (amplificateur à faible bruit) recevant le signal RF et un filtre assurant la réception du signal dans la bande de base désirée. De ce fait, le choix de la technologie CMOS dans ce travail s'impose pour assurer d'une part un bon gain de tout le système et une excellente adaptation d'impédance entre l'entrée et la sortie du mélangeur, contrairement aux technologies GaAs ou SiGe qui sont plus coûteuses.

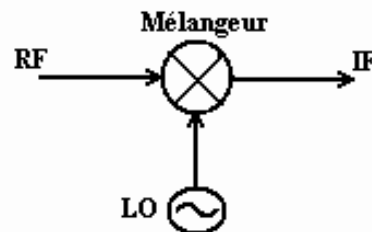


Figure 3 : Synoptique d'entrées et de sortie d'un mélangeur.

L'architecture du mélangeur conçu, représentée par la figure 4, est du type simplement équilibré (SBM : Single Balanced Mixer). Les fréquences RF et LO sont respectivement 1,9 GHz et 1,8 GHz ce qui assure une fréquence intermédiaire de 100 MHz. Le choix de ces valeurs donnant une telle fréquence FI est adopté pour répondre à la plus part des réseaux de communication sans fil déployés aujourd'hui et qui opèrent autour de la fréquence 1 GHz tels que les GSM, IS695, PDC [3] [4] [5].

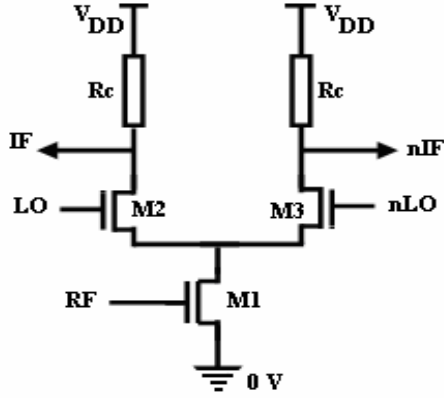


Figure 4 : Schéma du mélangeur simplement équilibré.

Une fréquence intermédiaire de valeur 100 MHz est également très adéquate pour éliminer au mieux les interférences et les problèmes des fréquences images [6], [7].

### 3. Conception du mélangeur

#### 3.1. Polarisation du circuit

Le schéma du montage de la figure 5 fixe le point de fonctionnement statique en gardant les transistors de miroir de courant M<sub>1</sub> et M<sub>4</sub> en zone de saturation.

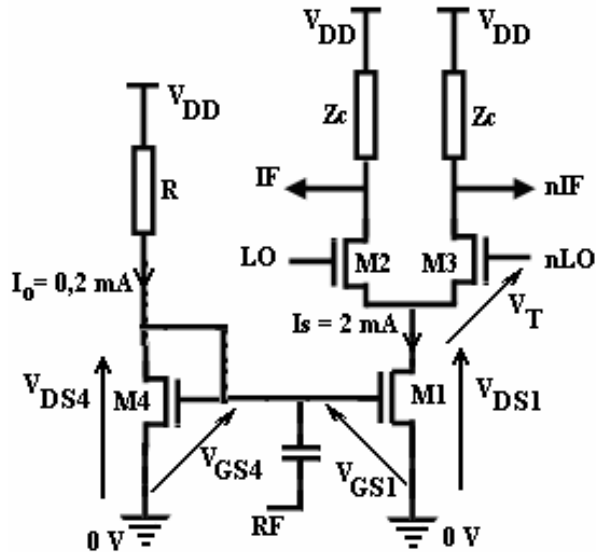


Figure 5 : Schéma du mélangeur étudié.

Nous avons commencé par dimensionner les valeurs de W et L respectivement la largeur et la longueur du canal des CMOS utilisés, puis nous avons fait des simulations tout en fixant le courant I<sub>0</sub> à 0,2 mA avec un rapport de 10 entre les deux NMOS M<sub>1</sub> et M<sub>4</sub> pour recopier le courant I<sub>S</sub> 0,2×10 = 2 mA et ceci en jouant sur la valeur de la résistance R tout en gardant la tension V<sub>DD</sub>=1,8 V.

L'équation entre I<sub>0</sub>, V<sub>GS</sub>(M<sub>4</sub>) et V<sub>DD</sub> s'écrit :

$$I_0 = \frac{V_{DD} - V_{GS4}}{R} \quad (1)$$

A cette étape, l'effet de modulation du canal peut surgir, comme le montre les figures 6a et 6b, ceci pour les petites variations de la longueur L qui agissent en effet comme des rapports inverses dans l'équation du courant I<sub>DS</sub> :

$$I_{DS} = \mu_n C_{ox} \frac{W}{2.L} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (2)$$

avec C<sub>ox</sub> capacité surfacique de la grille-canal d'un transistor MOS, V<sub>T</sub> sa tension de seuil et μ<sub>n</sub> la mobilité des porteurs.

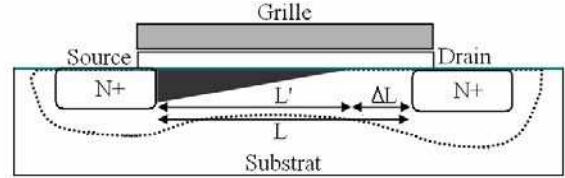


Figure 6.a : Modulation de L lorsque V<sub>DS</sub> varie.

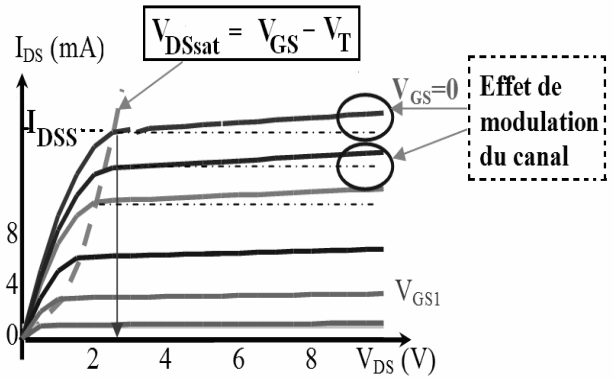


Figure 6.b : Saturation du MOS en fonction de L.

A la saturation, plus V<sub>DS</sub> augmente plus L se réduit du côté du drain dont le potentiel est beaucoup plus positif par rapport à la région proche de la source, ce qui traduit en fait la non linéarité du NMOS.

Egalement I<sub>DS</sub> vérifie à la saturation :

$$\frac{\partial I_{DS}}{\partial V_{DS}} = 0 \text{ soit alors :}$$

$$V_{DS} = V_{GS} - V_T \text{ et (2) devient :}$$

$$I_{DS} = \mu_n C_{ox} \frac{W}{2.L} [(V_{GS} - V_T)^2] \quad (3)$$

$$L' = L - \Delta L \quad \text{Donc :}$$

$$I'_{DS} = \mu_n C_{ox} \frac{W}{2L'} (V_{GS} - V_T)^2$$

$$I'_{DS} = \mu_n C_{ox} \frac{1}{2} \frac{W}{1 - \frac{\Delta L}{L}} \times \frac{1}{L} (V_{GS} - V_T)^2$$

$$\text{d'où : } I'_{DS} = I_{DS} \cdot \frac{1}{1 - \frac{\Delta L}{L}}$$

En utilisant la relation empirique :

$$1 - \frac{\Delta L}{L} \cong 1 - \lambda V_{DS} \quad (\text{parce que c'est } V_{DS} \text{ qui}$$

détermine le déplacement ΔL de L) et si λV<sub>DS</sub> << 1 (λ étant le facteur de modulation de L) alors :

$$I'_{DS} = I_{DS} \cdot \frac{1}{1 - \lambda V_{DS}}$$

$$I'_{DS} \approx I_{DS} (1 + \lambda V_{DS})$$

Le courant de saturation devient finalement :

$$I_{DS} = \mu_n C_{ox} \frac{W}{2L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (4)$$

$\lambda$  devient très important pour les composants de faibles dimensions.

Pour remédier à ce problème, nous avons augmenté la longueur L des deux transistors M<sub>1</sub> et M<sub>4</sub>.

La condition de saturation du transistor M<sub>1</sub> s'écrit :

$$V_{DSM1} > (V_{GSM1} - V_T) \quad (5)$$

et comme :

$$V_{DCM2} = V_{GSM2} + V_{DSM1} \quad (6)$$

Nous obtenons alors :

$$\begin{aligned} I_{out}(t) &= \left\{ I_0 + g_{m\_rf} V_{RF} \cos(\omega_{RF} \cdot t) \right\} \frac{4}{\pi} \left\{ \cos(\omega_{OL} \cdot t) - \frac{1}{3} \cos(3 \omega_{OL} \cdot t) + \frac{1}{5} \cos(5 \omega_{OL} \cdot t) + \dots \right\} \\ &= \left\{ \frac{4I_0}{\pi} \cos(\omega_{OL} \cdot t) + \frac{2}{\pi} g_{m\_rf} V_{RF} [\cos((\omega_{RF} - \omega_{OL}) \cdot t) - \cos((\omega_{RF} + \omega_{OL}) \cdot t)] + \dots \right\} \end{aligned}$$

et comme :  $V_{out}(t) = Z_c \cdot I_{out}(t)$ , nous pouvons alors déduire :

$$V_{out}(t) = \left\{ \frac{4I_0}{\pi} Z_c \cdot \cos(\omega_{OL} \cdot t) + \frac{2}{\pi} Z_c \cdot g_{m\_rf} V_{RF} [\cos((\omega_{RF} - \omega_{OL}) \cdot t) - \cos((\omega_{RF} + \omega_{OL}) \cdot t)] + \dots \right\}$$

$$\text{avec } \text{signe} [V_{OL}(t)] = \frac{4}{\pi} \left\{ \cos(\omega_{OL} \cdot t) - \frac{1}{3} \cos(3 \omega_{OL} \cdot t) + \frac{1}{5} \cos(5 \omega_{OL} \cdot t) \dots \right\}.$$

est la transformée de Fourier d'un signal carré.

$$\text{et } I_s(t) = I_0 + g_{m\_rf} V_{RF} \cos(\omega_{RF} \cdot t)$$

Le gain de conversion étant :

$$G_{conv} = \frac{|V_{out}(t)|_{\hat{a}(\omega_{RF}-\omega_{OL})}}{|V_{RF}(t)|_{\hat{a}(\omega_{RF})}} = \frac{2}{\pi} g_m Z_c \quad (9)$$

Dans un premier temps, nous avons commencé le calcul théorique et la simulation par une résistance  $R_c = Z_c$ , soit donc :

$$G_{conv} = \frac{2}{\pi} g_m R_c \quad (10)$$

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \sqrt{2 \mu_n C_{ox} \frac{W}{L} I_D} \quad (11)$$

Les NMOS sont utilisés en mode petits signaux, "Level 1" et avec la technologie 0,18  $\mu\text{m}$ ,

$\mu_n C_{ox} \approx 11 \text{ mA/V}^2$ , soit alors  $g_m$  de l'ordre de  $0,157 \Omega^{-1}$ .  $R_c = 200 \Omega$  ce qui donne :  $G_{conv}$  théorique = 20,12 dB et  $G_{conv}$  simulé = 14,39 dB.

$V_{DCM2}$  et  $V_{DCRF}$  ( $V_{DCRF} = V_{GSM1}$ ) étant les composantes continues respectivement des signaux LO et RF donc  $V_{DSM1} > (V_{DCRF} - V_T)$ .

En remplaçant (6) dans cette dernière inéquation, la condition de saturation en mode commun devient :

$$V_{DCRF} - V_T + V_{GSM2} < V_{DCM2} \quad (7)$$

### 3.2. Gain de conversion du circuit

L'architecture choisie est une architecture simplement équilibrée avec les deux transistors de la paire différentielle en mode de commutation, donc le courant de sortie est commandé par l'état du signal généré par l'oscillateur local ce qui permet d'écrire :

$$I_{out} = I_s(t) \cdot \text{signe}[V_{LO}(t)] \quad (8)$$

Cette différence entre les deux gains nous exige de prendre en considération la résistance  $r_{DS}$  de la paire différentielle qui est en parallèle avec  $R_c$ , l'expression du gain devient :

$$G_{conv} = \frac{2}{\pi} g_m (R_c // r_{DS}) \quad (12)$$

En effet sous l'outil PSPICE  $r_{DS} \cong 520 \Omega$

Après simulation, on trouve :

$G_{conv}$  théorique = 14,43 dB et  $G_{conv}$  simulé = 14,39 dB.

Cette simulation révèle l'importance de prendre en considération tous les paramètres susceptibles d'affecter les résultats.

Notons que la sortie différentielle génère un signal comportant entre autre deux fréquences :

$f_{RF} - f_{LO}$  et  $f_{RF} + f_{LO}$  d'où la nécessité d'utiliser un condensateur C en vue de filtrer la HF " $f_{RF} + f_{LO}$ ".

La valeur du condensateur qui donne un filtrage bien résonant à la fréquence intermédiaire est de l'ordre de 10 pF. le gain deviendra alors :

$$G_{conv} = \frac{2}{\pi} g_m (R_c // r_{DS} // C) \quad (13)$$

Nous trouvons :  $G_{conv}$  théorique = 7,2 dB et  $G_{conv}$  simulé = 7,4 dB.

Certainement l'ajout de cette capacité diminue les performances du mélangeur en terme de gain, mais elle permet d'avoir un signal bien filtré à la sortie.

**4. Résultats de la conception du circuit**

Comme cité plus haut, le gain de conversion dépend principalement de la résistance de polarisation comme le montre le tableau suivant :

Résistance Rc (Ω)	Gain Conv (dB)	NF (dB)
200	7	8
400	4	9
100	3	8

**Tableau 1 :** Variation du gain de conversion et du facteur de bruit en fonction de Rc

Le gain de conversion et le facteur de bruit sont optimaux pour une valeur de  $R_c = 200 \Omega$ . Ceci est trouvé avec les tailles suivantes des NMOS utilisés :

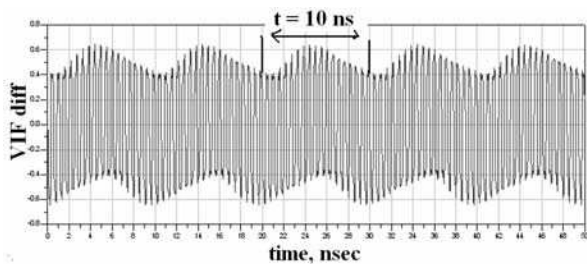
$L = 0,18 \mu m$  : longueur des grilles de tous les transistors.

$W = 100 \mu m$  : largeur des canaux de  $M_1, M_2, M_3$  et  $W_4 = 80 \mu m$  celle de  $M_4$ .

Une simulation DC, utilisant le dimensionnement cité ci-dessus, nous a permis d'avoir une consommation de 3,86 mW (avec  $V_{DD} = 1,8 V$  et  $I_S = 2,145 mA$ ).

**• Résultats de simulation transitoire :**

La figure 7 montre bien l'allure du signal de sortie IF dont la fréquence est de l'ordre de 100 MHz, un tel chronogramme représente en fait la porteuse RF et le signal utile IF qu'il va falloir le restituer après un filtrage adéquat d'autres harmoniques présentes autres que celle de IF.

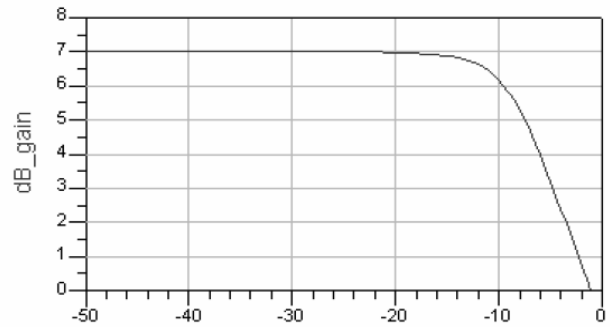


**Figure 7 :** L'allure du signal de sortie IF en fonction du temps.

**• Résultats dans le domaine fréquentiel :**

Les sources RF et LO sont des sources de puissance en entrée que l'on fait varier de -50 dBm à 0 dBm, nous obtenons la fonction de la figure 8 qui représente une zone linéaire (horizontale) où la sortie est directement proportionnelle à l'entrée et une zone décroissante

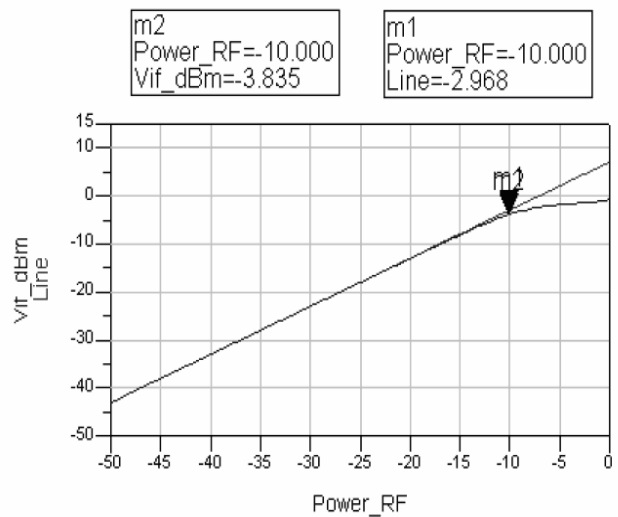
à partir de -10 dBm traduite par la non linéarité du circuit mélangeur.



**Figure 8 :** Gain en fonction de la puissance d'entrée RF.

**- Point de compression à 1 dB :**

Illustré par la figure 9, c'est la valeur du gain pour la quelle  $G_{conv}$  ne suit plus sa droite linéaire et correspond au point pour le quel il chute de 1 dB. Il correspond bien à une puissance RF égale à -10 dBm.



**Figure 9 :** Point de compression à 1dB.

**- Point d'interception d'ordre 3 (IIP3) :**

Nommé également niveau d'intermodulation d'ordre 3, caractérise la distorsion du système, en effet : on peut remarquer qu'autour de deux raies utiles  $f_1$  et  $f_2$  peuvent se superposer deux raies très proches  $2.f_1 - f_2$  et  $2.f_2 - f_1$  qui ne peuvent être facilement éliminées par filtrage.

Le résultat de la simulation montrée par la figure 10, aboutit à une valeur de IIP3 de l'ordre de -5 dBm, en effet pour des signaux d'entrées de fréquences  $f_1 = 1,8 GHz$  et  $2.f_1 - f_2 = 1,7 GHz$ , on obtient une même puissance égale à -10 dBm,

$$or IIP3 = \frac{IM3}{2} + Power\_RF [8]$$

$$soit IIP3 = \frac{10,7}{2} - 10 \approx -5 dBm .$$

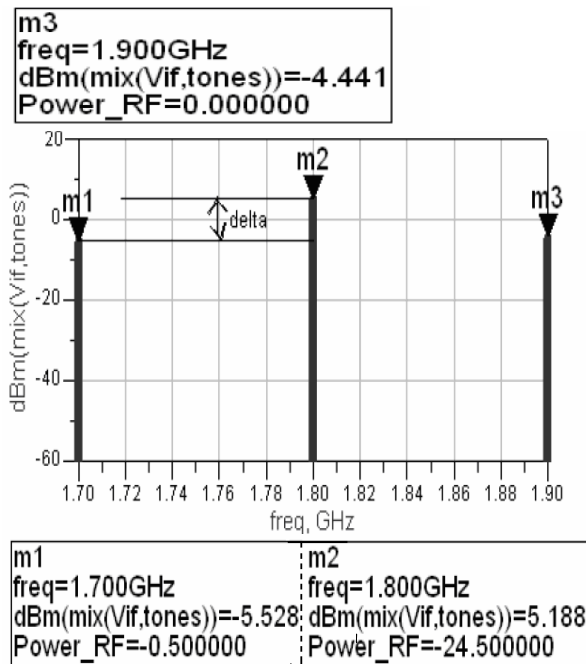


Figure 10 : Point d'interception d'ordre 3 (IIP3)

### 5. Mesure de l'isolation entre les ports

L'isolation est traduite par la puissance couplée d'un port à un autre. En général pour un mélangeur, quelque soit son type, l'isolation la plus critique est celle entre les ports RF et LO à cause de leurs fréquences plus proches et par conséquent difficile à filtrer.

#### • Simulation des paramètres S :

À l'aide de l'outil ADS nous avons simulé les fuites de puissances, caractérisées par le paramètre  $S_{13}$ , de l'entrée LO vers le port RF pour différentes valeurs standards de la résistance interne  $Z_0$  des ports appropriés. Les résultats des simulations sont illustrés par les figures 11.a, 11.b et 11.c. Il est évident que  $Z_0$  égale à  $30 \Omega$  correspond à la bonne isolation car elle affiche la valeur la plus grande de l'ordre de -23 dB.

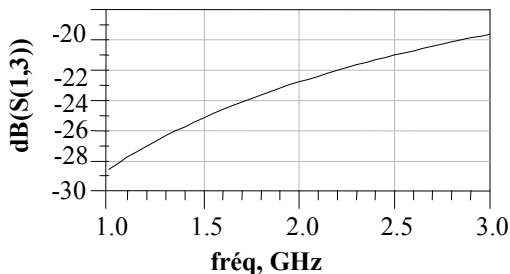


Figure 11.a : Isolation égale à -23 dB à la fréquence RF de l'ordre de 1,9 GHz pour  $Z_0 = 30 \Omega$ .

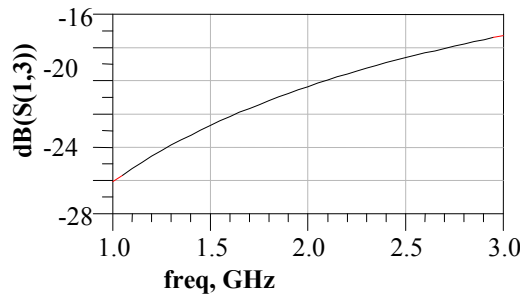


Figure 11.b : Isolation égale à -21 dB à la fréquence RF de l'ordre de 1,9 GHz pour  $Z_0 = 50 \Omega$

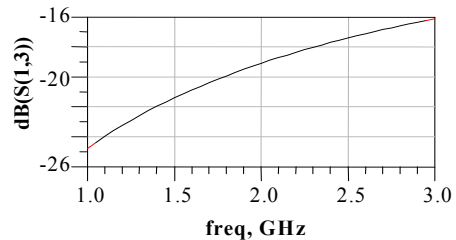


Figure 11.c : Isolation égale à -19,5 dB à la fréquence RF de l'ordre de 1,9 GHz pour  $Z_0 = 70 \Omega$ .

#### Choix de l'impédance d'adaptation $Z_0$

Le choix de  $Z_0$  dépend aussi de son impact sur le gain de conversion et surtout sur la linéarité du mélangeur.

Nous avons fait des simulations qui ont abouti aux résultats suivants :

Avec  $Z_0 = 30 \Omega$  des ports LO et RF :  $G_v = 9,4$  dB et  $NF = 8$  dB.

Avec  $Z_0 = 50 \Omega$  des ports LO et RF :  $G_v = 7$  dB et  $NF = 8$  dB.

Avec  $Z_0 = 70 \Omega$  des ports LO et RF :  $G_v = -0,4$  dB et  $NF = 8,4$  dB.

$Z_0 = 30 \Omega$  donne certainement une bonne valeur de gain mais affecte la linéarité du mélangeur comme le montre la figure 12.

En effet pour les plus faibles puissances de RF le gain n'est plus constant ce qui peut se traduire par une distorsion du signal de sortie IF.

#### Instabilité du gain pour les faibles puissances $P_{RF}$

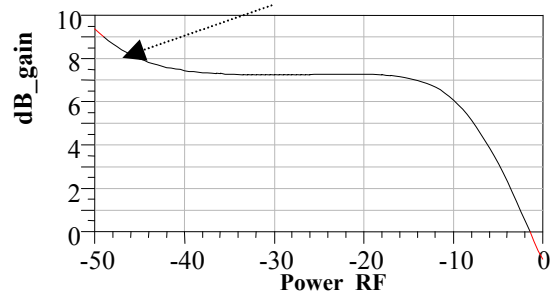


Figure 12 : Gain en fonction de  $P_{RF}$  pour  $Z_0 = 30 \Omega$ .

Le choix optimal de  $Z_0$  égale à  $50 \Omega$  donne un gain très stable et une linéarité sur une grande plage de puissance d'entrée, comme illustré sur la figure 8.

Les performances de ce présent mélangeur sont comparées dans le tableau 2 avec l'état de l'art de quelques récents mélangeurs. On constate que la conception que nous avons proposée affiche de bonnes performances en terme de gain de conversion, puissance consommée, également les niveaux du point IIP3 et le point de compression à 1 dB restent admissible.

Ref	[9]	[10]	[11]	[12]	<i>Circuit proposé</i>
$V_{cc}$ (V)	2	1,5	1,8	1,8	1,8
Fréq. RF (GHz)	0,9	2,4	2,44	3,17 à 3,7	1,9
CG [dB]	1,1	3,3	-2,6	7,5 à 10,1	7
IIP <sub>3</sub> (dBm)	-3,3	5,46	12,81	-	-5
P-1dB (dBm)	-15,4	-8,98	5,07	-	-10
Fact. Bruit (dB)	-	14,8	13,67	8,8 à 12,5	8
Techn. ( $\mu$ m)	0,35	0,18	0,25		0,18
P <sub>cons.</sub> (mw)	7,2	5,6	13,3	13,2	3,8

**Tableau 2:** Comparaison des performances avec des récents mélangeurs

## 6. Conclusion

Le circuit mélangeur étudié dans cet article, conçu à base d'une technologie CMOS  $0,18 \mu$ m, affiche un gain convenable surtout si l'on considère que son alimentation ne dépasse pas 1,8 V avec une très faible consommation de 3,8 mW, un niveau de bruit de 8 dB, une linéarité de -5 dBm et un point de compression à 1 dB égal à -10 dBm (Tableau 2). Ces performances obtenues rendent envisageable l'intégration de ce circuit sur une seule puce et ses résultats prometteurs le rendent applicable dans le domaine de communication sans fil et plus particulièrement pour les applications GPS dans la plage RF allant de 1,8 GHz jusqu'à 1,9 GHz.

## Références

- [1] A. Pärssinen, J. Jussila, J. Ryyänen, L. Sumanen, K. Kivekäs and K. Halonen, "Circuit Solutions for WCDMA Direct Conversion Receiver", IEEE Norsig 2000, Kolmården, Sweden, June (2000) 13-15.
- [2] A.A Abidi., "High frequency noise measurements on FETs with small Dimensions," IEEE Trans. on Electron Devices, Nov (1986) vol.ED-33.
- [3] D. Coffing, E. Main., "Effects of offsets on bipolar integrated circuit mixer even-order distortion terms," IEEE Trans. Microwave Theory Tech., vol.49, (2001) 23-30.
- [4] J.G. Proakis, Digital communications, Mc Graw Hill, New York, (1989) 905.
- [5] B. Razavi, "Design considerations for direct conversion receivers," IEEE Transactions on Circuits and Systems-II, Analog and Digital Signal Processing, vol.44, (1997) 428-435.
- [6] J. Auvray "Electronique des signaux analogiques" Edition Dunod, (1980) 338 – 339.
- [7] T. Chouchane, M. Sawan, "A 5 GHz CMOS RF Mixer in  $0.18 \mu$ m CMOS Technology," IEEE CCECE 2003, Montreal, May (2003).
- [8] D. Leenaerts, J. Van der Tang, Cicero S. Vaucher, Circuit Design for RF Transceivers, KLUWER ACADEMIC PUBLISHERS, (2001) 122 - 128.
- [9] C.F Au-Yeung and K.K.M.Cheng, "CMOS mixer Linearization by the low frequency signal injection method," IEEE MTT-S International Microwave Symposium Digest, vol 1, June (2003) 95-98
- [10] Hung-Che Wei, Ro-Min Weng, Chih-Lung Hsiao and Kun-Yi Lin, "A 1.5V 2.4GHz CMOS \ Mixer With High Linearity", The 2004 IEEE Asia-Pacific Conference Circuit and Systems, Dec 6-9, (2004).
- [11] Kumar Munusamy and Zubaida Yusoff "A Highly Linear CMOS Down Conversion Double Balanced Mixer" ICSE 2006, Kuala Lumpur, Malaysia (2006) 985-990.
- [12] Goo-Young Jung, Jae-Hoon Shin, Tae-eoul Yun "A low noise UWB cmos mixer using current bleeding and resonant inductor techniques. Wiley InterScience Journal, Volume 49, (April 2007) 1595-1.