



Commutation et réseaux ATM

Patrice Leguesdron, Jean Pellaumail

► **To cite this version:**

Patrice Leguesdron, Jean Pellaumail. Commutation et réseaux ATM. [Rapport de recherche] RR-2420, INRIA. 1994. <inria-00074255>

HAL Id: inria-00074255

<https://hal.inria.fr/inria-00074255>

Submitted on 24 May 2006

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INSTITUT NATIONAL DE RECHERCHE EN INFORMATIQUE ET EN AUTOMATIQUE

Commutation et réseaux ATM

Patrice Leguesdron, Jean Pellaumail

N° 2420

1994

PROGRAMME 1



*Rapport
de recherche*



Commutation et réseaux ATM

Patrice Leguesdron *, Jean Pellaumail *

Programme 1 — Architectures parallèles, bases de données, réseaux
et systèmes distribués
Projet Model

Rapport de recherche n ° 2420 — 1994 — 15 pages

Résumé : Ce rapport comprend deux parties. Dans la première partie, on introduit une notion de “compatibilité ATM” dans les commutateurs. On montre que certains commutateurs ne satisfont pas cette propriété et que ceci peut être source de blocage. On montre aussi qu’il est facile de concevoir des commutateurs qui satisfont à cette condition mais qui nécessitent un nombre d’éléments de commutation supérieur à ceux des réseaux de Clos.

Dans la deuxième partie, on montre que, dans certains cas, on modifie profondément le régime stationnaire si on remplace l’hypothèse de loi d’arrivées poissonniennes par celle d’une loi “géométrique”.

Mots-clé : ATM, commutation, blocage.

(Abstract: pto)

*. INSA, 20 avenue des Buttes de Coësmes - 35043 RENNES CEDEX - FRANCE

Unité de recherche INRIA Rennes
IRISA, Campus universitaire de Beaulieu, 35042 RENNES Cedex (France)
Téléphone : (33) 99 84 71 00 – Télécopie : (33) 99 84 71 71

Switching and ATM networks

Abstract: This report has two parts. In the first part, the concept of “ATM compatibility” for interconnection networks is defined. Several classical switches do not fulfill this property and that may induce some blockings in ATM routing. The cost of this “ATM compatibility” is partly studied.

In the second part it is stated that the steady-states probabilities may be deeply modified when the hypothesis of Poisson arrivals is replaced by the hypothesis of “geometric” arrivals.

Key-words: ATM, switches, interconnection networks, blocking.

1 “Compatibilité” ATM

1.1 Introduction

La technique de transmission temporelle asynchrone (l'ATM : Asynchronous Transfer Mode) est en pleine explosion. On peut même penser que, à terme, un grand nombre de réseaux de transmission seront fondés sur l'ATM. L'ATM est un ensemble de compromis techniques. Parmi ceux-ci, le choix essentiel a été le découpage de toutes les informations en cellules de 53 octets chacune. Chaque cellule est une entité dont l'en-tête assure l'acheminement. De plus, toutes les cellules d'une même communication empruntent exactement la même route à travers le réseau ATM : cette contrainte assure la conservation de l'ordre d'arrivée des cellules conformément à celui de l'émission.

L'un des problèmes majeurs est alors la résolution des conflits lors de la traversée des “carrefours” indispensables à l'acheminement de ces cellules. Ce problème est étudié extensivement dans [16]. Toutefois, [16] n'aborde pas le problème de l'architecture des commutateurs.

L'objet du présent travail est d'attirer l'attention sur le fait qu'un dimensionnement suffisant au niveau des artères d'entrée et de sortie d'un commutateur n'implique pas nécessairement la même propriété au niveau des bus internes du commutateur. Ceci conduit à étudier une notion de “compatibilité ATM” dont on note qu'elle n'est pas satisfaite par certaines structures de commutateurs “économiques”. Dans le cas spécifique des réseaux ATM, cette économie pourrait conduire à des blocages inacceptables si l'on s'en tient au “nombre fétiche” $1E-9$ quant à la probabilité de blocage de bout en bout.

Cette propriété de “compatibilité ATM”, assez facile à obtenir quand le nombre d'entrées et de sorties est faible et si on y met le prix, pourrait faire l'objet d'une contrainte imposée aux constructeurs dans leur cahier des charges. Elle a précédemment été plus ou moins évoquée dans divers travaux (cf. par exemple [13, 12, 8]). Une bibliographie détaillée est donnée dans [8].

1.2 Commutateur ATM

La situation est la suivante. Il y a m artères à l'entrée et n artères à la sortie (très souvent $m = n$). Sur chaque artère d'entrée circulent, sans discontinuer, des cellules

de longueur fixe et chacune des cellules non vides doit être dirigée vers une artère de sortie bien précise, cette artère dépendant de la cellule considérée. Les cellules vides peuvent ne pas être écoulées et permettent de rattraper certains retards.

La seule contrainte est que le nombre de cellules devant être dirigées vers une artère de sortie donnée est compatible avec le débit de cette artère, cette compatibilité n'excluant pas une surcharge durant un intervalle de temps très court, cette surcharge étant alors absorbée par une mémoire tampon placée en tête de l'artère de sortie. Pour simplifier, nous supposons par la suite que toutes les artères, en entrée et en sortie, ont le même débit, que l'on appellera D . On se donne aussi un coefficient de sécurité ρ (par exemple $\rho = 0.8$) et on suppose que, sur chaque artère en entrée, le nombre de cellules non vides est inférieur ou égal à ρD et de même pour les cellules non vides destinées à une même artère de sortie.

Pour assurer la commutation, on dispose d'artères de liaison et d'éléments de commutation. Pour simplifier, on va supposer que chaque élément de commutation admet la structure suivante (cf. figure 1): il est traversé par deux artères A et B; cet élément de commutation laisse passer les cellules de l'artère B; par contre, chaque cellule de l'artère A peut être laissée sur cette même artère ou orientée vers l'artère B. Un tel élément fonctionne donc exactement comme un aiguillage de chemins de fer.

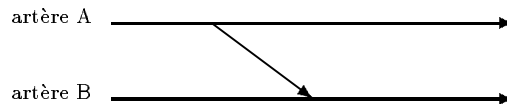


FIG. 1 -

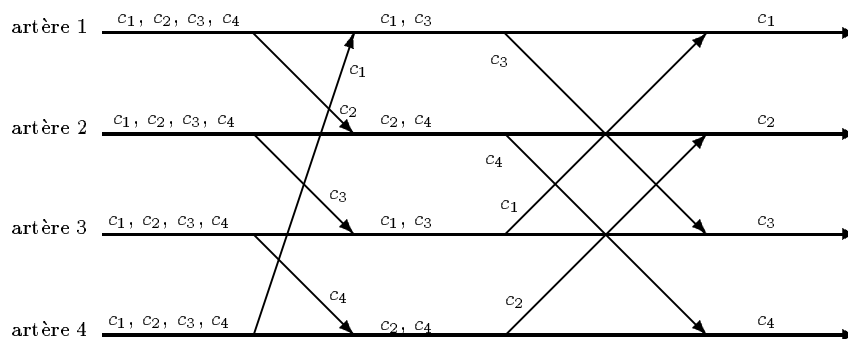
Par la suite, pour facilité l'expression, nous appellerons aiguillage de tels éléments de commutation.

On conçoit facilement qu'en mélangeant de tels dispositifs élémentaires, on puisse construire des modules de commutation plus complexes. De plus, à chaque aiguillage peut être associée une mémoire tampon (buffer) qui accueille les cellules issues de l'artère A, destinées à l'artère B mais qui n'ont pas encore de place sur cette artère B.

1.3 Réseau de Clos

Notre propos n'est pas d'effectuer une étude exhaustive des réseaux de Clos (cf. [7, 1, ?, 3, 5]) mais seulement d'attirer l'attention sur certains de leurs avantages et de leurs inconvénients. Pour ce faire, il nous semble donc plus simple et tout aussi significatif de considérer un réseau de Clos particulier.

On considère donc le cas où il y a 4 artères numérotées de 1 à 4, qui traversent le réseau considéré (cf. figure 2). Chaque artère rencontre un premier aiguillage: les cellules qui sont destinées, en sortie, à une artère de même parité continuent leur route; les autres sont orientées vers un bus de liaison qui rejoint une artère de l'autre parité, par exemple celle de rang immédiatement supérieur modulo 4. Ensuite, chaque artère rencontre un deuxième aiguillage qui oriente chaque cellule vers l'artère de sortie adéquate.



Les cellules de type c_i sont destinées en sortie à l'artère i

FIG. 2 -

L'avantage essentiel de ce dispositif est de nécessiter assez peu d'aiguillages. Dans ce cas, 8 aiguillages suffisent alors que le système qui sera étudié plus loin en exige 12 (sinon 16) pour un même résultat. De plus, ce gain dans le petit nombre d'aiguillages nécessaires est d'autant plus sensible que le nombre d'artères en entrée et en sortie est grand.

Par contre, ce dispositif possède un inconvénient qui peut se révéler majeur dans le cas des réseaux ATM. Nous allons l'expliquer sur un exemple.

Considérons la situation suivante : à un instant donné, l'artère 1 reçoit un débit d destiné à l'artère 4 et l'artère 2 reçoit un débit d' qui doit ressortir par cette même artère 2. Entre le premier et le deuxième aiguillage, ces débits d et d' doivent circuler sur la même portion interne de l'artère 2.

Pour certains types de communication, ceci ne pose pas de problème car la probabilité d'avoir assez longtemps $d + d'$ supérieur à D est quasi-négligeable. Par contre, notamment dans le cas des réseaux ATM, cette probabilité peut s'avérer trop élevée pour être acceptable.

Cette probabilité est actuellement difficile à évaluer de façon précise car on ne dispose pas de suffisamment d'informations sur les caractéristiques des communications qui utiliseront les réseaux ATM. Toutefois, on peut penser qu'il y aura une probabilité q non négligeable que certaines communications utilisent, à elle seule, un peu plus de la moitié du débit D d'une artère durant un délai τ . La probabilité pour que deux telles communications empruntent la même artère à l'intérieur du réseau de Clos décrit ci-dessus, durant un délai supérieur à $\tau/2$, est supérieure à $q^2/2$ (puisque la moitié des communications sont dans cette situation de conflit potentiel) : il y a peu de chance que $q^2/2$ soit inférieur au nombre fétiche 1E-9.

Or, si le débit $d + d'$ sur une artère est supérieur à D durant un délai $\tau/2$, la mémoire tampon doit avoir un volume supérieur à :

$$(d + d' - D)\tau/2,$$

ce qui peut être considérable (plusieurs milliers de cellules, sinon plus) alors que les mémoires rapides actuellement disponibles n'offrent que 64, 128 ou, au mieux, 256 places.

De plus, nous nous sommes limités à une situation simplifiée à l'extrême mais il est facile de concevoir d'autres blocages plus subtils dus au fait que quelques communications à haut débit utilisent temporairement la même artère d'un réseau de Clos en dépassant la capacité de cette artère interne.

Enfin, nous n'avons pas tenu compte de la formation inévitable de trains de cellules, comme cela est étudié dans [16], ce qui ne peut qu'augmenter les risques de blocages.

1.4 Réseau "ATM compatible"

Ceci nous conduit à introduire la notion de "compatibilité ATM". Si D est le débit d'une artère et ρ un coefficient de sécurité, avec $\rho < 1$, on dira qu'un système de commutation est "ATM compatible" si, pour chaque artère interne de ce système, le flux "théorique" qui traverse cette artère est, à chaque instant, inférieur ou égal à ρD sachant, par ailleurs, que cette contrainte est assurée pour les artères en entrée et en sortie. Cette notion ne coïncide pas avec celle de "non blocage interne" (internally nonblocking) : elle porte sur chaque flux "théorique".

Ce flux "théorique" ne tient pas compte des "trains de cellules" dus aux retards pris lors de la traversée des carrefours précédents. Ce flux théorique est la somme des débits crêtes (cf. [9]) des communications actives autorisées, sur l'artère considérée, à un instant donné.

Il est facile de concevoir un système de commutation qui respecte cette "compatibilité ATM" à condition d'y "mettre le prix", c'est-à-dire de mettre un nombre d'aiguillages suffisant.

En effet, appelons $a(k)$, $1 \leq k \leq m$, les m artères d'entrée et $b(k)$, $1 \leq k \leq n$, les n artères de sortie. Il suffit de mettre n aiguillages (au sens précisé à la section 1.2 ci-dessus) sur chaque artère d'entrée.

Plus précisément, soit $p(j, k)$ le j -ième aiguillage, $1 \leq j \leq n$, de l'artère n° k , $1 \leq k \leq m$; il suffit de faire passer l'artère de sortie numérotée j par tous les aiguillages $p(j, k)$, $1 \leq k \leq m$ (et ceux-là seulement) pour assurer une commutation "ATM compatible". Il faut alors mn aiguillages.

Dans la situation évoquée plus haut, à savoir $m = 4$ et $n = 4$, il faut donc 16 aiguillages au lieu de 8 comme dans le système de Clos. On note que, en fait, le dernier aiguillage de chaque artère d'entrée est un simple accès à l'artère de sortie : en fait il n'y a donc que $m(n - 1)$ "vrais aiguillages" : cela fait tout de même 12 aiguillages au lieu de 8 dans l'exemple de référence ci-dessus ($m = 4$, $n = 4$).

1.5 Disponibilité d'un réseau ATM compatible

Il ne faudrait pas croire qu'un réseau ATM compatible, au sens introduit précédemment, ne peut pas connaître de blocage. En effet, même si, sur chaque artère, interne ou externe, la somme des débits théoriques instantanés est, à chaque instant, inférieur à ρD , il peut y avoir des blocages dus à la formation de trains de cellules : ceci provient des retards pris lors de la traversée de carrefours successifs.

L'étude de ces retards est loin d'être triviale et fait l'objet de [16]. Il faut donc bien comprendre que [16] permet, notamment, d'étudier les pertes de cellules dans un commutateur ATM compatible : les artères en entrée constituent le niveau h (au sens de [16]) et chaque artère en sortie est au niveau $(h + 1)$.

Il n'est pas possible de résumer [16] en quelques lignes. Nous allons simplement attirer l'attention du lecteur sur deux points. D'une part, [16] n'utilise jamais le fait que les arrivées à un système de commutation au cœur du réseau sont poissonniennes ou géométriques car de telles hypothèses nous semble tout à fait irréalistes.

D'autre part, (cf. la section C.9 des Préliminaires de [16]), on commence par étudier le système comme s'il n'y avait pas de blocage : ceci est pénalisant puisque certaines cellules qui seraient tuées dans la réalité ne le sont pas dans le modèle théorique que propose [16]. Toutefois, cette pénalisation est extrêmement légère et donc refuser cette simplification du modèle est une complication théorique inutile.

Bien entendu, le modèle proposé en [16] donne les lois du nombre de cellules en attente aux divers carrefours et donc la loi du nombre de cellules tuées en fonction de la taille des buffers. Notons enfin qu'une étude matricielle, indépendante de [16], des "événements rares" est proposée en [18, 15].

1.6 Si m et n sont grands

Tant que m et n sont "petits", imposer mn aiguillages (ou $m(n - 1)$ aiguillages) à l'intérieur du commutateur reste d'un coût raisonnable. Par contre, si m et n sont très grands, il peut être intéressant d'améliorer le modèle. Pour ce faire, trois voies sont possibles.

On peut d'abord essayer de construire des variantes de réseaux de Clos telles que la probabilité de ne pas respecter la compatibilité ATM (telle que définie à la

section 1.4 ci-dessus) soit très faible. L'inconvénient majeur de cette méthode est de nécessiter des hypothèses sur les types de flux qui emprunteront les réseaux ATM et ces hypothèses seront toujours susceptibles d'être remises en cause alors qu'il sera difficile de modifier le matériel mis en place.

Une deuxième voie, probablement plus réaliste, est de diminuer m et n par une meilleure organisation du réseau global. Plus précisément, on peut imaginer que, par exemple, l'ensemble des artères qui vont de Rennes à Paris, soit découpé en sous-ensembles disjoints, comme si les villes de départs ou d'arrivées étaient distinctes. Les commutateurs fonctionneraient alors par sous-ensembles : par exemple, l'un des sous-ensembles contiendrait essentiellement les communications qui, allant de Rennes à Paris, sont destinées, ensuite, à aller vers l'étranger.

Il est clair que le choix des sous-ensembles et, notamment, de leur taille est un problème complexe qui dépasse largement le cadre de la présente sensibilisation à ce problème.

Notons, par ailleurs, que même si les liaisons entre les aiguillages sont assurées par des bus distincts les uns des autres, les blocages évoqués précédemment peuvent avoir lieu au niveau des aiguillages : ce qui précède concerne donc les "Delta réseaux" (par exemple, cf. [10]). Par contre, et c'est la troisième voie envisageable, on peut éviter les blocages précités avec un Delta réseau si les aiguillages ont une vitesse de service deux fois plus rapide que celle des artères en entrée et en sortie (dans le cas de 4 artères en entrée et en sortie).

En fait la technologie actuellement disponible permet d'envisager des aiguillages 8 fois, voire 16 fois, plus rapides que les artères d'entrées et de sorties. En combinant la technique des réseaux de Clos (ou des Delta réseaux) et celle évoquée à la section 1.4 ci-dessus, on peut, par exemple, multiplexer 64 artères en entrée et 64 artères en sortie avec 64 aiguillages dont chacun a un débit 8 fois plus rapide que chaque artère en ayant un réseau ATM compatible.

2 Arrivées 0-1 ou poissonniennes ?

2.1 Introduction

Dans [16], le flux des arrivées des cellules en provenance de l'ensemble des communications à faible débit est modélisé par un flux poissonnien : si le nombre de

telles communications est de quelques centaines, la pertinence d'une telle modélisation n'est pas contestable, du moins en première approximation.

Les améliorations possibles de cette approximation sont envisagées au chapitre 5 de [16]. Notons, par ailleurs, que la plupart des algorithmes mis au point dans [16] s'adaptent immédiatement au cas où on remplace cette hypothèse d'arrivées poissonniennes par une autre loi d'arrivées dans la mesure où il y a indépendance du nombre d'arrivées entre t et $t+1$ par rapport aux événements antérieurs à l'instant t .

Or, dans de très nombreux travaux, on suppose que les arrivées sont du type 0-1 - on dit parfois "géométriques" - au sens suivant : entre t et $t+1$ il y a arrivée d'une cellule avec la probabilité α ($0 < \alpha < 1$) et pas d'arrivée avec la probabilité $(1 - \alpha)$. Les algorithmes mis au point dans [16] sont utilisables avec une telle hypothèse et conduisent à des calculs informatiques nettement plus rapides que ceux associés à une loi d'arrivées poissonniennes.

La question se pose donc de savoir si l'hypothèse des arrivées 0-1, au sens ci-dessus, est une simplification raisonnable. Il n'y a évidemment pas de réponse universelle à une telle question. Pour faire avancer la réflexion, nous allons étudier, dans deux cas particuliers révélateurs, ce qui se passe si on remplace l'hypothèse poissonnienne - en supposant donc implicitement qu'on est dans un cas où elle est incontestable - par l'hypothèse d'arrivées 0-1.

2.2 Processus de base

Nous allons commencer par le cas le plus simple du modèle de base (cf. la section 1.B de [16]) que nous rappelons brièvement. Ce modèle est un processus markovien X qui évolue à temps discret et qui est à valeurs entières. Sa loi d'évolution est définie par la relation :

$$X(k+1) = (X(k) - 1)^+ + A(k)$$

où $y^+ = \sup\{0, y\}$ et $A(k)$ est une variable aléatoire entière indépendante de $X(k)$ et de loi fixe.

Ce processus X modélise les retards pris par les cellules à l'accès à une artère de débit fixe sur laquelle il n'y a pas d'autres cellules, la loi de $A(k)$ déterminant la loi du flux des arrivées.

A la section 1.B de [16], on étudie le régime stationnaire de X dans le cas où $A(k)$ suit une loi de Poisson de paramètre α . On montre, par exemple que, en régime stationnaire, l'espérance de $X(k)$ vaut :

$$\beta = \alpha + \frac{\alpha^2}{2(1 - \alpha)}.$$

Considérons maintenant le cas où on suppose que $A(k)$ suit la loi 0-1 suivante :

$$\text{Proba}[A(k) = 1] = \alpha \text{ et } \text{Proba}[A(k) = 0] = 1 - \alpha.$$

Des calculs élémentaires montrent que, en régime stationnaire, la loi associée de X est :

$$\text{Proba}[X(k) = 1] = \alpha \text{ et } \text{Proba}[X(k) = 0] = 1 - \alpha.$$

Si on utilise l'un des algorithmes proposés dans [16], on constate que la convergence vers ce régime stationnaire est très rapide : pour les applications aux réseaux ATM, c'est donc évidemment ce régime stationnaire qui joue le rôle le plus important. Or, on vient de noter que la loi stationnaire associée aux arrivées 0-1 est profondément différente de la loi stationnaire associée aux arrivées poissonniennes. Notamment, dans le cas 0-1, l'espérance de $X(k)$ tend vers α tandis que dans le cas poissonnien, cette même espérance tend vers β (défini ci-dessus) et β tend vers l'infini quand α tend vers la valeur cruciale 1 alors que la moyenne de la loi des arrivées est la même dans les deux cas.

2.3 Cas $\eta = 2$

Nous allons maintenant considérer le cas de l'exemple "limite" introduit à la section 1.C de [16]. Rappelons d'abord brièvement ce modèle : c'est un processus de Markov X , qui évolue à temps discret et qui est à valeurs entières. Soit η un entier fixé, $\eta > 1$: nous allons nous limiter au cas $\eta = 2$. L'évolution du processus X est défini comme suit :

pour k multiple de η (donc, ici, k pair), on a :

$$X(k+1) = X(k) + A(k),$$

pour k non multiple de η (donc, ici, k impair), on a :

$$X(k+1) = (X(k) - 1)^+ + A(k),$$

où $A(k)$ est une variable aléatoire entière indépendante de $X(k)$ et qui suit une loi fixe.

Ce processus X modélise les retards pris par les cellules à l'accès à une artère de débit fixe quand on mélange un flux d'arrivées périodique de période η et un flux d'arrivées "aléatoire" associé aux variables $A(k)$.

A la section 1.C de [16], on étudie le régime stationnaire de X dans le cas où $A(k)$ suit une loi de Poisson de paramètre α , avec $0 < \alpha < 1/2$. On montre, par exemple, que, en régime stationnaire, l'espérance de $X(k)$ vaut :

$$\beta = \frac{\alpha}{1 - 2\alpha}.$$

Considérons le cas où $A(k)$ suit la loi 0-1 suivante :

$$\text{Proba}[A(k) = 0] = 1 - \alpha \text{ et } \text{Proba}[A(k) = 1] = \alpha.$$

Cette situation étant un peu moins triviale que celle considérée à la section 1.2, nous allons en reprendre l'étude complète en utilisant la démarche proposée à la section 1.C de [16]. On pose :

$$R = X(k\eta), U = X(k\eta+1), V = X(k\eta+2), Y = (U-1)^+, A = A(k\eta), B = A(k\eta+1).$$

La loi d'évolution expliquée plus haut donne $U = R + A$ et $V = Y + B$. On pose :

$$r_k = \text{Proba}[R = k] \text{ et de même pour } u_k \text{ et } v_k.$$

On a :

$$\begin{aligned} u_0 &= (1 - \alpha)r_0, \\ u_j &= (1 - \alpha)r_j + \alpha r_{j-1}, \text{ pour } j > 0. \\ v_0 &= (1 - \alpha)(u_0 + u_1), \\ v_1 &= \alpha(u_0 + u_1) + (1 - \alpha)u_2 \\ v_j &= \alpha u_j + (1 - \alpha)u_{j+1}, \text{ pour } j > 1. \end{aligned}$$

En régime stationnaire $r_j = v_j$ d'où :

$$\begin{aligned} r_0 &= (1 - \alpha)r_0 + (1 - \alpha)^2 r_1, \\ r_1 &= \alpha r_0 + 2\alpha(1 - \alpha)r_1 + (1 - \alpha)^2 r_2, \\ r_j &= \alpha^2 r_{j-1} + 2\alpha(1 - \alpha)r_j + (1 - \alpha)^2 r_{j+1}, \text{ pour } j > 1. \end{aligned}$$

L'étude classique de cette suite définie par récurrence donne :

$$\begin{aligned} r_0 &= \frac{1-2\alpha}{1-\alpha} \\ r_j &= \frac{1-2\alpha}{\alpha(1-\alpha)} \left(\frac{\alpha}{1-\alpha} \right)^{2j}, \text{ pour } j > 0. \end{aligned}$$

L'espérance de cette loi "presque" géométrique vaut :

$$E(R) = (1-\alpha) \frac{\alpha}{1-2\alpha}.$$

On remarque donc que si l'on remplace la loi de Poisson de moyenne α par la loi 0-1 de même moyenne, l'espérance des retards en régime stationnaire passe de

$$\frac{\alpha}{1-2\alpha} \text{ à } (1-\alpha) \frac{\alpha}{1-2\alpha}.$$

Références

- [1] A. L. Beylot, I. Kohlenberg and M. Becker. *Performance analysis of an ATM Clos switch under symmetric "bursty geometric" traffic study of the output traffic*. Rapport de Recherche 93.59, MASI, Institut Blaise Pascal - 4, place Jussieu - 75252 PARIS CEDEX 05, France, 1993.
- [2] A. L. Beylot, I. Kohlenberg and M. Becker. *Performance analysis of an ATM switch based on a three-stage Clos interconnection network under non-uniform traffic patterns*. Rapport de recherche 93.54, MASI, Institut Blaise Pascal - 4, place Jussieu - 75252 PARIS CEDEX 05, France, 1993.
- [3] A. L. Beylot and M. Becker. *Performance analysis of an ATM Clos switch with non symmetric switching elements and with output buffers*. Rapport de Recherche 93.24, MASI, Institut Blaise Pascal - 4, place Jussieu - 75252 PARIS CEDEX 05, France, 1993.
- [4] F. Bonomi, S. Montagna and R. Paglino. Busy period for an ATM switching element output line. In *Proceedings of IEEE INFOCOM'92*, Florence (Italy), paper 4C2, 1992.
- [5] C. Clos. A study of non-blocking switching networks. *Bell System Tech.* 32:406-424, 1953.

- [6] J. W. Cohen, C. D. Pack. Queueing, performance and control in ATM. *North-Holland Studies in Telecommunication*, 15. North-Holland, 1991.
- [7] P. L. Douillet, A. L. Beylot and M. Becker. *Using "excited states" in estimating cell losses in a limited capacity system*. Rapport de Recherche 94.01, MASI, Institut Blaise Pascal - 4, place Jussieu - 75252 PARIS CEDEX 05, France, 1994.
- [8] J. Garcia-Haro and A. Jajszczyk. ATM Shared-Memory Switching Architectures. *IEEE Networks*, July/August 1994.
- [9] F. Guillemin, P. E. Boyer, A. Dupuis and L. Romoeuf. Peak rate enforcement in ATM networks. In *Proceedings of IEEE INFOCOM'92*, Florence (Italy), 1992.
- [10] P. Heidelberger and P. A. Franaszek. Traffic studies of unbuffered Delta networks. *IBM Journal of Research and development*, 35(1-2), 1991.
- [11] A. Jensen, V. B. Iversen. Teletraffic and datatraffic in a period of change. *North-Holland Studies in Telecommunication*, 14. North-Holland, 1991.
- [12] M. Karol, M. G. Hluchyj and S. P. Morgan. Inputs vs. output queueing on a space-division packet switch. *IEEE Trans. Commun.* 35(12): 1347-1356, 1987.
- [13] A. Pattavina. Performance evaluation of ATM switches with input and output queueing. *International Journal of Digital and Analog Communication Systems*, 3 : 277-286, 1990.
- [14] J. Y. Le Boudec. The ATM: a tutorial. *Computer Networks and ISDN systems*, 24:279-309, 1992.
- [15] J. Y. Le Boudec. An efficient solution method for Markov models of ATM links with loss priorities. *IEEE in Communications*, 9(3), april 1991.
- [16] J. Pellaumail, P. Boyer, P. Leguesdron. *Réseaux ATM et P-simulation*. Hermès, Paris, 1994.
- [17] J. Pellaumail. *Graphes, simulation, L-matrices*. Hermès, Paris, 1992.
- [18] J. Pellaumail. Décomposition de M-matrice et buffer d'un multiplexeur ATM. *RAIRO, Recherche Opérationnelle*, 26(2), 1992.
- [19] H. Rudin. The ATM. Guest Editorial. *Computer Networks and ISDN systems*, 24:277-278, 1992.

- [20] D. Tranchier. *Fast Reservation Protocol / DT: Multiplexage statistique dans les réseaux ATM*. Thèse de Doctorat de l'Université, Rennes1, 25 juin 1993.



Unité de recherche INRIA Lorraine, Technopôle de Nancy-Brabois, Campus scientifique,
615 rue du Jardin Botanique, BP 101, 54600 VILLERS LÈS NANCY
Unité de recherche INRIA Rennes, Irista, Campus universitaire de Beaulieu, 35042 RENNES Cedex
Unité de recherche INRIA Rhône-Alpes, 46 avenue Félix Viallet, 38031 GRENOBLE Cedex 1
Unité de recherche INRIA Rocquencourt, Domaine de Voluceau, Rocquencourt, BP 105, 78153 LE CHESNAY Cedex
Unité de recherche INRIA Sophia-Antipolis, 2004 route des Lucioles, BP 93, 06902 SOPHIA-ANTIPOLIS Cedex

Éditeur
INRIA, Domaine de Voluceau, Rocquencourt, BP 105, 78153 LE CHESNAY Cedex (France)
ISSN 0249-6399